

# 采用环型运放的 12-bit 40-MS/s 采样保持电路设计实现

魏子辉<sup>1,2</sup>, 黄水龙<sup>1,2</sup>, 单 强<sup>1,2</sup>

(1 中国科学院微电子研究所, 北京 100029; 2 新一代通信射频芯片技术北京市重点实验室, 北京 100029)

**摘 要:** 为了保证模数转换器转换速度和精度, 本文基于 0.18 微米工艺, 设计实现了一款应用于 12-bit 40-MS/s 流水线 ADC 前端的采样保持电路. 所采用的环型结构运放, 可以简化设计、且占用面积小; 同时, 采用绝缘体上硅工艺, 可以消除栅压自举开关中开关管的衬偏效应, 改善开关的线性度, 提高采样保持电路的性能. 采样保持电路面积是 0.023 平方毫米. 测试结果表明: 在 1.5V 供电电压下, 采样保持电路功耗是 3.5mW; 在 1MHz 输入频率、40MHz 采样频率下, 该采样保持电路无杂散动态范围可以达到 76.85dB, 满足 12-bit 40-MS/s 流水线模数转换器应用需求.

**关键词:** 采样保持电路; 绝缘体上硅工艺; 运放; 栅压自举开关; 无杂散动态范围

**中图分类号:** TG43 **文献标识码:** A **文章编号:** 0372-2112 (2017)12-2890-006

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2017.12.009

## Implementation of a 12-bit 40-MS/s Sample-and-Hold Circuit with a Ring Amplifier

WEI Zi-hui<sup>1,2</sup>, HUANG Shui-long<sup>1,2</sup>, SHAN Qiang<sup>1,2</sup>

(1. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2. Beijing Key Laboratory of Radio Frequency IC Technology for Next Generation Communications, Beijing 100029, China)

**Abstract:** In order to keep the analog to digital converter's speed and precision, a sample-and-hold (S/H) circuit for a 12-bit 40-MS/s pipeline ADC is designed and fabricated using a 0.18 micrometer process. The proposed amplifier can simplify the design and occupies smaller area. The substrate bias effect of the switch transistor used in the bootstrapped switch can be eliminated with the silicon-on-insulator (SOI) process, which can increase the linearity of bootstrapped switch and improve the performance of the S/H circuit. The S/H circuit occupies an area of 0.023 square millimeter. Measurement results show that the S/H circuit operates at a 1.5 V supply and consumes 3.5mW, and the spurious free dynamic range is 76.85 dB for a 1 MHz input signal with 40 MS/s sampling rate. The S/H circuit meets the requirement of the 12-bit 40-MS/s pipeline analog to digital converter.

**Key words:** S/H circuit; SOI process; amplifier; bootstrapped switch; SFDR

### 1 引言

流水线 ADC 以其高速高精度的特点, 广泛应用于现代无线通信领域. 多数流水线 ADC (结构如图 1) 在其前端都会有一个片上的采样保持 (S/H) 电路, 以便后续电路对信号进行处理. 因此, 采样保持电路的速度和精度直接决定了流水线 ADC 的性能. 作为 S/H 电路中的关键模块——运放, 其性能的高低对 S/H 电路的性能起着决定性的作用. 然而, 随着工艺节点的不断缩小 (MOS 管的本征增益不断降低), 以及供电电压的降低, 设计高性能运放面临着越来越多的挑战. 对于传统的

运放, 在低供电电压及小的工艺尺寸下, 需要采用电路技术比如共源共栅结构、增益提高技术、自举技术以及多级结构等, 来获得比较高的增益. 而采用这些技术必然增加电路的功耗和复杂度, 同时意味着占用更大的面积.

针对这些问题, 本文提出了一种新型的环型运放结构, 该结构使用了较少的器件, 使得设计简单、占用面积小. 该结构与文献 [1] 中的结构相比, 没有使用额外的偏置和开关, 减少了外围电路复杂度以及外围电路对放大器和采样保持电路的干扰; 与文献 [2] 结构相比, 没有使用无源器件电阻, 增强了电路的一致性. 通过

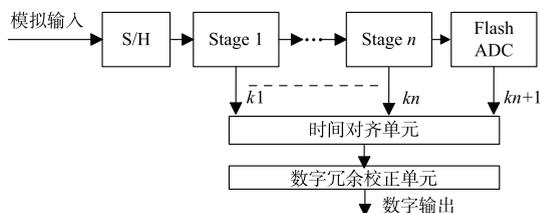
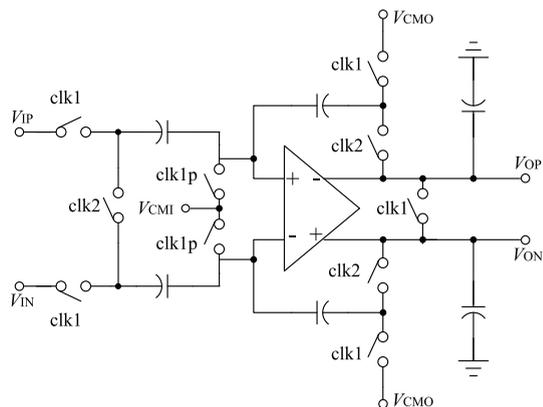


图1 流水线ADC结构框图

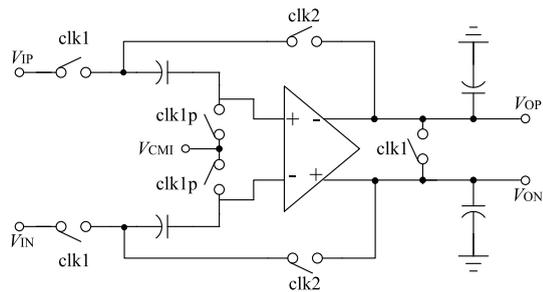
对比文献[1,2]可知,本文的放大器结构具有更好的鲁棒性.同时,由于使用了SOI工艺,可以将NMOS管的衬底和源极短接,消除栅压自举开关中开关管的衬偏效应,使开关导通电阻值变化更小,增加了开关的线性度.采用上述运放和开关的采样保持电路在0.18 $\mu\text{m}$  SOI工艺下进行了流片验证,结果表明该采样保持电路可以满足12-bit 40-MS/s 流水线ADC的要求.

## 2 采样保持电路结构选择

在流水线ADC采样保持电路<sup>[3]</sup>中,有两种开关电容结构被广泛使用,分别是电荷转移型(图2(a))和电容翻转型(图2(b)).



(a) 电荷转移型采样保持电路



(b) 电容翻转型采样保持电路

图2 采样保持电路结构

两种结构中的运放都是在采样相不需要工作,在保持相工作.在保持相,电容翻转型结构的运放输入共模电压 $V_{\text{com}}$ 如下:

$$V_{\text{com}} = V_{\text{CMI}} + V_{\text{CMO}} - \frac{V_{\text{IP}} + V_{\text{IN}}}{2} \quad (1)$$

而电荷转移型结构的运放输入共模电压 $V_{\text{com}}$ 为:

$$V_{\text{com}} = V_{\text{CMI}} \quad (2)$$

从式(1)、(2)可以看出,对于电容翻转型结构,运放的共模输入电压会随着输入信号共模电压的变化而变化,而电荷转移型结构可以抑制输入共模电压的漂移.

由于本文采用了环型运放(图3),其输入级是反相器结构,要求输入共模电压变化范围不能太大.因此,采样保持电路选择了电荷转移型结构.

## 3 电路设计

### 3.1 运放结构及设计

本文采用的放大器结构如图3所示,该放大器是一个全差分运放,采用三级放大结构,输入级是一级反相器<sup>[4,5]</sup>,第二级和输出级是一种类似于AB类输出的电路.

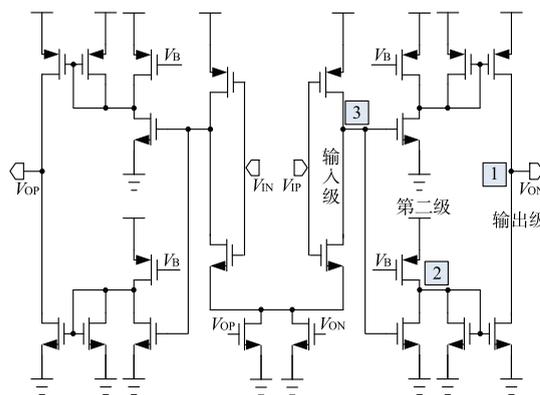


图3 采样保持电路使用的运放结构

从稳定性的角度来看,这种放大器存在三个极点,且不存在补偿电路,在接成反馈的形式后,极易出现震荡的情况(类似于环路振荡器),其频率响应如图4中虚线所示.为了使电路稳定工作,需要将主极点和次主极点分离,如图4中实线所示.

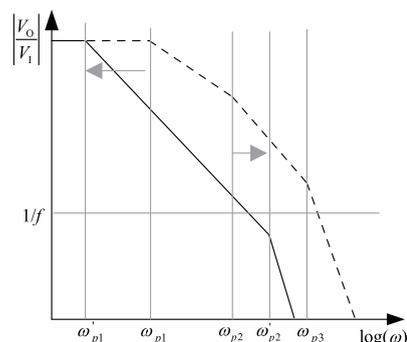


图4 图3中放大器频率响应图

图3中的运放是全差分结构,左右两边对称,在分

析频率特性时可以只看一边. 右半边电路中, 三个极点分别产生于节点 1、2、3 处. 由于节点 2 和节点 3 处的电容都是管子的寄生电容, 在 fF 量级, 而节点 1 处的电容是运放的负载电容, 在 pF 量级, 所以主极点是在节点 1 处产生的.

为了减小主极点, 需要增加节点 1 处的输出阻抗. 当  $V_{GS} > V_{TH}$  时, 工作于亚阈值区的 MOS 管输出阻抗  $r_o$  表达式如下:

$$r_o = k_1 L/W \cdot \exp(k_2/(V_{GS} - V_{TH})) \quad (3)$$

其中,  $k_1, k_2$  为常数,  $W, L$  分别是 MOS 管的栅宽和栅长,  $V_{GS}$  是 MOS 管栅源电压,  $V_{TH}$  是 MOS 管阈值电压. 从式 (3), 可以看出当  $V_{GS} - V_{TH}$  很小时, 由于指数项的存在, MOS 管的输出阻抗会急剧增加. 因此, 可以将输出级的管子设置在亚阈值区, 以增加小信号输出阻抗, 起到降低主极点的作用.

从增益角度来看, 假设每一级可以提供 25dB 增益, 那么三级就会有 75dB 增益. 而 12bit ADC 中, 采样保持电路对运放增益要求大于 78dB. 幸运的是, 由于本文中所述运放的输出级 MOS 管工作在亚阈值区, 在电路稳定后, 流过输出管的电流趋于 0, 小信号输出阻抗急剧增大, 使输出级增益增大. 因此, 即使对于正常增益为 75dB 的放大器, 在稳态时的增益也可以达到至少 90dB.

本文中放大器的频率响应仿真结果如图 5 所示. 仿真过程中所加负载电容为 2pF, 可以看到, 直流增益是 82.4871dB, 增益带宽积为 505.507MHz, 相位裕度是 60.8732 度, 可以满足 12bit ADC 应用要求.

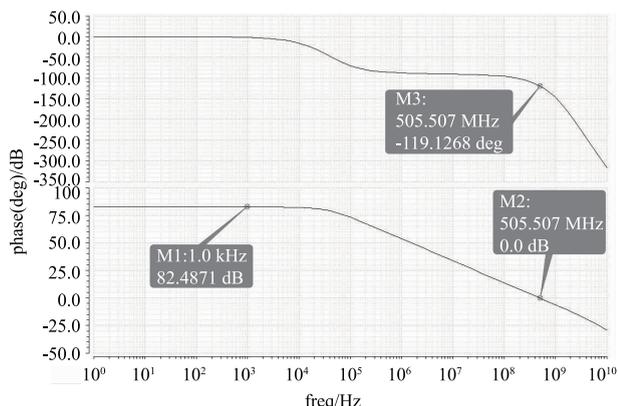


图5 放大器频率响应仿真结果

从面积和功耗角度来看, 本文提出的运放对负载的充放电是基于“转换”的, 运放的输出级在工作过程中类似于数字电路, 因此, 输出级的功耗主要是动态功耗, 静态功耗很低, 且该级 MOS 管的尺寸可以取得比较小. 这样, 对于第二级来说, 其负载电容就很小, 为了获得较高的极点, 所用电流就比较小, 管子尺寸就可以设置的比较小. 与第二级同理, 输入级的尺寸和电流都可

以取得小一些. 特别是随着工艺节点的不断降低, MOS 管的特征频率升高, 本文所提运放在面积和功耗方面会有更大的优势.

### 3.2 栅压自举开关设计

对于采样保持电路中的采样开关 (图 2a 输入端 clk1 对应开关), 为了获得比较高的线性度, 通常采用栅压自举结构. 传统的栅压自举开关结构如图 6 所示.

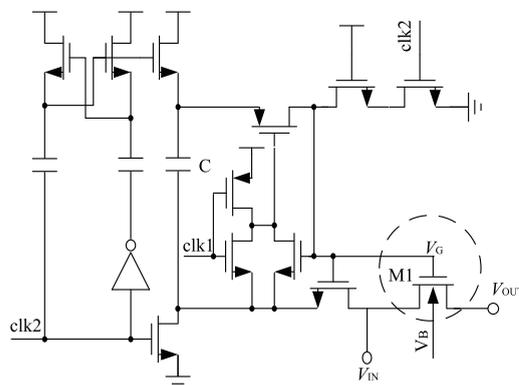


图6 栅压自举开关结构

图 6 中虚线处的 M1 管是开关管, 其导通电阻  $R_{ON}$  由下式表示:

$$R_{ON} = \frac{1}{k_3 \frac{W}{L} (V_G - \frac{V_S}{2} - \frac{V_D}{2} - V_{TH})} \quad (4)$$

$$V_{TH} = V_{TH0} + \gamma (\sqrt{|-2\phi_F + V_S - V_B|} - \sqrt{|-2\phi_F|}) \quad (5)$$

其中,  $k_3$  是常数,  $V_G, V_D, V_S, V_B$  分别是 M1 管的栅极、漏极、源极、衬底处的电压,  $E_c$  是电场强度.

栅压自举开关的工作原理: 当 clk2 为高电平、clk1 为低电平时, 电容 C 两端电压充电到电源电压  $V_{DD}$ , 同时  $V_c$  被拉到低电平, M1 关断; 当 clk2 为低电平、clk1 为高电平时,  $V_c$  电压约为  $V_{IN} + V_{DD}$ , M1 导通,  $V_D$  与  $V_S$  近似相等, 均为  $V_{IN}$ , 从式 (4) 可以看出, 导通电阻只跟阈值电压  $V_{TH}$  相关.

当采用 CMOS 工艺<sup>[6,7,8]</sup> 时, 由于开关管是 NMOS 管, 其衬底接地, 产生衬偏效应. 从式 (5) 可以看出,  $V_{TH}$  与输入电压  $V_{IN}$  相关, 那么导通电阻  $R_{ON}$  会随着  $V_{IN}$  的变化而变化, 产生一定的非线性; 而当采用 SOI 工艺时, M1 的源极和衬底可以连在一起, 消除了衬偏效应, 改善了导通电阻  $R_{ON}$  的线性度, 比较结果如表 1 所示.

表 1 栅压自举开关性能对比

开关种类	输入频率 (MHz)	THD (dB)
存在衬偏效应	1.015625	-100.7
消除衬偏效应	1.015625	-113.4

### 3.3 输出 buffer 设计

图 3 中的运放,其主极点由输出级决定.而在测试过程中,探头的输入电容在几个 pF 量级,如果直接测量,会影响到采样保持电路的运行,所以采样保持电路的输出需要 buffer 进行缓冲

为了不影响采样保持电路本身的性能,本文采用了轨到轨输入与输出结构的放大器<sup>[6,7]</sup>作 buffer,结构如图 7 所示.

图 7 中的放大器,输入级加入两个二极管连接的 MOS 管,由于它们的宽长比是差分对中 MOS 管的 6 倍,所以电路中电流源提供的总电流是差分对管的 8 倍.当输入电压从 0 到  $V_{DD}$  变化时,输入级的跨导  $g_{m1} + g_{m2}$  可以保持一个相对稳定的值(比如当输入电压增大到  $V_{DD}$  时,PMOS 管截止,两个串联的二极管由于压降太小也截止,那么此时电流源中的电流全部流入 NMOS 差分对,每个 NMOS 管中的电流将变为原来的 4 倍,跨导变为原来的 2 倍),实现轨到轨输入功能.输出级使用跨导线性电路,设置输出器件的静态电流,实现 AB 类以及轨到轨输出功能.

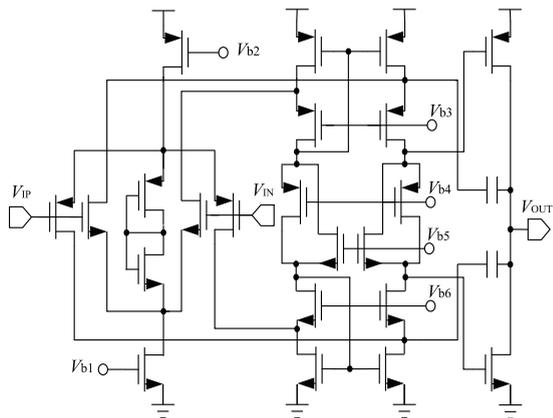


图7 输出缓冲电路结构

## 4 仿真与测试结果

### 4.1 仿真结果

仿真分析过程:使用 Cadence 进行仿真,将仿真数据导入 Matlab 进行分析.

在采样率为 40MHz,输入信号频率 1.015625MHz、输入范围 1Vpp 时,采用 512 点 FFT,对仿真结果进行分析,频谱如图 8 所示,可以看出输出信号的无杂散动态范围 SFDR 为 97.8dB.

### 4.2 测试结果

本文设计的采样保持电路采用 0.18 $\mu\text{m}$  SOI 工艺进行了流片,图 9 是芯片照片,其中采样保持电路面积是 0.023mm<sup>2</sup>.在 1.5V 供电电压下,采样保持电路功耗是 3.5mW.在测试过程中,使用安捷伦 E4438C 信号源产

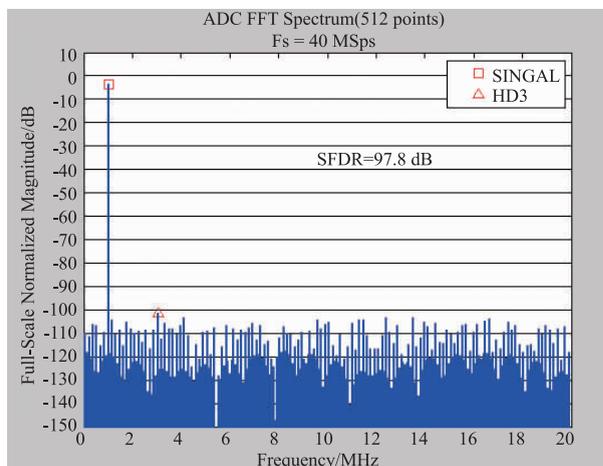


图8 采样保持电路仿真结果输出频谱图

生正弦输入信号,通过泰克 DPO4104b 示波器来观察瞬态波形.在采样率为 40MHz,输入信号频率 1MHz、输入范围 1Vpp 时,单端输出频谱如图 10 所示.

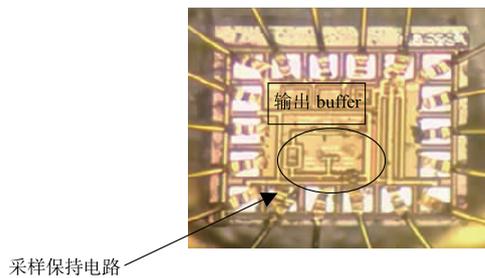


图9 采样保持电路芯片照片

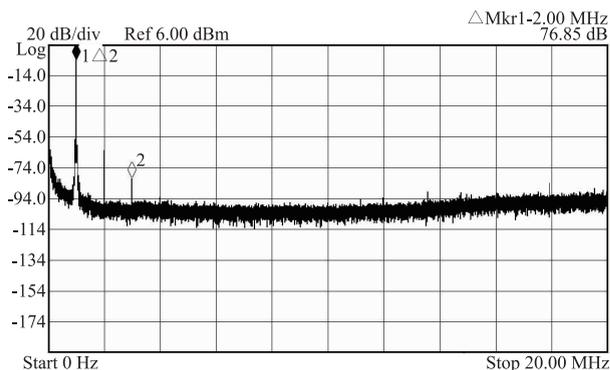


图10 采样保持电路测试结果单端输出频谱图

从图 10 可以看出,二次谐波比较高,原因是单端输出;而在实际应用中,使用差分信号,这种情况下,二次谐波可以相互抵消,所以我们可以只看三次谐波.因此,输出信号的无杂散动态范围 SFDR 为 76.85dB.

对比仿真结果与测试结果,可以发现 SFDR 相差 20dB 左右.改变输出 buffer 的电流(可以改变输入管子的偏置状态,进而影响其线性度),对 SFDR 影响明显,但是最终的 SFDR 被限制在 77dB 左右,如表 2 所示.因

此,测试结果与仿真结果相差较大,主要原因是输出 Buffer 的影响。

表 3 是本文设计的采样保持电路与其他文献采样保持电路的对比,从中可以看出:本文设计的采样保持电路可以在面积、功耗与性能之间取得良好的折中.尤其是在面积方面,由于采用了新结构运放<sup>[10-12]</sup>,本文中的采样保持电路面积只有文献[9]中的 1/5 左右。

表 2 随输出 buffer 偏置电流变化而变化的 SFDR

偏置电流( $\mu\text{A}$ )	SFDR(dB)
15	70.21
16.3	73.30
18.1	77.11
20	77.23
23.5	76.65
25.2	76.86

表 3 采样保持电路性能对比

指标	本文	文献[9]	文献[15]	文献[16]
工艺( $\mu\text{m}$ )	0.18(SOI)	0.35(CMOS)	0.18(CMOS)	0.18(CMOS)
分辨率(bits)	12	10	10	14
采样率(MS/s)	40	50	100	50
SFDR(dB)	76.85@1MHz ** 97.8@1.015625MHz *	67@2.5MHz **	/	94.6@5MHz **
SNDR(dB)	73.26 ** 85.4 *	62.1 **	/	86.28 **
FOM(fJ/conv.)	23.2 ** 5.76 *	261.4 **	/	18.4 **
面积( $\text{mm}^2$ )	0.023	0.12	/	1
功耗(mW)	3.5	13.6	7.6	15.4
供电电压(V)	1.5	3.3	1.8	3.3

注: \* 为仿真结果, \*\* 为测试结果参考文献

## 5 结束语

本文基于 0.18 $\mu\text{m}$  SOI 工艺,设计实现了一种 40MHz 采样率的采样保持电路.本文的采样保持电路采用环型结构运放、消除衬偏效应的自举开关,经过流片验证,可以获得良好的线性度,满足 12bit 流水线 ADC<sup>[13,14]</sup>的应用要求.本文的环型运放结构简单、占用面积小,有助于深亚微米及纳米工艺下采样保持电路和流水线 ADC 的设计。

### 参考文献

- [1] B Hershberg. Ring amplifiers for switched capacitor circuits [J]. IEEE Journal of Solid-State Circuits, 2012, 47(12): 2928 - 2942.
- [2] Y Lim, MP Flynn. A 100MS/s 10.5b 2.46mW comparator-less pipeline ADC using self-biased ring amplifiers [A]. IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC) [C]. San Francisco: IEEE, 2014. 202 - 203.
- [3] 范明俊. 基于先进工艺的低电压低功耗流水线模数转换器研究与设计[D]. 上海: 复旦大学信息科学与工程学院, 2010.  
FAN Ming-jun. Research and Design of Low-voltage Low-

Power Pipelined ADC with Advanced Process[D]. Shanghai: Information Science & Engineering School of Fudan University, 2010. (in Chinese)

- [4] Y Chae, G Han. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator [J]. IEEE Journal of Solid-State Circuits, 2009, 44(2): 458 - 472.
- [5] L Brooks, H-S Lee. A 12 b 50 MS/s fully differential zero-crossing based pipelined ADC [J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3329 - 3343.
- [6] WILLY MC Sansen. Analog Design Essentials [M]. Beijing: Tsinghua University Press, 2007.
- [7] BEHZAD Razavi. Design of Analog CMOS Integrated Circuits [M]. Xi'an: Xi'an Jiaotong University Press, 2004.
- [8] 景鑫, 庄奕琪, 汤华莲, 张丽, 杜永乾. 一种新型双通道 MOS 开关栅压自举电路 [J]. 西安电子科技大学学报, 2014, 41(3): 138 - 144.  
JING Xin, ZHUANG Yi-qi, TANG Hua-lian, ZHANG Li, DU Yong-qian. Novel dual channel MOS bootstrapped circuit [J]. Journal of Xidian University, 2014, 41(3): 138 - 144. (in Chinese)
- [9] ZHU Xu-bin, NI Wei-ning, SHI Yin. A 10-bit 50-MS/s sample-and-hold circuit with low distortion sampling switches [J]. Journal of Semiconductors, 2009, 30(5): 109 - 112.

- [10] 戴澜,姜岩峰,刘文楷. 12 位 50 MHz 流水线 ADC 采样保持电路实现[J]. 微电子学,2010,40(4):503-505.  
DAI Lan,JIANG Yan-feng,LIU Wen-kai. Implementation of sample and hold circuit for 12-bit 50 MHz pipelined ADC[J]. Journal of Microelectronics,2010,40(4):503-505. (in Chinese)
- [11] CHOUIA Y,EI-Sankary K,SALE A et al. 14 b,50 MS/s CMOS front-end sample and hold module dedicated to a pipelined ADC [J]. IEEE Trans Circuits Syst,2004,1(3):353-356.
- [12] B Y Kamath,R G Meyer,P R Gray. Relationship between frequency response and settling time of operational amplifiers [J]. IEEE Journal of Solid-State Circuits,1974,9(6):347-352.
- [13] ABO A M. Design for Reliability of Low-Voltage Switched-Capacitor Circuits [M]. California; University of California-Berkeley,1999.
- [14] WALTARI M. Circuit Techniques For Low-Voltage And High-Speed A/D Converters [D]. Helsinki; Helsinki University,2002.
- [15] WANG H,HONG H,SUN L, et al. A sample-and-hold circuit for 10-bit 100 MS/s pipelined ADC [A]. IEEE International Conference ASICON [C]. Xiamen; IEEE,2011. 480-483.
- [16] YUE Sen,ZHAO Yi-qiang,PANG Rui-long, et al. A 14-bit 50 MS/s sample-and-hold circuit for pipelined ADC [J]. Journal of Semiconductors,2014,35(5):122-127.

#### 作者简介



**魏子辉(通信作者)** 男,1989年1月出生,于河北省沧州市,博士研究生,从事模数混合集成电路研究.

E-mail: weizihui@ime.ac.cn.



**黄水龙** 男,1975年出生于湖北通城,博士,副研究员,研究方向为高性能模拟/射频CMOS集成电路.

**单强** 男,1983年9月出生,于辽宁葫芦岛,硕士,助理研究员,研究方向为模拟CMOS集成电路设计.