

深亚微米槽栅 NMOSFET 结构参数 对其抗热载流子特性的影响

任红霞,郝 跃,许冬岗
(西安电子科技大学微电子研究所,西安 710071)

摘 要: 基于流体动力学能量输运模型和幸运热载流子模型,用二维器件仿真软件 Medici 对深亚微米槽栅 NMOSFET 的结构参数,如沟道长度、槽栅凹槽拐角角度、漏源结深等,对器件抗热载流子特性的影响进行了模拟分析,并与常规平面器件的相应特性进行了比较.结果表明即使在深亚微米范围,槽栅器件也能很好地抑制热载流子效应,且其抗热载流子特性受凹槽拐角和沟道长度的影响较显著,同时对所得结果从内部物理机制上进行了分析解释.

关键词: 槽栅 NMOSFET; 热载流子效应; 凹槽拐角; 负结深

中图分类号: TN303.12 **文献标识码:** A **文章编号:** 0372-2112 (2001) 02-0160-04

Study on the Influence for Structure Parameters on the Hot-Carrier-Effect Immunity in NMOSFET

REN Hong-xia, HAO Yue, XU Dong-gang
(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: The influence of structure on hot-carrier-effect immunity for deep-sub-micron n-channel metal-oxide-semiconductor field-effect transistors (NMOSFETs) is studied using two-dimensional device simulator Medici and compared to that of counterpart conventional planar devices. The simulated structure parameters include negative junction depth, concave corner and channel effective length. Simulation results prove that grooved-gate device can deeply suppress hot carrier effect even in deep-sub micron region. The simulations also indicate that hot-carrier effect is strongly influenced by concave corner and channel length for grooved gate MOSFET. In the end, the results obtained in this work are explained from the point of interior physical mechanism of device.

Key words: grooved-gate NMOSFET; hot-carrier-effect; concave corner; negative junction depth

1 引言

随着 VLSI 电路密度和速度不断上升,器件尺寸不断缩小,热载流子效应变得日趋严重,已成为限制 VLSI 电路最大器件密度的主要可靠性因素之一^[1].器件进入深亚微米范围后退化量增加的主要原因是器件内部的沟道场强和氧化层场强随沟道长度减小而增加,使热载流子效应增强.虽然降低电源电压和减小栅氧化层厚度是抑制热载流子效应的有效方法^[2],但由于受器件驱动能力和速度及漏电流和隧道电流的影响,电源电压和栅氧厚度的降低是有限度的.为最大限度抑制短沟道效应和热载流子效应,人们探索了许多器件结构和制备工艺^[3],槽栅器件作为一种在深亚微米区域极具应用前景的 MOS 器件被提了出来.它可以有效的抑制短沟道效应和 DIBL 效应,具有良好的亚阈特性,还能有效的抑制热载流子的产生.但国际上对槽栅器件的研究目前还处于起步阶段,对其许多特性还没有展开研究.本文利用二维器件仿真软件

MEDICI^[4]研究了槽栅 NMOSFET 的结构参数对其热载流子特性的影响,并与相应平面器件的特性进行了比较.

2 模型和算法

对深亚微米器件进行模拟时必须考虑各种短沟道效应,尤其当沟道长度降至与载流子平均自由程可比拟时,会出现如非稳态、量子传输等效应.由于槽栅器件是适用于深亚微米及更小尺寸的器件,一般的漂移-扩散模型已不能满足要求,必须采用流体动力学能量输运模型.能量输运模型由载流子连续性方程、动量平衡方程、能量平衡方程及 Poisson 方程组成,它能够模拟载流子的非本地输运现象,包括了载流子加热及其相关的现象,如速度过冲等,比漂移扩散模型更为精确.在热载流子效应研究过程中,我们采用了幸运载流子模型来求解栅电流^[5].下面简单给出流体动力学能量输运模型的基本方程.

流体动力学模型首先包括载流子的连续性方程:

$$\partial n / \partial t = + (1/q) \nabla \cdot \mathbf{J}_n - U_n \quad (1)$$

$$\partial p / \partial t = + (1/q) \nabla \cdot \mathbf{J}_p - U_p \quad (2)$$

其中:

$$\mathbf{J}_n = q\mu_n n \mathbf{E} + q\mu_n \nabla (u_n n) + nu_n \frac{\partial \mu(u_n)}{\partial u_n} \nabla u_n \quad (3)$$

$$\mathbf{J}_p = q\mu_p p \mathbf{E} - q\mu_p \nabla (u_p p) + pu_p \frac{\partial \mu(u_p)}{\partial u_p} \nabla u_p \quad (4)$$

同时流体动力学模型还包括电子和空穴能量平衡方程:

$$\nabla \cdot \mathbf{S}_n = \frac{1}{q} \mathbf{J}_n \cdot \mathbf{E} - \frac{3}{2} \left[n \frac{u_n - u_0}{E_L E \cdot TAUW} + \frac{\partial (nu_n)}{\partial t} \right] - \frac{1}{q} E_g G_n^H + H_n^R \quad (5)$$

$$\nabla \cdot \mathbf{S}_p = \frac{1}{q} \mathbf{J}_p \cdot \mathbf{E} - \frac{3}{2} \left[p \frac{u_p - u_0}{HOL \cdot TAUW} + \frac{\partial (pu_p)}{\partial t} \right] - \frac{1}{q} E_g G_p^H + H_p^R \quad (6)$$

其中 S_n 及 S_p 分别为电子和空穴的能量流密度。

载流子基本方程与 Poisson 方程耦合,便组成了完整的流体动力学模型:

$$\nabla \cdot \nabla = -q(p - n + N_D^+ - N_A^-) - s \quad (7)$$

在方程(1)~(7)中, n 和 p 分别为电子和空穴密度, q 为电子电荷, U_n 和 U_p 分别为电子和空穴的净复合几率, 分别由 Shockley-Read-Hall (U_{SRH})、Auger (U_{Auger}) 和直接 (U_{Dir}) 复合三部分组成。 J_n 和 J_p 分别为电子和空穴电流密度, μ_n 和 μ_p 分别为电子和空穴迁移率, u_n 、 u_p 和 u_0 分别为电子、空穴和晶格热电压: kT_n/q , kT_p/q , kT_0/q 。 $E_L E \cdot TAUW$ 和 $HOL \cdot TAUW$ 分别为由材料确定的电子和空穴能量弛豫时间, G_n^H 和 G_p^H 为碰撞电离项, H_n^R 和 H_p^R 分别为电子和空穴输运加热项。 E_g 为禁带宽度, N_D^+ 和 N_A^- 分别为电离的杂质浓度, s 为表面电荷密度。

仿真中,模型基本方程中各参数的选取考虑了深亚微米器件的特殊性。且采用耦合算法(Newton's method)来求解模型中的基本方程。

3 结果与讨论

MOSFET 沟道中的电场,器件的栅电流、衬底电流都是器件热载流子效应的敏感参数。衬底电流反应的是沟道中碰撞电离率,也就反应了电场及热载流子产生的数量。对于 NMOSFET,实际测量中,常用衬底电流作为热载流子可靠性的指标。栅电流反应的是穿过栅的载流子数量,因此到达栅氧化层的热载流子数量与栅电流呈一定的比例关系。

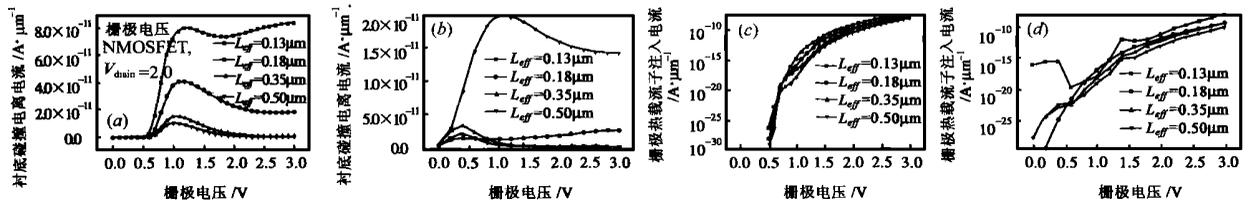


图2 不同沟道长度的槽栅和平面器件的衬底电流和栅电流。槽栅 NMOSFET, $V_{\text{drain}} = 2.0\text{V}$ 。(a) 槽栅器件衬底电流;(b) 平面器件衬底电流;(c) 槽栅器件栅电流;(d) 平面器件栅电流

由图2还可看出无论是平面器件还是槽栅器件,它们的衬底电流都随沟道长度的减小而迅速增大。这说明随沟道长度的减小,热载流子效应日趋严重。显然,这是由于随沟道缩短,沟道区横向电场增大的缘故。但比较图2(a)和(b),明显可以看出平面器件热载流子特性比槽栅器件随沟道长度的减

为研究结构参数对槽栅器件抗载流子特性的影响,我们按照自对准工艺^[6]模拟制备了一批槽栅器件,同时用标准工艺流程制备一批参数基本相同的平面器件。这些器件的有效沟道长度分别为 0.13 μm 、0.18 μm 、0.35 μm 、0.50 μm ,栅氧化层 4 μm ,固定界面态密度 10^{10}cm^{-2} ,衬底掺杂浓度为 $5.0 \times 10^{16}\text{cm}^{-3}$,沟道表面掺杂浓度为 10^{17}cm^{-3} ,源漏表面掺杂浓度为 10^{20}cm^{-3} ,栅向下凹入 0.1 μm ,结深分别为 0.08 μm 、0.09 μm 、0.10 μm ,形成 0.02 μm 、0.01 μm 、0.0 μm 的负结和平结,凹入槽栅的拐角分别为 30°、45°、60°,拐角示意图如图1。接着用流体力学模型分别对凹槽拐角、结深、沟道长度等不同的槽栅器件的抗热载流子特性进行了研究并与相应平面器件的特性进行了对比。



图1 槽栅器件结构剖面图

3.1 沟道长度对槽栅 NMOSFET 抗热载流子特性的影响

本部分仿真所用器件,结深 0.08 μm ,凹槽拐角为 45°。图2给出不同沟道长度的槽栅器件和平面器件的衬底碰撞电离电流和栅极热载流子注入电流。可以看出沟道相等情况下,槽栅器件的衬底电流远低于平面器件,而其栅电流在栅压低于阈值电压时小于平面器件,而栅压高于阈值电压后则大于平面器件。由于衬底电流反映了热载流子产生的数量,直接对应着热载流子在栅氧化层界面产生的损伤大小,所以也就说明槽栅器件的热载流子效应要优于平面器件。这主要是因为“拐角效应”的影响,槽栅器件中在凹槽的两个拐角处形成了两个势垒(见图3),并且这两个势垒并没有随漏压的增大而消失,载流子在从源结到漏端的运动过程中,两次经过拐角,都要改变运动方向。而在平面器件电场中,近漏端的唯一一个小势垒随着漏极偏压的增大,很快消失。对于栅电流,一般可以这样认为,栅电流是穿过栅氧化层到达栅极的载流子,在沟道全程都有可能发生,由于槽栅器件的纵向场要强于平面器件,故栅电流大。另外也表明,相对于平面器件,到达界面的载流子容易穿过栅氧化层到达栅极。

小增大快得多。沟道长度从 0.5 μm 减小到 0.13 μm ,槽栅器件的衬底电流峰值由 $10^{-11}\text{A}/\mu\text{m}$ 增长到 $8.0 \times 10^{-11}\text{A}/\mu\text{m}$,增大了 8 倍,而平面器件则由 $2.0 \times 10^{-11}\text{A}/\mu\text{m}$,增长到 $2.0 \times 10^{-10}\text{A}/\mu\text{m}$,增大了 10 倍。因此在短沟道情况下,槽栅器件与平面器件相比,较好地抑制了热载流子效应。仿真发现,两种结构

的器件的栅电流同样随其沟道长度的缩短而增大(见图 2(c)和(d)),且平面器件增大的程度远大于槽栅器件. 沟道长度

从 $0.5\mu\text{m}$ 减小到 $0.13\mu\text{m}$, 槽栅器件的栅电流峰值增大了约 6 倍, 而平面器件则增大了将近 100 倍.

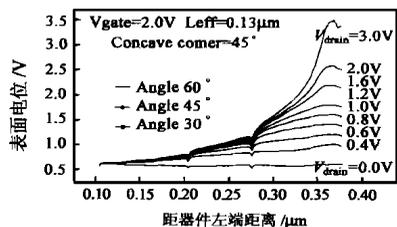


图 3 $0.13\mu\text{m}$ 槽栅器件沿 Si/SiO₂ 界面的表面电势分布

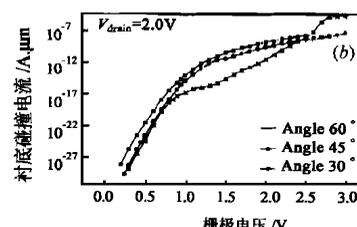
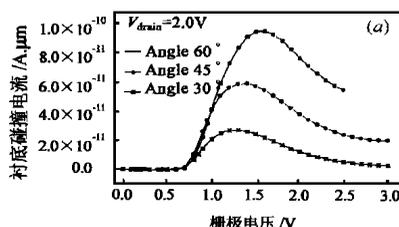


图 4 不同斜角的槽栅器件的热载流子特性. (a) 衬底碰撞电离电流; (b) 栅极热载流子注入电流

3.2 凹槽拐角对槽栅 NMOSFET 抗热载流子特性的影响

图 4 为凹槽拐角不同的槽栅器件的衬底电流和栅电流的对比. 仿真所用器件的沟道长度为 $0.13\mu\text{m}$, 结深 $0.08\mu\text{m}$. 仿真结果表明拐角增大, 衬底电流和栅电流明显减小, 产生的热载流子数量显著减少. 这主要是因为凹槽拐角越大, 拐角处形成的势垒高度越大见图 5, 拐角效应越明显, 载流子跨越这两个

势垒损失的能量越大, 速度降低. 且随着凹槽拐角的增大, 沟道内平行场降低, 载流子在沟道内受到电场的加速作用较小, 载流子能量较低, 碰撞电离几率减小, 载流子成为幸运载流子的几率也随之降低, 所以在凹槽拐角较大时, 槽栅器件的抗热载流子效应增强.

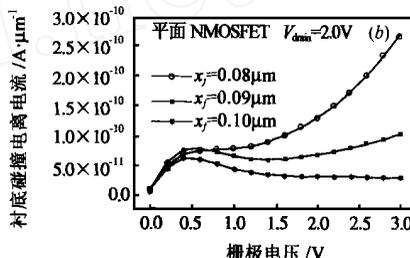
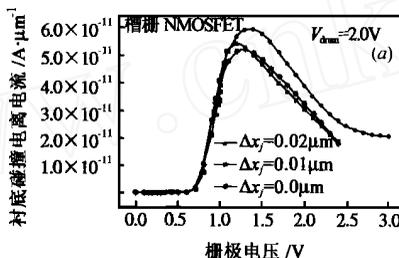
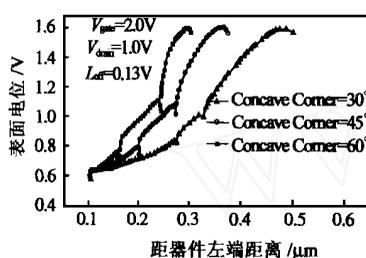


图 5 不同斜角的槽栅器件沿 Si/SiO₂ 表面电位分布

图 6 不同负结深的槽栅和平面器件沿 Si/SiO₂ 界面的衬底碰撞电离电流分布. (a) 槽栅器件; (b) 平面器件

3.3 结深对槽栅 NMOSFET 抗热载流子特性的影响

图 6 中 (a)、(b) 分别为深负结、浅负结、平结槽栅器件与平面器件衬底碰撞电离电流. 仿真所用器件的沟道长度为 $0.13\mu\text{m}$, 凹槽拐角 45° . 虽然随着负结深的增大, 槽栅器件的衬底碰撞电离电流增大, 但深负结槽栅器件的最大衬底电流为平面器件的 29.5%, 浅负结槽栅器件的最大衬底电流为平面器件的 63%, 平结槽栅器件的最大衬底电流为平面器件的 83.1%. 所以与平面器件

相比, 槽栅器件的负结深越大, 对热载流子效应的抑制作用越强. 这是因为槽栅的负结深越大, 拐角效应也越明显. 这就表明了槽栅器件的栅凹入得越厉害, 则抗热载流子特性和绝缘特性越好.

负结深对槽栅和平面器件抗热载流子特性的影响同样可以通过器件内部电场等物理参数的分布来解释. 图 7 出负结深不同的槽栅和平面器件内沿 Si/SiO₂ 界面的平行场分布. 由图中看出, 随着漏源结变浅, 平面器件沟道内平行场明显增大, 导致热载流子速度明显增大, 成为幸运载流子的几率提高, 因而平面器件的热载流子效应明显增大. 对于槽栅器件, 则随着负结深的增大, 沟道内平行场略有增大, 载流子速度也同样略有升高, 同时拐角势垒增大, 另外, 随着负结深的增大, 沟道平坦部分在整个沟道内所占的比例降低, 载流子获得加速的路径和时间较短, 由于这三方面的作用, 使槽栅器件的热载流子效应随负结深的增大比平面器件的增大小得多. 因而与平面器件相比随着负结深的增大槽栅器件的抗热载流子效应增强.

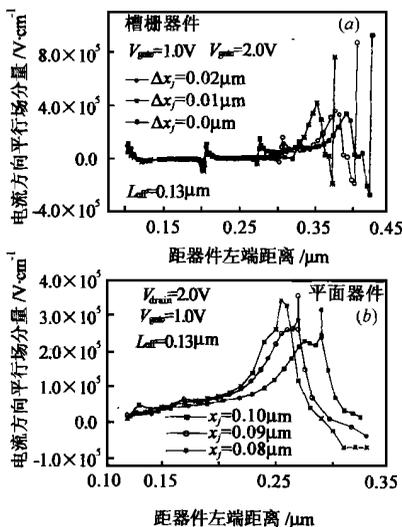


图 7 不同负结深的槽栅和平面器件沿 Si/SiO₂ 界面的水平场分布. (a) 槽栅器件; (b) 平面器件

4 结论

本文利用二维器件仿真软件对槽栅器件的一些结构参数, 如器件的沟道长度、结深、槽栅凹槽的拐角对其抗热载流

子特性的影响进行了分析研究,并与相应常规平面器件的特性进行了对比,同时从内部物理机制上对这些影响特性进行了理论解释.研究表明,在短沟道情况下,槽栅器件能够很好地抑制热载流子效应;且其热载流子特性随凹槽拐角的增大而明显降低;随着负结深的增大,与平面器件相比,其抗热载流子特性增强.槽栅器件之所以有这样的特性,主要是因其特殊的结构,这些特性都可以通过拐角效应来解释.因此,我们可以预期槽栅器件在深亚微米和亚 $0.1\mu\text{m}$ 范围,将会有很好的应用前景.

参考文献:

- [1] C. Hu, Simulating hot-carrier effects on circuit performance [J]. *Semicon. Sci. Technol.*, 1992, 7(3) : B555 - B558.
- [2] C. Fiegna, H. Iwai, T. Wada, et al., Scaling the MOS transistor below $0.1\mu\text{m}$: methodology, device structures, and technology requirements [J]. *IEEE Trans. Electron Devices*, 1994, 41(6) : 941 - 949.
- [3] C. Hu, S. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan and K. W. Terrill. Hot-electron-induced MOSFET degradation model, monitor and improvement [J]. *IEEE Trans. Electron Devices*, 1985, 33(2) : 375 - 385.
- [4] Technology Modeling Associates, Inc. Medici Two-dimensional Device Simulation Program Version 2.3 User's Manual [J], Feb 1997, 1.
- [5] S. Tam, P. Ko, C. Hu. Luck-electron model of channel hot-electron injection in MOSFETs [J]. *IEEE Trans. Electron Devices*, 1984, 31(9) : 1116 - 1125.
- [6] 任红霞.深亚微米槽栅 CMOS 器件特性研究,博士后研究报告 [D].西安电子科技大学,1999,12.

作者简介:



任红霞 1967 年出生,分别于 1990 年、1993 年和 1998 年获西安交通大学学士、硕士和博士学位,现为西安电子科技大学微电子研究所副教授.主要研究领域为小尺寸器件的理论与模型及可靠性研究.已发表论文 30 余篇.



郝跃 1958 年出生,先后于 1985 和 1991 年在西安电子科技大学和西安交通大学获硕士和博士学位,现为西安电子科技大学教授、副校长、博士生导师. IEEE 高级会员,国家有突出贡献中青年专家.从事半导体器件微电子学技术研究.在国内外发表论文 100 余篇,著作 5 部.

第四届国际 ASIC 会议(AASICON 2001)征文通告

由中国电子学会、IEEE 北京分会、IEEE 电路和系统学会、IEE 电子分会等单位共同发起和举办的、由上海市科委、上海市集成电路设计产业化基地等支持的第四届国际专用集成电路会议(ASICON 2001)定于 2001 年 10 月 22 日到 25 日在上海国际贵都大饭店召开.本次会议将与第六届国际固体和集成电路技术会议同时、同地举行.

这次会议报告将涉及 VLSI 电路和系统的设计、分析、综合、模拟、模型、测试等方面的内容.会议第一天将邀请部分中外著名专家作关于芯片系统集成的主旨演说与系列拓导报告;会议期间将举行分会技术报告和大会专题讨论;举行专用仪器、设备及集成电路设计软件等的展示.会议论文集将具有 IEEE 的统一书号,收入论文集的论文可被 EI 检索.热诚欢迎我国从事这方面工作的专业和管理人员踊跃投稿并与会.

征文内容

1. 数字信号及图像处理 ASIC 设计(包括 Video、HDTV 等);
2. 模拟和混合信号集成电路和系统设计;

3. 数据计算及电信、无线通讯、网络通讯等的 VLSI;
4. 其它系统的 ASIC 设计(包括微处理器、自动控制、电力、医用等);
5. VLSI 测试和可测性设计;
6. EPLD、PAL 可编程器件;PLD 及 FPGA 技术及其应用;
7. VLSI 的 CAD/CAE 方法及应用(包括布局布线、VHDL、建库、综合、模拟、模型建立及模型参数提取等);
8. 系统集成技术;
9. 其它有关集成电路设计的内容.

应征日期及注意事项

应征论文请于 2001 年 4 月 1 日前寄往

上海复旦大学电子工程系 虞惠华;

邮政编码:200433;

传真号:65648267;

电子信箱:hhyu@fudan.edu.cn

欲知有关会议的详细信息,请查阅网址:<http://www.cie-china.org>

第四届(2001 年)国际 ASIC 会议程序委员会