

# 漂移区为线性掺杂的高压薄膜 SOI 器件的研制

张盛东<sup>1</sup>, 韩汝琦<sup>1</sup>, Tommy Lai<sup>2</sup>, Johnny Sin<sup>2</sup>

(1. 北京大学微电子学研究所, 北京 100871; 2. 香港科技大学电机电子工程系, 香港)

**摘 要:** 给出了漂移区为线性掺杂的高压薄膜 SOI 器件的设计原理和方法. 在 Si 膜厚度为 0.15 $\mu\text{m}$ 、隐埋氧化层厚度为 2 $\mu\text{m}$  的 SOI 硅片上进行了 LDMOS 晶体管的制作. 首次对薄膜 SOI 功率器件的击穿电压与线性掺杂漂移区的杂质浓度梯度的关系进行了实验研究. 通过对漂移区掺杂剂量的优化, 所制成的漂移区长度为 50 $\mu\text{m}$  的 LDMOS 晶体管呈现了高达 612V 的击穿电压.

**关键词:** 薄膜 SOI; 高压; LDMOS; 线性掺杂

**中图分类号:** TN604

**文献标识码:** A

**文章编号:** 0372-2112 (2001) 02-0164-04

## Development of High Voltage Thin Film SOI Device with Linearly Doped Drift Region

ZHANG Sheng-dong<sup>1</sup>, HAN Ru-qi<sup>1</sup>, Tommy Lai<sup>2</sup>, Johnny Sin<sup>2</sup>

(1. Institute of Microelectronics, Peking University, Beijing 100871, China;

2. Dept. of EEE, The Hong Kong University of Science and Technology, China)

**Abstract:** Principle and method for designing high voltage thin film SOI devices with linearly doped drift region are given. LDMOS transistors are fabricated on the SOI wafers with Si film of 0.15 $\mu\text{m}$  and buried oxide of 2 $\mu\text{m}$ . The dependence of breakdown voltages of the thin film SOI devices on the concentration gradient in the linearly doped drift region is experimentally investigated for the first time. Based on the optimization of the impurity dose in drift region, the breakdown voltage over 612V is observed in the SOI LDMOS transistors with 50 $\mu\text{m}$  drift region.

**Key words:** thin film SOI; high voltage; linear doping; LDMOS

### 1 引言

与体硅 (Bulk Silicon) 器件相比, SOI (Silicon On Insulator) 器件具有更高的工作速度、更好的绝缘性能、更强的抗辐射能力以及无可控硅自锁效应<sup>[1]</sup>. 因此, 近年来 SOI 器件在 VLSI 领域的应用得到广泛关注. 对功率集成电路 (Power Integrated Circuit, 简称 PIC) 而言, 当低压器件和高压器件集成于同一芯片时, SOI 优异的绝缘性能则显得尤为重要. 此外, 在被用作高压开关时, SOI 器件与绝缘器件相比呈现更低的导通电阻<sup>[2]</sup>. 随着 SOI 膜厚的不断减小, VLSI 器件将会获得更多的好处, 如易于隔离、封装密度高<sup>[3]</sup>、无 Kink 效应<sup>[4]</sup>等. 因此, 薄膜 SOI 器件技术在 PIC 领域也有良好的应用前景.

但是, 随着 SOI 膜厚的减小, 对漂移区为均匀掺杂的常规 SOI 器件来说, 其击穿电压显著降低. 目前, 理论和实验已证明当漂移区为线性掺杂时, 薄膜 SOI 器件能获得高的击穿电压<sup>[5~8]</sup>. 但就高性能功率器件而言, 除需要高的击穿电压外, 还需要尽可能低的导通电阻. 导通电阻总是随漂移区掺杂浓度的提高而减少, 而击穿电压与漂移区掺杂浓度的关系通常比较复杂. 因此, 要获得优化的击穿电压和导通电阻, 必须弄

清击穿电压和漂移区掺杂浓度之间的关系. 然而, 至今尚未见该方面的研究报导. 本文将着重介绍我们在此方面的最新研究结果. 本文的内容是这样组织的: 首先分析了 SOI 器件的表面电场减小原理 (Reduced Surface Field, 简称 RESURF), 然后给出了线性掺杂漂移区的设计方法和几何参数, 接着详细描述了高压薄膜 SOI LDMOS (Lateral Diffusion Metal Oxide Silicon) 晶体管的制作过程, 最后对击穿电压与漂移区掺杂浓度梯度之间关系的实验结果进行了分析与讨论.

### 2 SOI 器件的 RESURF 原理

众所周知, 为减少圆柱状 P/N 结处的电场拥挤效应从而改善横向功率器件的击穿特性, 通常采用 RESURF 技术<sup>[8,9]</sup>. 对体硅器件而言, RESURF 技术是通过漂移区中电荷与衬底的耦合来改善横向电场分布的. 将这一技术应用到 SOI 器件可产生类似的效果. 在一个图 1 所示的 SOI 二极管结构中, 如果 P<sup>+</sup> 和衬底 N<sup>+</sup> 短接, 则二极管反偏时, 穿过隐埋氧化层的电场垂直分量将使得 SOI 层中的空间电荷区扩展, 拓宽了横向耗尽层宽度 L, 从而降低了漂移区表面的横向电场分量. 此时

与体硅情形不同的是氧化层和衬底的界面处形成多子堆积,彻底消除了该处可能产生的雪崩倍增.因此,器件的击穿电压完全由 SOI 膜内的雪崩倍增和隐埋氧化层的介电强度所决定.在氧化层足够厚的情况下,SOI 膜的雪崩倍增起主导作用.为获得尽可能高的击穿电压,总是希望表面电场尽可能低,以使雪崩倍增发生在 SOI 膜体内.显然,当横向电场沿漂移区长度方向为均匀分布时,电场强度最小.下面将说明,要使漂移区内横向电场为均匀分布必须使漂移区为线性掺杂,即掺杂浓度沿漂移区长度方向线性变化.

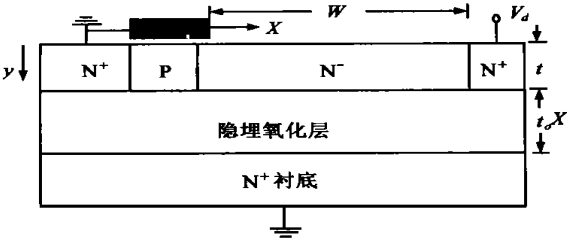


图1 高压薄膜 SOI 二极管剖面结构示意图

如图1所示,设漂移区杂质浓度为 $N(x)$ ,即杂质浓度在膜厚 $y$ 方向不变.在杂质全电离的情况下,根据泊松方程我们有,

$$N(x) = \frac{K_s \epsilon_0}{q} \nabla E(x, y) = \frac{K_s \epsilon_0}{q} \left[ \frac{\partial}{\partial x} E_x(x, y) + \frac{\partial}{\partial y} E_y(x, y) \right] \quad (1)$$

式中, $\epsilon_0$ 是自由空间的介电常数, $K_s$ 是硅的相对介电常数, $E(x, y)$ 为漂移区电场, $E_x(x, y)$ 和 $E_y(x, y)$ 分别为漂移区电场的 $x$ 和 $y$ 方向的分量.在横向电场为均匀分布即 $\partial E_x(x, y) / \partial x = 0$ 时,

$$N(x) = \frac{K_s \epsilon_0}{q} \frac{\partial E_y(x, y)}{\partial y} \quad (2)$$

积分式(2),并令 $E_y(x, 0) = 0$ ,则

$$E_y(x, y) = qN(x) / (K_s \epsilon_0) y \quad (3)$$

为求横向电场表达式,先求出表面电势分布 $\phi_s(x, 0)$ .显然,

$$\phi_s(x, 0) = \phi_{si}(x) + \phi_{ox}(x) \quad (4)$$

$\phi_{si}(x)$ 和 $\phi_{ox}(x)$ 分别为 SOI 层和隐埋氧化层上的电势差.其中,

$$\phi_{si}(x) = \int_0^{t_s} E_y(x, y) dy = \frac{qN(x)}{K_s \epsilon_0} \frac{t_s^2}{2} \quad (5)$$

$$\phi_{ox}(x) = \frac{K_s}{K_{ox}} E_y(x, t_s) t_{ox} = \frac{qN(x)}{K_{ox} \epsilon_0} t_s t_{ox} \quad (6)$$

式中 $t_s$ 、 $t_{ox}$ 分别为 SOI 硅膜以及隐埋氧化层的厚度. $K_{ox}$ 为隐埋氧化层的相对介电常数.从以上三式我们有,

$$\phi_s(x, 0) = \frac{qN(x)}{K_s \epsilon_0} \left( \frac{t_s^2}{2} + \frac{K_s}{K_{ox}} t_s t_{ox} \right) \quad (7)$$

对 $\phi_s(x, 0)$ 微分可得,

$$E_x(x, 0) = -\frac{d}{dx} \phi_s(x, 0) = -\frac{qt_s}{K_s \epsilon_0} \left( \frac{t_s}{2} + \frac{K_s t_{ox}}{K_{ox}} \right) \frac{dN(x)}{dx} \quad (8)$$

由上式可见,为使 $E_x(x, 0)$ 在漂移区内为均匀分布,要求 $N(x)$ 必须是 $x$ 的线性函数,即漂移区必须为线性掺杂.

3 线性掺杂漂移区的设计

以上的分析表明,为获得高压 SOI 薄膜器件要求漂移区为线性掺杂.早期的研究指出,连续的横向掺杂分布可由横向变掺杂技术(Lateral Variation Doping Technique)来实现<sup>[9]</sup>.所谓横向变掺杂技术是指在用作杂质注入掩蔽膜的二氧化硅或光刻胶膜上光刻形成一系列的杂质注入细槽,这些细槽的宽度在从 $N^+$ 端到 $P/N^-$ 结的方向上逐渐减小(参见图2).从这些细槽注入的 $N$ 型掺杂剂将充当线掺杂源,在后续的高温工艺

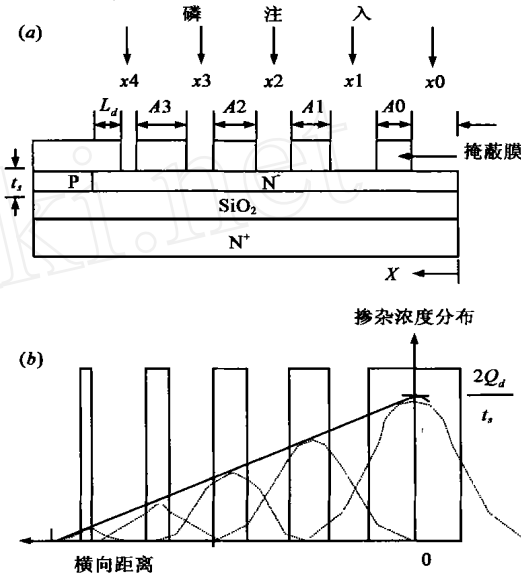


图2 横向变掺杂技术示意图.(a) 漂移区剖面结构;(b) 漂移区掺杂分布.矩形和实线分别代表 drive-in 前后的杂质分布,虚线示意了线掺杂源在推进(drive-in)后各自的分布

表1 漂移区几何尺寸设计值

设计参数	漂移长度(30μm)	漂移长度(40μm)	漂移长度(50μm)
X0	4.2	6.6	11.1
X1	2.5	3.7	4.6
X2	1.8	2.7	3.5
X3	1.4	2.2	3.0
X4	0.9	1.7	2.5
X5	0.7	1.2	2.0
X6		0.8	1.5
X7		0.6	1.0
X8			0.7
X9			0.5
A0	2.5	1.9	1.0
A1	2.5	1.8	1.1
A2	2.8	2.2	1.6
A3	3.0	2.7	2.0
A4	4.1	2.9	2.4
A5		2.9	2.8
A6		3.9	2.9
A7			2.8
A8			2.9
Ld	5	5	5

下向两侧推进 (drive-in). 如果该推进时间足够长, 则注入的杂质源将充分散开, 形成一连续的横向掺杂分布. 通过优化这些细槽的位置和尺寸, 即可获得高压器件所需的线性横向掺杂分布. 为此, 我们曾建立了一个数学模型来设计和确定上述细槽的数目、位置、和尺寸. 这部分内容已在文献[7]中作了详细论述, 这里仅给出由该模型获得的漂移区几何参数. 这些参数列于表 1. 表中  $X_i (i=1 \sim 9)$  和  $A_j (j=1 \sim 8)$  定义由图 2 所示.

#### 4 SOI LDMOS 晶体管的制作

我们设计了一个与 CMOS 技术兼容的 SOI LDMOS 制作工艺. 各工艺参数均由二维模拟器 TSUPREM 确定. 所使用的 N 型 SOI 硅片为键合片, 隐埋氧化层的厚度为  $2\mu\text{m}$ . 硅膜初始厚度为  $0.4\mu\text{m}$ , 经热氧化减薄至  $0.15\mu\text{m}$ . 原始掺杂浓度为  $1 \times 10^{15}\text{cm}^{-3}$ . LDMOS 晶体管的制作过程如下 (参见图 3):

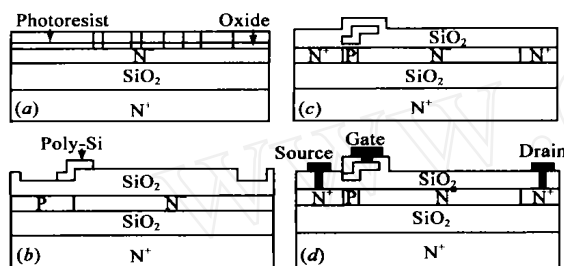


图 3 薄膜 SOI LDMOS 晶体管主要制作工序示意图

(1) 等离子刻蚀形成 Si 岛后淀积  $0.1\mu\text{m}$  的低温氧化硅 (Low Temperature Oxide, 简称 LTO), 再旋涂厚度为  $1\mu\text{m}$  左右的光刻胶膜; (2) 光刻确定漂移区并形成细槽 (见图 3(a)), 然后通过这些细槽进行磷注入, 形成一系列线掺杂源. 注入能量为

$60\text{KeV}$ , 注入剂量采用了一系列不同值, 以便实验确定晶体管击穿电压与漂移区掺杂剂量的关系; (3) 去胶后淀积一层  $0.4\mu\text{m}$  的 LTO 以防止后续杂质推进 (drive-in) 过程中杂质的外扩散. 然后将硅片置于温度为  $1200^\circ\text{C}$  的  $\text{N}_2$  气氛中, 保持 580 分钟; (4) 光刻  $\text{SiO}_2$  确定栅和漏区域, 然后热氧化形成  $500\text{\AA}$  的栅介质层. LPCVD 淀积  $5000\text{\AA}$  的多晶硅并等离子刻蚀形成硅栅 (参见图 3(b)); (5) 以硅栅作掩膜进行硼注入. 注入剂量为  $4 \times 10^{12}\text{cm}^{-2}$ , 注入能量为  $33\text{KeV}$ . 然后在  $1100^\circ\text{C}$  温度下处理 120 分钟, 以形成 P 型掺杂沟道区域 (参见图 3(c)); (6) 磷注入源漏区以及多晶硅栅. 注入剂量为  $7 \times 10^{14}\text{cm}^{-2}$ , 注入能量为  $90\text{KeV}$ . 然后淀积  $5000\text{\AA}$  的 LTO, 并在  $900^\circ\text{C}$  下致密 30 分钟. 光刻金属电极接触孔后, 淀积一层  $1\mu\text{m}$  的 Al 膜. 反应离子刻蚀形成金属电极 (参见图 3(d)). 最后在  $400^\circ\text{C}$  下烧结 30 分钟.

#### 5 结果与分析

图 4 为制成的 SOI LDMOS 晶体管芯片的显微照片. 图 5 示出了漂移区长度为  $50\mu\text{m}$  的器件的正向输出特性. 该器件的有源区面积为  $0.12\text{mm}^2$ , 特征导通电阻 (Specific On Resistance) 为  $50\text{mm}^2 \cdot \Omega$ , 阈值电压为  $1.6\text{V}$ .

图 6 为该晶体管的漏源击穿特性. 可见击穿电压达到  $612\text{V}$ . 图 7 示意了实验的和模拟的击穿电压与漂移区长度的关系, 实验结果和模拟结果相当吻合. 另外模拟结果显示, 当漂移区长度足够长时, 击穿电压不再随漂移区长度增加而明显增大. 这表明此时表面横向电场较小, 击穿由体内的雪崩倍增所决定. 以上结果与较早的报道也基本一致<sup>[5]</sup>. 图 8 为实验获得的线性掺杂漂移区浓度梯度和击穿电压的关系曲线. 此处浓度梯度  $G$  由下式给出,



图 4 薄膜 SOI LDMOS 晶体管芯片的显微照片

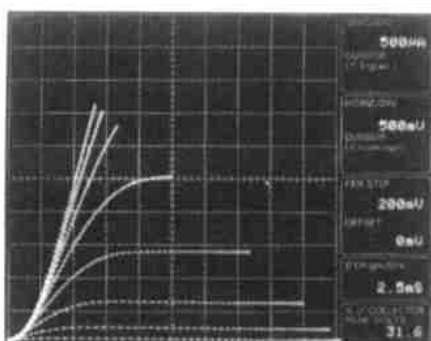


图 5 图 4 所示的 SOI LDMOS 晶体管的正向输出特性

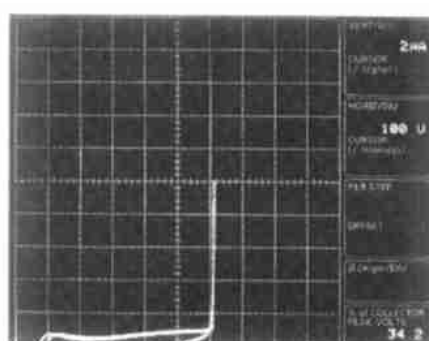


图 6 图 4 所示的 SOI LDMOS 晶体管的击穿特性

$$G = (2/W) (Q_d/t_s) \quad (9)$$

式中,  $W$  为漂移区长度,  $t_s$  为硅膜厚度,  $Q_d$  为磷注入过程中通过细槽进入漂移区的注入剂量对整个漂移区的平均值. 从图 8 可以看到, 对漂移区为线性掺杂的 LDMOS 晶体管来说, 在漂移区浓度梯度较小时, 击穿电压随浓度梯度或者说注入剂量的增加而增大, 并达到一极大值. 然后随浓度梯度的进一步升高而降低. 对此作如下解释. 从式 (8) 可以看出, 漂移区横向电场正比于漂移区浓度梯度. 因此, 在浓度梯度较小时, 漂

移区内的耗尽层在较低的偏压下便延伸到  $\text{N}^+$  区, 此时偏压稍有增加, 由于电场拥挤效应,  $\text{N}^+/\text{N}^-$  结处产生高电场导致器件击穿. 随着浓度梯度的增加, 则需要更大的偏压才能使耗尽层到达  $\text{N}^+$  区, 所以击穿电压升高. 这样势必存在一最佳浓度梯度, 使得耗尽层刚好到达  $\text{N}^+$  区时击穿发生, 此时击穿电压达到最大值. 此后若浓度梯度进一步增加, 击穿在耗尽层延伸到  $\text{N}^+$  区之前发生, 导致击穿电压降低. 以上实验结果的重要意义在于它表明可通过适当选取漂移区掺杂剂量, 使薄膜 SOI 器件在获得高击穿电压的同时也具有较低的导通电阻.

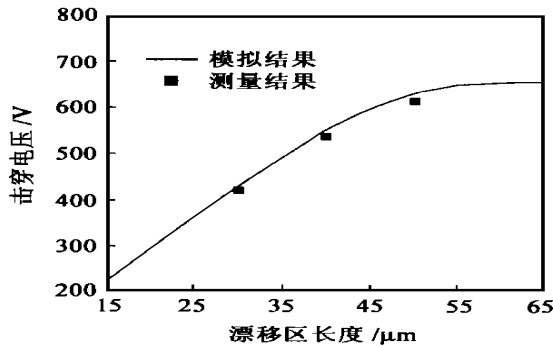


图 7 SOI LDMOS 晶体管击穿电压与漂移区长度关系的实验和模拟结果

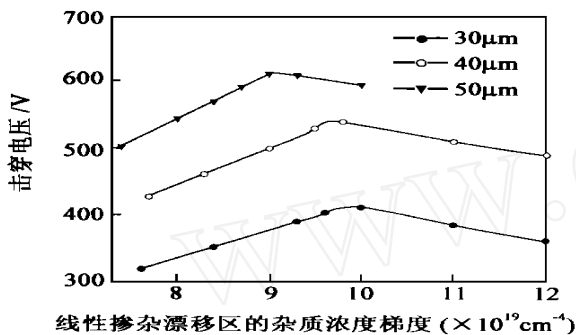


图 8 SOI LDMOS 晶体管击穿电压与漂移区杂质浓度梯度关系的实验曲线

## 6 结论

采用漂移区线性掺杂技术对高压薄膜 SOI 器件进行了设计和制作。所制成的 LDMOS 晶体管的击穿电压高达 600 V 以上。该结果表明我们先前提出的用于漂移区几何尺寸设计的数学模型是可靠的。实验结果还显示,要获得高性能薄膜 SOI 功率器件不仅要对其漂移区进行线性掺杂,而且还须对其浓度梯度进行优化。本文所报导的研究结果对此优化有着重要的指导意义。

## 参考文献:

- [1] Jean-Pierre Colinge. Silicon-on-Insulator Technology: Materials to VLSI [M]. Kluwer Academic Publishers, 1990.
- [2] E. Arnold, S. Merchant, M. Amato, S. Mukherjee, and H. Pein. Comparison of junction isolated and SOI high voltage devices operating in the source-follower mode [A]. Proc. 4th Int. Symp. Power Semiconductor Devices and ICs, 1992: 242 - 243.

- [3] M. Haond. Lateral isolation in SOI CMOS technology [A]. IEEE SOS/ SOI Technology Conference, 1990: 117 - 118.
- [4] J. P. Colinge. Reduction of floating substrate effect in thin-film SOI MOSFETs Electron Lett [J]., 1986, 22: 187 - 188.
- [5] S. Merchant, E. Arnold, H. Baumgart, S. Mukherjee and H. Pein, and R. Pinker. Realization of high breakdown voltage (> 700V) in thin SOI devices [A], Proc. 3rd Int. Symp. Power Semiconductor Devices and ICs [C]. 1991: 31 - 35.
- [6] S. Merchant. Arbitrary lateral diffusion profiles [J]. IEEE Trans. Electron Devices, 1995, 42(12): 2226 - 2230.
- [7] T. M. L. Lai, J. K. O. Sin, M. Wang, V. M. C. Poon, and P. K. KO. Implementation of linear doping profile for high voltage thin-film SOI device [A]. Proc. 7th Int. Symp. Power Semiconductor Devices and ICs, 1995: 315 - 320.
- [8] S. Merchant, E. Arnold, H. Baumgart, R. Egloff, T. Letavic, S. Mukherjee, and H. Pein. Dependence of breakdown voltage on drift length and buried oxide thickness in SOI RESURF LDMOS transistors [A]. Proc. 5th Int. Symp. Power Semiconductor Devices and ICs [C]. 1993: 124 - 128.
- [9] R. Stengl and U. Gsöl. Variation of lateral doping-A new concept to avoid high voltage breakdown of planar junctions [M]. IEDM Tech. Dig., 1985: 154 - 157.

## 作者简介:



张盛东 1964 年出生, 分别于 1984 年和 1992 年获东南大学电子工程系学士和硕士学位。

1984 年至 1989 年在南京电子器件研究所从事光电器件研制。1992 年进入国家平板显示工程中心, 负责有源矩阵液晶显示器的研究与开发。1996 年至 1998 年任香港科技大学电机电子工程系助理研究员。目前在清华大学微电子学研究所攻读博士学位。主要研究领域有亚 0.1 μm MOS 器件、SOI 技术、三维集成电路以及 TFT 器件。



韩汝琦 1960 年毕业于北京大学物理系。

现为北京大学微电子所教授、博士生导师。在半导体新器件物理及工艺、非晶态半导体物理及应用以及高温超导材料在微电子学领域的应用等方面开展了大量的研究工作。著有多本专著, 其中,《固体物理学》获第二届高校优秀教材国家级特等奖和国家科技进步二等奖。目前主要从事半导体新器件物理及工艺、深亚微米半导体器件物理及工艺、氧化物材料及应用等方面的研究。发表论文 100 余篇。