自保护 MOS 栅晶闸管

高玉民[1],单建安[2],许曙明[3]
(1. 西安交通大学电信学院,西安 710049;2. 香港科技大学;3. 新加坡微电子所)

摘 要: 本文报告一种叫做自保护 MOS 栅晶闸管的新器件. 这种器件无寄生闩锁效应,并在较高阳极电压下展现出电流下降而不是饱和或上升的特性. 因此,这种新器件具有令人满意的正偏安全工作区. 器件的保护点由用户外接输入电阻自行调节,极大增加了使用的灵活性. 此外,器件保护点电流和电压的温度系数均为负,这种特性使器件在高温工作时可更好地起自保护作用.

关键词: MOS 栅晶闸管; 自保护; 正偏安全工作区; SOI; 沟槽隔离
中图分类号: TN3 **文献标识码**: A **文章编号**: 0372-2112 (2000) 11-0022-03

A Novel Self-protected MOS-gated Thyristor

GAO Yu-min[1], Johnny K. O. SIN[2], XU Shu-ming[3]
(1. *School of Electronic and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China;*
2. *The Hong Kong University of Science and Technology;* 3. *Institute of Microelectronics, Singapore*)

Abstract: A novel device called self-protected MOS-gated thyristor is reported for the first time. This device is parasitic latch-up free, and exhibits the characteristic of output current decrease, instead of current saturation or increase at higher anode voltage. Therefore, the novel device possesses satisfactory forward biased safe operating area. The device protected point can be adjusted by customer through external applied input resistance and this improves the flexibility dramatically. In addition, the temperature coefficients of current and voltage at protected point are negative. Such a feature makes the device self-protected more efficiently at high temperature.

Key words: MOS-gated thyristor; self protection; forward-biased safe operating area; SOI; trench isolation

1 引言

横向 MOS 栅晶闸管,由于其低的导通压降和高的输入阻抗而在功率集成电路的开发中倍受人们的关注. 从使用角度看,对于这类器件的主要要求是低通态压降、高开关速度和大的安全工作区[1]. 近年来,许多研究工作旨在改进此类器件的这些特性[2~5].

本文提出了一种称为自保护 MOS 栅晶闸管(简称为 SPMT)的新器件. 在这种器件中,晶闸管用沟槽与除导通 MOSFET 外的其它 MOSFET 相隔离,并在器件中集成一个过压保护 MOSFET. 从而使这种器件完全消除了寄生的闩锁效应,并展现出在较高的阳极电压下电流减小,而不是电流饱和或增大的特性. 显然这种器件具有相当好的安全工作区.

2 器件结构和工作原理

图 1 绘出沟槽隔离的 MOS 栅晶闸管的剖面图和等效电路,以及 SPMT 的等效电路. 图 1(c)中的电阻 R_g 是外接的. 在 SPMT 中,*M*4(称为自保护 MOSFET)布局在垂直于剖面图的方向. MOS 栅晶闸管由三个 MOSFFT 和一个晶闸管组成. 它是倒向沟道 EST 和 LIGBT/NMOS 级联结构并联而成.

当栅短接到阴极时,器件承受的阻断电压,根据 RESURF 原理由漂移层参数和隔离氧化物层的厚度决定[6]. 当栅偏压大于阀值电压时,*M*1(导通 MOSFET)和 *M*2(控制 MOSFET)导通,电子从阴极传输到 N 漂移层. 这些电子给 PNP 晶体管提供基极电流,导致空穴从 P^+ 阳极注入到 N 漂移层. 这些空穴被 P 基区收集,但由于沟槽隔离不能直接流到阴极. 因此,在这种器件中不存在寄生晶闸管. 而寄生晶闸管在各种 EST[4,7~9]和 IGBT 中是固有的. 在较低的阳极电压下,*M*3(分流 MOSFET)不能导通,由 P 基区收集的这些空穴全部作为 NPN 晶体管的驱动电流,从而引起从 N^+ 发射区的电子注入. 这种正反馈作用使得晶闸管很快导通. 然而,晶闸管的电流受到 *M*2 控制,因此,在这种情况下器件的工作犹如一个单独的 EST. 在较高的阳极电压下,*M*3 导通. 由 P^+ 阳极注入的部分空穴通过它分流到阴极. 这种电流与 EST 的电流叠加在一起,使器件的端电流增大. 在上述条件下,器件工作在 EST 和 IGBT 的混合模式. 在这种器件中,EST 的导通取决于 MOS 栅的电势,而 MOS 栅和阳极电势共同决定 IGBT 的导通. 本文提出的这种 MOS 栅晶闸管的工作特性由 MEDICI[10]的二维数值模拟得到证实. 模拟结果如图 2 所示.

收稿日期:1999-11-08;修回日期:2000-04-17

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

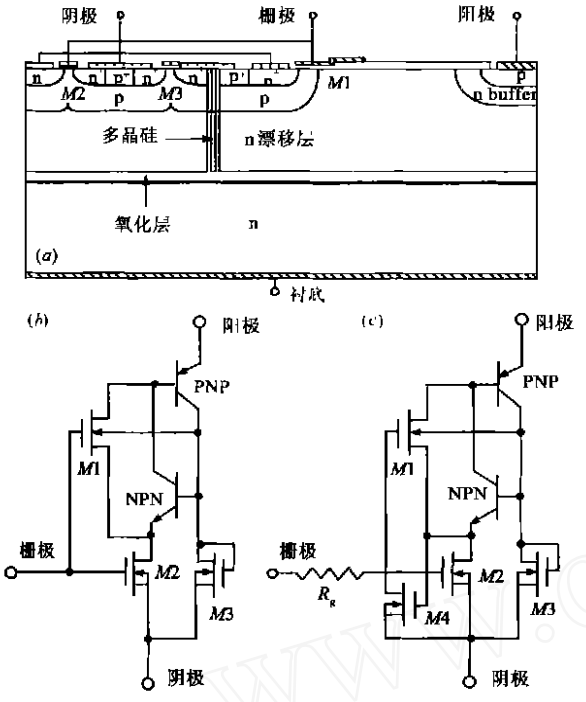


图 1　(a) MOS 栅晶闸管剖面图,(b) MOS 栅晶闸管等效电路,(c) SPMT 等效电路

对于 SPMT 而言,随着阳极电压增加,当 N^+ 发射区的电压高于 *M*4 的阈值电压时,*M*4 导通. 流经 *M*4 的电流在电阻 *Rg* 上产生压降,使 *M*1 和 *M*2 的栅压减小,从而减小了器件的端电流. 对于功率半导体器件来说,这种功能增大了器件的正偏安全工作区,因此它是人们追求的一种特性.

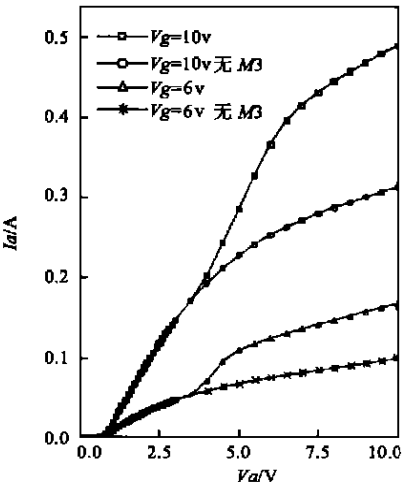


图 2　模拟得到的具有和不具有分流 MOSFET 的 MOS 栅晶闸管的正向 *I-V* 特性

当栅压转换到零时,*M*1 和 *M*2 关断. EST 的电流流动路径被切断,但由于 *M*3 仍导通,器件工作在 PNP 晶体管基极开路模式. 由于 PNP 晶体管传输的电流通过复合机制不断减少,从而使 SPMT 成功关断.

3　器件制作和结果

具有各种不同结构参数的 MOS 栅晶闸管和 SPMT 制作在 SOI 材料上. SOI 绝缘氧化层上 N 型硅的厚度为 10～11μm,电阻率为 5-6Ω-cm. 绝缘氧化层厚度为 3μm,绝缘氧化层下 N^+ 衬底电阻率为 0.05Ω-cm. 隔离层沟槽用 RIE 法刻蚀,并在沟槽侧壁氧化后,用多晶硅填充. 经过化学机械抛光(CMP)平面化后,采用 10-掩膜工序完成器件制作. 制作器件的栅氧厚度为 80nm,P 基区表面浓度为 $2\times10^{17}\,cm^{-3}$. N^+ 发射区,P^+ 发射区和 P 基区的结深分别为 0.8μm,0.5μm 和 3μm.

制造的测试器件由两单元构成. 在现阶段着眼于器件功能的实现,并未刻意优化它的性能. 图 3 给出测试 SPMT 的平面图. 器件面积约为 $0.3mm^2$. 晶闸管和 M1 位于图中的中央部分,上部较黑的部分分别为 *M*4 和 *M*2. 下部较黑的部分为 *M*3. *M*2 和 *M*3 多晶硅栅的长度分别为 3μm 和 2.5μm. N 漂移层的长度为 40μm.

测量的最大击穿电压接近 380V,其值比模拟值小约 20V. 其中,一个 SPMT 的反向电流-电压特性如图 4 所示.

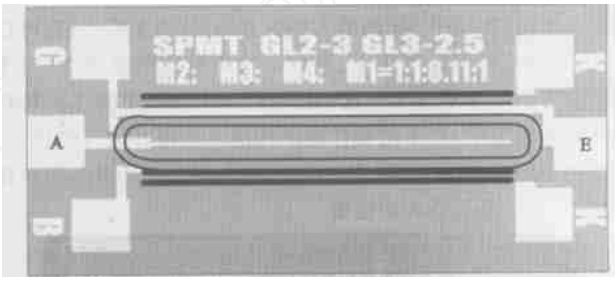


图 3　SPMT 的平面图

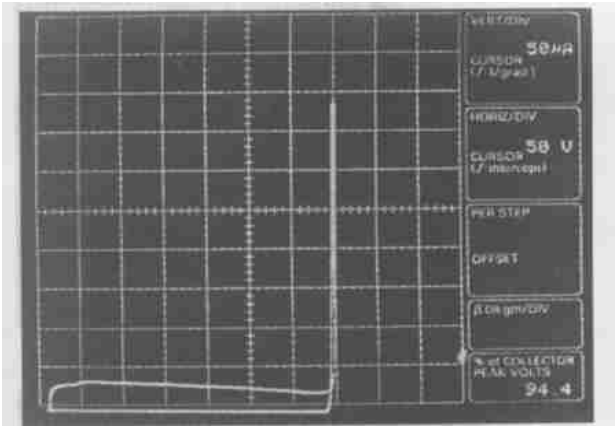


图 4　SPMT 的反向 *I-V* 特性

图 5 给出外接电阻 *Rg* 调到零时,SPMT 的正向输出特性. 在这种情况下,即使 *M*4 在较高阳极电压下导通,但 *M*1 和 *M*2 的栅电势仍维持不变. 因此,SPMT 的特性与 MOS 栅晶闸管相同. 在这种条件下,若把图 3 中右下方标注为 *K* 的键合点与地断开,则 *M*3 不起作用. 此时测得的正向电流—电压特性如图 6 所示. 把图 5 和图 6 与图 2 相比较,可以看出实验结果与用 MEDICI 的模拟结果相吻合. 这使我们联想到各种各样 EST[7～9,11～13]的工作原理似乎应该更确切地描述如下:在较小的电流下,它们工作在 IGBT 模式;当电流较大时它们工作在 EST 和 IGBT 的混合模式,而不是纯粹的 EST 模式. 这是因为在此条件下,IGBT 仍然工作. 正是由于 IGBT 的工作才导致更大电流下寄生晶闸管的闩锁.

当 *Rg* 不等于零时,测得的 SPMT 的正向电流-电压特性如图 7 所示. 测试中 *Rg* 的值大约为 60Ω. 与图 5 相比较,可以看

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

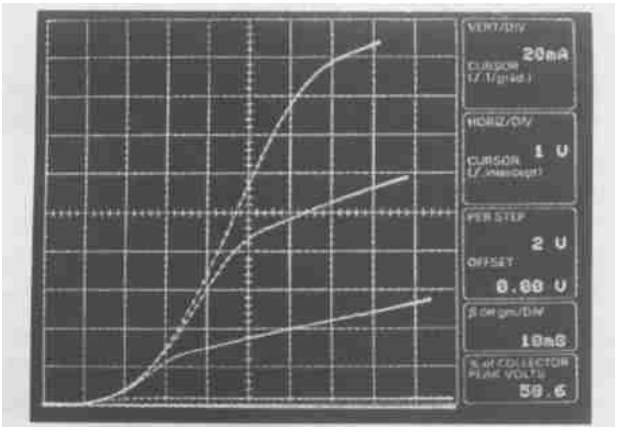


图 5 $R_g = 0$ 时 SPMT 的正向 I-V 特性

出,在较高的阳极电压下,器件的输出电流明显减少. 对于增大器件的正偏安全工作区(FBSOA)来说,SPMT 的这种特性是人们所期盼的. 如果把器件的结构加以改进并进行优化,可望在负载短路情况下,器件自动关断. 显然,对于功率半导体来说,这是一个更诱人的性能.

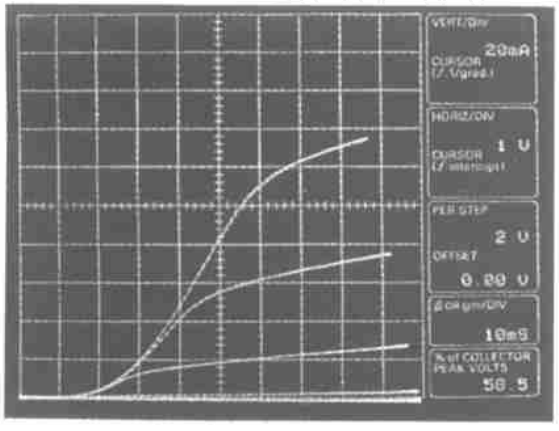


图 6 无分流 MOSFET 的 SPMT 的正向 I-V 特性

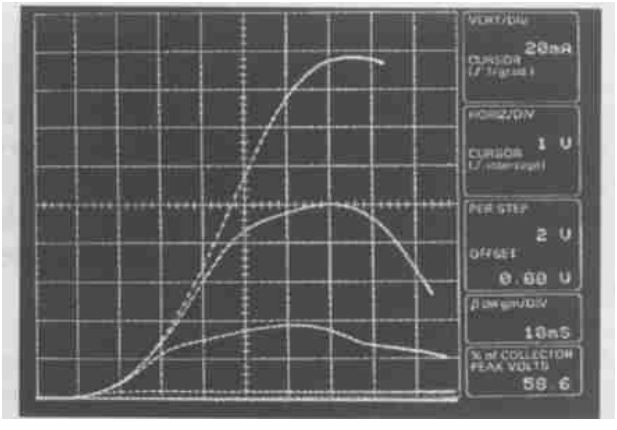


图 7 $R_u \neq 0$ 时 SPMT 的正向 I-V 特性

把 SPMT 正向电流-电压特性上电流开始减小的点称为保护点. 测量了室温下 Rg 对器件保护点的影响. 实验表明,随着 Rg 增大,保护点的电流和电压都相应减小. 也就是说,Rg 愈大器件的自保护效应愈强. 然而,当 Rg 增大时,会使器件的输入时间常数增大,从而减小器件的开关速度. 因此,用户可以根据需要折衷考虑,选取适当的 Rg 值.

此外,还测量了在给定 Rg 下温度对保护点的影响. 由测量结果可见,随着温度的升高,保护点的电流和电压相应减少. 众所周知,功率半导体器件工作时,其自身温度会明显上升. 在无特殊保护情况下,更容易造成器件的损坏. 而对 SPMT 来说,由于其保护点的这种温度特性,可以预料,在较高的阳极电压下,它能更好的保护自身.

在上述所有条件下测得的 SPMT 的正向输出特性曲线都相当光滑和稳定. 这说明在此器件中,由隔离槽引入的非理想界面对作为功率开关使用的此器件的性能不会造成危害.

4 结论

本文提出的自保护 MOS 栅晶闸管是一种智能横向功率半导体器件. 它采用 DMOS 工艺制作而成,可以与用 CMOS 工艺制造的控制电路相集成. 其特点如下:(1)采用沟槽隔离,无寄生晶闸管效应. (2)输出特性为高电压电流减小,具有自保护功能. (3)保护点的电流和电压的温度系数均为负,器件在高温工作时可更好地起自保护作用.

致谢 样品是在香港科技大学微电子制作实验所制作. 作者们感谢所内协助制作样品的所有工程技术人员及电子与电气工程系实验室为样品测试提供帮助的技术人员.

作者简介:



高玉民 1944 年生,西安交通大学副教授. 主要从事半导体器件原理和半导体器件物理的教学工作以及新型功率半导体器件,智能半导体器件和功率集成电路的研究工作.

参考文献:

[1] Y. Yamada et al., Next generation power module [C]. Proc. ISPSD'94, 1994, 3 - 8.

[2] W. Chen et al. A CMOS compatible lateral emitter switched thyristor with enhanced turn-on capability [J]. IEEE Electron Device Letters, 1994, EDL-15: 221 - 224.

[3] E. M. Sankara Narayanan et al. A new lateral base emitter switched thyristor [A]. Proc. ISPSD'98, 1998, 221 - 224.

[4] Shuming Xu et al. Reverse channel floating base emitter switched thyristor (RFB-EST) [A]. IEDM Tech Digest, 1997, 355 - 357.

[5] D.-S. Byeon et al. Lateral dual channel emitter switched thyristor employing segmented P-Base [A]. Proc. ISPSD'99, 1999, 213 - 216.

(下转第 35 页)

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

5　结束语

由于受物理制造条件限制,采用 CGH 的 FSOI 系统中的物理互连存在一定的空间局限性.为克服这种采用 CGH 的 FSOI 系统中物理互连具有的空间局限性对系统总体性能造成的不利影响,本文运用图论中的理论,并针对这种具有 CGH 的 FSOI 系统中的互连布局特点,首次采用一种适用于具有 CGH 的 FSOI 系统的有效互连布局算法.

运用该算法对典型的大规模互连网络示例进行的运算结果表明,该算法不仅能够有效地解决这种 FSOI 系统中的网络互连具有一定空间局限性的问题,而且与已有的其它关于采用 CGH 的 FSOI 系统中互连布局算法如模拟退火算法、最大-最小匹配算法等的计算机模拟结果相比,本文的算法在布局结果、算法的收敛性等方面具有明显的优点.

参考文献:

[1] Michael W. Haney. Performance scaling comparison for free-space optical and electrical interconnection approaches [J]. Applied Optics, 1998, 37(14): 2886 - 2894.

[2] Yasuhiro Takaki. Computer-generated holograms to produce high-density intensity patterns [J]. Applied Optics, 1999, 38(11): 2189 - 2195.

[3] Gokce I. Yayla. Speed and energy analysis of digital interconnections: comparison of on-chip, off-chip, and free-space technologies [J]. Applied Optics, 1998, 37(2): 205 - 227.

[4] Eva M. Strzelecka. Parallel free-space optical interconnect based on arrays of vertical-cavity lasers and detectors with monolithic microlenses [J]. Applied Optics, 1998, 37(14): 2811 - 2821.

[5] 李珂. 光电子多芯片组件中光学互连技术的研究 [D]. 上海交通大学博士学位论文, 1999, 11.

[6] J. Fan. Physical layout algorithms for computer generated holograms in optoelectronic MCM systems design [A]. Proceeding of the IEEE Conference on MCM [C]. 1993: 198 - 203.

[7] Alan Gibbons. Algorithmic graph theory [M]. Cambridge University Press, 1985

[8] Khan M. Iftekharuddin. Butterfly interconnection network: design of multiplier, flip-flop, and shift register [J]. Applied Optics, 1994, 33(8): 1457 - 1462.

[9] Shinji Koike. Laser-diode array packaging in opto-electronics multichip modules [J]. IEEE Transactions on Component, Packaging, and Manufacturing Technology-Part B, 1996, 19(3): 628 - 633.

作者简介:

李　珂　1964 年生于河南郑州市,上海交通大学电子信息学院通信与信息系统博士研究生.主要研究内容:计算机通信接口设计;数字信号处理系统设计;计算机辅助设计软件开发;通信系统光电子 ASIC 的设计.

(上接第 24 页)

[6] Y. S. Huang and B. J. Baliga, Extension of RESURF Principle to Dielectrically Isolated Power Devices [C]. Proc. ISPSD'91, 1991, 27 - 30.

[7] B. J. Balaga and Y. S. Huang. Dielectrically isolated lateral emitter switched thyristor [J]. Electronics letters, 1992, 28: 2051 - 2052.

[8] B. J. Balaga and Y. S. Huang. Lateral junction-isolated emitter switched thyristor [J]. IEEE Electron Device letters, 1992, EDL-13: 615 - 617.

[9] Y. S. Huang et al. Junction and dielectrically isolated lateral ESTs for ICs [C]. Proc. ISPSD'92, 1992, 259 - 263.

[10] "MEDICI", Technology Modeling Associates, Inc.

[11] M. S. Shekar et al. Characteristics of the emitter-switched thyristor [J]. IEEE Trans. Electron Devices, 1991, ED-38: 1619 - 1623.

[12] M. S. Shekar et al. High-voltage current saturation in emitter switched thyristors [J]. IEEE Electron Device Letters, 1991, EDL-12: 387 - 389.

[13] M. S. Shekar et al. An emitter switched thyristor with base resistance control [J]. IEEE Electron Device Letters, 1993, EDL-14: 280 - 282.

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net