

# BBL 模式下电源/地线拓扑结构的设计与优化

武晓海, 乔长阁, 殷 莉, 洪先龙

(清华大学计算机科学与技术系设计自动化教研组, 北京 100084)

**摘 要:** 在超大规模集成电路的设计中, BBL 是一种新的具有良好发展前景的布图模式. 对于这种模式下电源和地线的设计和优化, 至今还没有很好的讨论. 本文提出了一种针对 BBL 模式的高效电源/地线网络的设计与优化算法. 该算法分为三个步骤: 首先扫描出布线通道, 然后按照几个布线原则和代价函数形成供电森林的拓扑结构, 最后使用拉格朗日乘子法对线宽进行迭代优化以求得最小的布线面积. 实验证明, 该算法的运算速度很快, 而且能够大幅度降低电源和地线所占用的布线资源, 同时耗费的内存很小.

**关键词:** 电源; 地线; BBL; 拉格朗日乘子法

**中图分类号:** TP391.72

**文献标识码:** A

**文章编号:** 0372-2112 (2000) 08-0009-04

## Design and Optimization of Power/ Ground Network for BBL Based VLSIs

WU Xiao-hai, QIAO Chang-ge, YIN Li, HONG Xian-long

(Dept. of Computer Science and Technology, Tsinghua Univ., Beijing 100084, China)

**Abstract:** This paper deals with the design and optimization of tree-based power/ground network in the BBL VLSIs which is a new kind of layout pattern. This problem hasn't been well discussed so far. In this paper, a new algorithm is presented to solve this problem. The algorithm includes 3 steps: at first finding the channels between the modules, then routing the power trees according to several principles, and at last determining the branch width to get the minimal area. The algorithm has achieved the object which minimizes the area of power trees with high running speed.

**Key words:** power; ground; BBL; Lagrange multiplier methods

### 1 引言

在超大规模集成电路中, 芯片的供电问题非常重要. 这是因为电源和地线是两条几乎涉及整个芯片的全局线网, 其性能和布线面积会对整个芯片产生直接的影响. 因此, 对电源和地线网络的拓扑结构与线宽必须进行优化.

众所周知, 电流流过电源/地线时会带来电压降及金属电迁移<sup>[1]</sup>等问题. 在设计过程中如果不考虑这两个问题, 则过大的电压降会导致逻辑错误和降低开关速度, 而金属电迁移会导致电源/地线过早失效. 因此, 为减小电压降及电流密度, 通常要求电源/地线的宽度远大于信号线的宽度, 而为减小其布线区域面积, 则要求电源/地线宽度尽可能的小. 综合这两个因素, 电源/地线的拓扑结构设计和线宽优化必须在满足约束条件的前提下进行.

任何电源/地线拓扑结构的设计和优化都要基于一定的布图模式. 在实际的超大规模集成电路布图设计中, 为适应自动设计的要求, 通常有门阵列、标准单元、门海和积木块自动布图(BBL)四种模式<sup>[2]</sup>. 前三种都是基于单元的模式, 布图布线必须要受一些人为规定的限制. 而积木块自动布图模式又叫任意形状单元布图模式, 是近几年发展起来的新一代布图

模式. 这种模式以预先设计好的功能单元(如各种逻辑门单元, RAM, ROM, 寄存器等)为基础. 模块可被安放在芯片的任意位置, 并且模块的大小不限, 是最接近于人工设计的版图, 具有良好的发展前景.

然而, BBL 布图模式具有模块大小不均匀和布局不规则的特点, 因此, BBL 布图模式的电源和地线拓扑设计与基于单元的其他布图模式有较大的不同. 到目前为止, 似乎还没有这种模式下电源和地线设计的有效算法. 在本文中我们提出了一种全新的基于 BBL 布图模式电源和地线网络拓扑结构的设计和优化算法, 取得了非常好的效果.

BBL 布图模式一般有两种布局结构: 可二划分(Slicing)和不可二划分(Non-slicing)<sup>[2]</sup>. 对于 slicing 结构, 可以采用递归的方法, 将芯片分成多个子区域, 直至每个区域只含有一个模块, 对每个子区域进行电源/地布线, 最终形成整个芯片的电源/地线拓扑结构. 但是, 对实际芯片进行 BBL 布局时常会得到 Non-slicing 布局结果. 对于 Non-slicing 的结构, 针对 slicing 结构的递归方法无法运用. 而本文提出的算法对这两种结构都适用.

算法分为三个步骤: 首先找出芯片中的所有通道并形成

通道网络,然后再以此为基础,形成电源/地线供电拓扑结构,最后,使用拉格朗日乘子法进行线宽优化.下面各节将依次进行讨论.

## 2 通道网络的形成

采用扫描线的方法来得到芯片的通道区域.扫描线算法的基本思想是分别沿  $x$  轴方向和  $y$  轴方向扫描整个芯片,找出水平方向和垂直方向的通道,将之抽象为水平边和垂直边,而后将所有水平边和垂直边在交点处相连,即可形成整个通道网络.

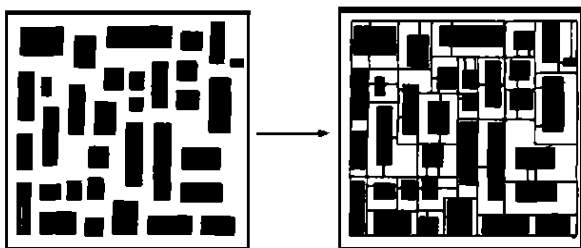


图1 ami33 的通道网络

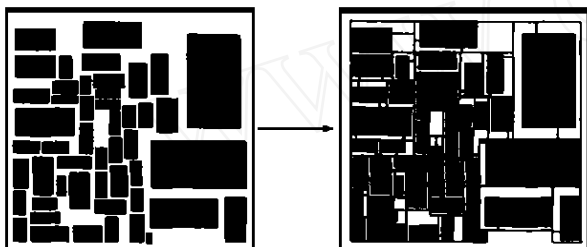


图2 ami49 的通道网络

针对具体的 BBL 布图模式而言,扫描线算法可分为以下步骤:

- (1) 遍历整个芯片,确定  $x$  轴方向和  $y$  轴方向扫描间距.
- (2) 沿  $x$  轴方向扫描芯片,将所有水平通道以一条水平边标志出来.
- (3) 沿  $y$  轴方向扫描芯片,将所有垂直通道以一条垂直边标志出来.
- (4) 删除重复的水平和垂直片段.
- (5) 删除冗余节点.

设所有模块的最小长(宽)为  $InsWidthMin$  ( $InsHeiMin$ ),所有模块的  $x$  ( $y$ ) 轴方向的最小间距为  $DisWidthMin$  ( $DisHeiMin$ ),则  $x$  ( $y$ ) 轴方向的扫描间距可以由下式给出:

$$Step\ X = \min(InsWidthMin, DisWidthMin) / 2;$$

$$Step\ Y = \min(InsHeiMin, DisHeiMin) / 2$$

图1和图2是对 MCNC 实例 ami33 和 ami49 形成的通道网络.

## 3 电源和地线拓扑结构的形成

一般来说,电源和地线拓扑结构有两种:网状拓扑结构<sup>[3~7]</sup>和树型拓扑结构<sup>[9]</sup>.对于 BBL 模式而言,由于已经形成了通道网络,网状拓扑的形成很简单,只要将各模块的电源

和地线管脚加入到通道网络中.但是,网状拓扑结构一般来说要比树型结构占用更多的布线资源,而且很难进行线宽优化.所以,我们使用了树型拓扑结构.

进一步的目的是在所有路径中选择一条满足最大允许电压降和金属电迁移等约束并能使电源/地线网络总面积达到最小的路径.当我们把电源/地线管脚加入到通道网络后,对各个模块的供电可抽象到对管脚所在节点的供电.管脚所在节点成为吸纳电流的叶子节点.形成供电树的过程就是将吸纳电流的叶子节点与压焊块相连的过程.

同时考虑到实际电路中多压焊块技术已经得到了越来越多的应用.所以,我们要讨论的实际上是供电森林的形成.所提出的算法允许多个压焊块出现,并且对压焊块和电源/地线管脚的位置不做任何特殊要求.

为分析影响芯片中电源和地线面积的因素,从最简单的情况入手:供电树只包括一个模块,一个电源压焊块和一条边,即单树干的供电树.

设模块最大吸纳电流为  $I$ ,允许最大电压降为  $V$ ,连接模块和压焊块的边的电阻值为  $R$ ,边长为  $L$ ,宽度为  $W$ ;电阻率为

则有以下推导:

$$IR = V, R = L/W \Rightarrow W = IL/V \Rightarrow AREA = LW = IL^2/V.$$

显然电源和地线的总面积是最大吸纳电流  $I$ ,供电边的长度  $L$ ,最大垂直电压降  $V$  的函数.当给定芯片中模块的划分后,各模块最大允许垂直电压降  $V$  是固定值,所以电源/地线总面积仅是  $I$  和  $L$  的函数.并且随模块吸纳电流和供电边长度的增大而增大,基于以上推导,我们可得出下面三个布线的基本原则:

- (a) 模块和供电电压焊块之间的距离应该尽可能的近.
- (b) 吸纳电流大的模块应该优先放在距供电电压焊块近的位置.
- (c) 各供电电压焊块的供电尽量均匀,避免出现某个供电电压焊块负载过大的情况.

根据上述原则,我们采用了启发式的算法,具体算法描述如下:

(1) 将模块按吸纳电流从大至小的原则进行排序,以保证吸纳电流大的模块优先寻找供电电压焊块.这是由于根据上述原则(b)、(c),吸纳电流大的模块对总面积的影响较大,优先连接吸纳电流大的模块,既可以使吸纳电流大的模块距离供电电压焊块尽可能的近,又便于使各供电电压焊块供电均匀,以免最后出现吸纳电流大的模块,使得本已均匀的供电森林出现较严重的供电不平衡.

(2) 每次从已排序的模块中选取吸纳电流最大的未布线模块,寻找该模块与各已分配好供电电压焊块的节点(叶子节点和已有三棵子树的节点除外)之间的最短路径,计算代价,选取代价最小的节点,将未连线模块沿所得出的最短路径与该节点相连,也即未布线模块通过该节点加入到该节点所在供电树中,未连线模块成为新的叶子节点.重复此过程,直至所有模块均处理完毕.

代价函数的选取原则如下:

(1) 由于供电边长度对供电总面积有较大影响,因此,供电边长度也即模块与供电电压焊块的距离应作为代价函数的一项。

(2) 考虑原则(c),为使供电尽可能均匀,我们在构造代价函数时,要将各供电电压焊块已供电量占总供电量的比例作为一项。

综上,代价函数构造如下:  $Value = c_i/c + I_{ki}/D$ , 其中:

$C_i$ : 当前压焊块  $i$  的供电总量;  $C$ : 当前各压焊块的总供电量;  $c_i/c$ : 供电电压焊块  $i$  占总供电量的比例;  $I_{ki}$ : 模块  $k$  到压焊块  $i$  的长度;  $D$ : 芯片半周长;  $\alpha$ : 调整因子, 决定供电均匀要求的高低;

以下是对 ami33 和 ami49 两个实例所形成的拓扑结构:

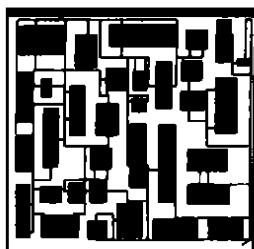


图3 ami33 的供电森林



图4 ami49 的供电森林

我们可以看到,这个算法较好的遵从了上述三个布线原则,按照该算法生成的供电树呈一种星型分布,这种分布最大程度的减少了电源地线所占用的布线总面积,并且充分地利用了布线资源。

#### 4 供电树线宽优化

在 BBL 布图模式下,由于树型供电结构电流方向固定,与网状结构相比可以更容易的进行线宽优化。关于这方面的工作,曾经提出了一个解决一般树结构线宽优化问题的算法<sup>[8]</sup>,本文针对问题的具体特点,将该算法应用于 BBL 布图模式,形成了一种高效的 BBL 模式线宽优化方法。

本方法在给定电源/地线拓扑结构的基础上,用电压降、金属电迁移等条件做约束,使用拉格朗日乘子法迭代求出使整个电源/地线布线资源最小的各供电森林分支的线宽。

目标函数:显然,目标函数为供电网络所占用的布线面积。

$$A = \sum_{i=1}^n l_i w_i = \sum_{i=1}^n l_i \cdot l_i / r_i = \sum_{i=1}^n l_i^2 / r_i \quad (1)$$

其中,  $l_i$ 、 $w_i$  和  $r_i$  分别是第  $i$  条支路的长度、宽度和电阻值,  $\rho$  为电阻率。

约束条件:在 BBL 模式的线宽优化问题中,共有四类约束条件。

电压降约束:

电压降约束分为两种,分别是垂直电压降和水平电压降,显然前者的约束数目比后者要多得多。文献<sup>[9]</sup>已经证明,在一定前提下,垂直电压降约束包含水平电压降约束。因此我们只考虑垂直电压降约束。对布线网络中的某节点  $j$ ,其垂直电压降约束为:

$$I_i r_i \leq V_j \quad (2)$$

电迁移约束:

金属层厚度一定时,电迁移约束为  $I_i / W_i \leq j_{max}$ , 是最大允许电流密度,即:

$$I_i \leq W_i \cdot j_{max} \cdot l_i / r_i, 1 \leq i \leq n, (n \text{ 为边数}) \quad (3)$$

需要注意的是:每个模块电源管脚的吸纳电流是工艺给出的。因此供电树的叶子节点吸纳电流是确定的。由于树型结构的特殊性,父节点的吸纳电流是其子节点吸纳电流的和,依次类推,可以得到供电树上所有边的通过电流  $I_i$ 。

最小线宽约束:

可布线的宽度不能小于工艺的最小线宽要求,即

$$W_i \geq W_{min}, 1 \leq i \leq n$$

$$\text{即 } r_i \leq l_i / W_{min}, 1 \leq i \leq n \quad (4)$$

最大线宽约束:

由于电源/地布线是在通道中进行,因此走线线宽不能超过通道所允许的最大线宽,即走线的电流容量不能超过通道最大的电流容量。

优化算法:

对于上述约束优化问题,我们的方法是首先给每条边赋一个初始的电阻值,  $r_i = \min(l_i / I_i, l_i / W_{min})$ ,  $1 \leq i \leq n$ 。在以后的计算中,  $r_i$  始终是减小的,即电迁移约束和最小线宽约束始终是满足的,因此我们只需考虑电压降约束。

$$\text{采用拉格朗日乘子法,令: } B = \sum_{i=1}^n l_i^2 / r_i + \sum_{j=1}^m \lambda_j \text{CON}_j$$

其中,  $\text{CON}_j$  为式(2)的约束。

$$\text{令 } \nabla B(r_i) = 0, \text{ 可得: } l_i^2 / r_i^2 = \lambda_j l_i, 1 \leq i \leq n \quad (5)$$

式(5)说明,拉格朗日乘子  $\lambda_j$  同电流一样,也是满足基尔霍夫定律的,即某节点的  $\lambda_j$  是它的所有后代节点的  $\lambda_j$  的和。由此,可构造算法如下:

(1) 根据叶子节点吸纳电流确定所有边的通过电流  $I_i$  和电阻的初始值  $r_i$ , 即  $r_i = \min(l_i / I_i, l_i / W_{min})$ , 并据式(5)为每条边取定初始的  $\lambda_j$ 。

(2) 检查每个叶子节点的电压降约束是否满足,如果都满足,转(4);否则,判断各边的线宽是否小于通道线宽,如果大于,则无法优化,如果小于,则计算每个叶子节点相连边的拉格朗日乘子的调整因子 ( $\text{AdjustLag}$ ), 并根据此时不等式两边的差 ( $\text{Bias}$ ) 来调整这个叶子节点的  $\lambda_j$ :  $\lambda_j = \text{Bias} * \text{AdjustLag}$ 。

(3) 根据叶子节点的  $\lambda_j$  (有的已改变), 计算所有的  $\lambda_j$ , 并根据式(5)确定各节点的  $r_i$ 。

(4) 检查每个叶子节点的电压降约束是否满足(即  $\text{Bias}$  是否小于等于 0), 若都满足,转(5), 否则,增加电压降约束没有满足的叶子节点的  $\lambda_j$  为  $\lambda_j = \text{Bias} * \text{AdjustLag}$ , 如果同叶子节点相连边的线宽小于允许通道线宽,则转 3, 反之,该节点及其子树结束优化。

(5) 此时,式(2)的所有不等式均已满足,再增大同叶子节点相连边的电阻,使不等式(2)以等式成立。至此得到的  $r_i$  为最优解且满足约束条件。

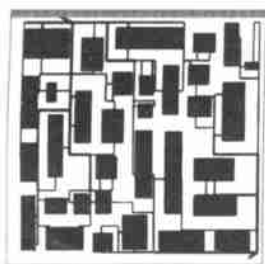


图 5 ami33 的优化结果

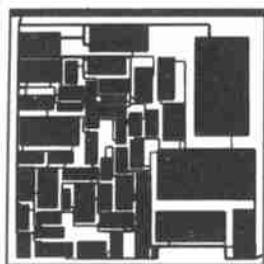


图 6 ami49 的优化结果

## 5 实验结果

上述算法已经用 C 语言在 SUN SPARC20 工作站上实现,并用几个工业界的实例进行了验证,其中 ami33 和 ami49 的供电森林线宽优化结果如图 6 和图 7 所示. ami33 的布线面积由  $387170.00000\mu\text{m}^2$  (取最大线宽) 减少至  $189553.837475\mu\text{m}^2$ , ami49 的布线面积由  $1524310.000000\mu\text{m}^2$  (取最大线宽) 减至  $795106.993477\mu\text{m}^2$ . 约为原来的二分之一,效果非常明显.

实验表明, BBL 模式下,以通道网络为基础自动生成电源/地拓扑结构的算法可以得到较理想的效果. 以通道网络为基础形成网状拓扑结构较简单,但是优化起来很困难;以通道网络为基础形成树型拓扑结构虽然比网状拓扑结构麻烦,然而使用启发式搜索的方法可以形成供电较均匀的供电森林,并且供电森林的线宽能够较好地进行优化,因而可以得到电源/地布线总面积较小的电源/地拓扑结构. 至此,我们可以自动的生成电源/地拓扑结构并进行优化.

## 6 结束语

本文针对 BBL 布图模式,提出了一个高效的电源和地线网络的设计和优化算法. 首先使用扫描线算法找出所有的布线通道,然后基于三个布线原则形成星型的拓扑结构,最后用拉格朗日乘子法对线宽进行了迭代优化.

使用了几个实际的工业界例子对该算法进行了试验,结果表明该算法速度很快,而且布线和优化结果也令人满意,大大减少了电源和地线网络占用的布线资源. 另外,它占用的内存也很少.

## 参考文献:

- [1] J. R. Black. Electromigration failure modes in aluminum metalization for semiconductor devices [J]. Proceedings of the IEEE, 1969, 57 (9): 1587 - 1594.
- [2] 洪先龙, 严晓浪, 乔长阁. 超大规模集成电路布图理论与算法 [M]. 科学出版社, 1998: 7 - 16.
- [3] Xiaohai Wu, Changge Qiao and Xianlong Hong. Design and optimization of power/ground network for cell-based VLSIs with macro cells [A]. Proceedings of ASP-DAC 99 [C], 1999.
- [4] Dutta R. & Sadowska M M. Automatic sizing of power/ground (P/G) networks in VLSI [A]. Proceedings of 26<sup>th</sup> Design Automation Conference [C], 1989: 783 - 786.
- [5] Mitsuhashi T. & Kuh E. S. Power and ground network topology optimization for cell based VLSIs [A]. Proceedings of 29<sup>th</sup> ACM/IEEE Design Automation Conference [C], 1992, 524 - 529.
- [6] Chowdury S. & Breuer M A. The construction of minimal area power and ground nets for VLSI circuits [A]. Proc. of 22<sup>nd</sup> Design Automation Conference [C], 1985: 794 - 797.
- [7] Chowdury S. & Breuer M A. Minimal area design of power/ground nets having graph topologies [J]. IEEE Trans on CAS, 1987, 34 (12): 1441 - 1451.
- [8] 乔长阁, 孔天明, 夏阳, 洪先龙, 蔡懿慈. 最小面积电源和地线网络的设计 [J]. 电子学报, 1998, 8: 126 - 128.
- [9] Brain Jr. E. H. The analysis and design of power distribution nets on LSI chips [A]. Proc. Int Conf. on Circuits and Computers [C], 1980: 785 - 790.

## 作者简介:



武晓海 1973 年出生. 1997 年获得清华大学计算机系学士学位, 目前是清华大学计算机系软件所博士研究生, 主要从事超大规模集成电路 (VLSI) 中基于各种布图模式的电源/地线网络的设计与优化研究.

洪先龙 1940 年出生. 清华大学计算机系软件所教授, 博士生导师, 主要从事超大规模集成电路布图和布线的算法研究.

(上接第 19 页)

- [2] 雷银照. 三维探伤涡流场及其逆问题的研究 [D]. 清华大学博士学位论文, 1995.
- [3] 幸玲玲, 席保锋, 盛剑霓. 涡流无损检测中类 Sommerfeld 积分的计算 [J]. 西安交通大学学报, 1999, 33 (10).
- [4] S. Mallat, W. Huang. Singularity Detection and Processing with Wavelets [J]. IEEE Transactions on Information Theory, 1992, 38 (2): 617 - 643.
- [5] S. Mallat, S. Zhong. Characterization of signals from multiscale edges [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 1992, 14 (7): 710 - 732.
- [6] T. Takagi, M. Hashimoto, H. Fukutomi et al. Benchmark models of eddy current testing for steam generator tube: experiment and numerical analysis [J]. Int. J. of Applied Electromagnetics in Materials, 1994, 5: 149 - 162.