

一种可控数字频率产生器的设计

周永行, 管 华, 董在望
(清华大学电子工程系, 北京 100084)

摘 要: 本文提出了将 DDS 技术应用于接收机自动频率控制环路中可控数字频率产生器的一种实现方案, 详细阐述了该产生器 VLSI 实现的算法和结构. 最后对性能进行了仿真和分析.

关键词: DDS; 全数字接收机; 相位截断; 频率控制字

中图分类号: TN850.4 文献标识码: A 文章编号: 0372-2112 (2002) 03-0422-03

Design of a Controllable Digital Frequency Generator

ZHOU Yong-xing, GUAN Hua, DONG Zai-wang

(Dept. of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: In this paper, one scheme has been proposed for controllable digital frequency generator in the AFC loop of a receiver. DDS technique is used here. The algorithm and architecture for the VLSI implementation of this digital frequency generator are discussed. Finally, simulations of performance and analysis are given.

Key words: DDS; fully digitalized receiver; phase truncation; frequency control word

1 引言

频率控制是现代接收机技术中很关键的一环. 能够获得宽带(频率控制范围宽)、快速(转换时间快)、精细(分辨率高)、杂散小(频谱纯)的频率控制一直是通信领域中一个重要研究内容.

无论是锁相环法, DDS(直接数字式频率合成), 还是二者的结合, 在通常的接收机设计中, 频率控制总是在模拟的前端(高频头)进行. 本文探讨一种基于数字信号处理的频率控制方案, 在此方案中, 频率误差信号的检测和本机振荡频率的校正由软件实现. 此方案已应用于 DAB 接收机的自动频率控制系统中.

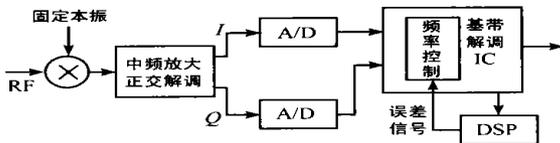


图 1 数字频率控制

图 1 是表示这种频率控制方案的简单框图. 基带解调电路从接收信号中分离出参考相位码元, 参考相位码元是 DAB 系统专门为检测发射机载波和接收机本地振荡之间的频率差而设置的特殊信号, 通过计算参考相位码元, 可以提取载波频偏信息, 理论上可检测频偏范围为 $\pm 8\text{kHz}$. 假定本振为 250MHz , 由温补晶体加锁相环构成的频综方案可达到 $\pm 1\text{ppm}$ 的长期稳定度, 秒级稳定度可达 10^{-8} 或更高, 这样由于本振

引起的频偏不会超过 $\pm 8\text{kHz}$; 同时 DAB 系统为 1.536MHz 的宽带系统, $\pm 8\text{kHz}$ 的偏离不会影响接收信号通过射频和中频通频带到达 A/D. 含有载波频偏的接收信号经过数字化送给 DSP, 利用专门算法可以在毫秒量级时间内由 DSP 计算出频偏信息, 用来调整数字频率产生器的频率. 频率补偿方法的原理如图 2 所示, 图中 $I(t)$ 和 $Q(t)$ 为经 A/D 变换器数字化后的输入基带信号的实部和虚部, 这是受到载波频偏影响的信号, 对它进行载波频偏补偿只需乘以 $\exp(j2\pi ft)$ 即可. 这里的频率 f 是检测出的频偏. $\exp(j2\pi ft)$ 是由数字频率产生器产生的, 数字频率产生器基于 DDS(直接数字频率合成)技术构成, 因此它具有直接数字频率合成的一切优点, 包括频率分辨率高、转换时间快、相位噪声低等. 同时, 这种用数字处理的方法来补偿载波频偏, 可以避免调整模拟前端中的本机振荡器, 从而大大简化了接收机模拟前端的设计, 有利于无线通信接收机的全数字化、智能化的实现. 在本文中, 利用已计算出的频

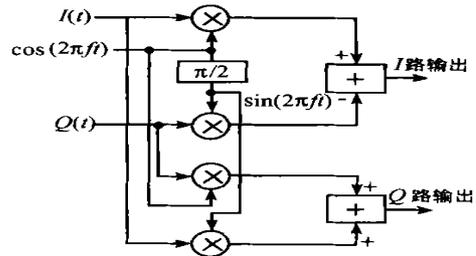


图 2 数字频率控制原理图

偏进行频率纠正, 关于频偏本身的计算原理及方法不作讨论.

2 可控数字频率产生器设计

可控数字频率产生器的实现, 主要是产生离散正弦采样值 $\sin(2\pi f_n T)$ (T 为采样周期). 本文基于 DDS 技术提出了一种实现方法, 能同时产生两个正交的正弦信号并利用改变频率控制字调整所产生的频率值. 设计时考虑了对所需存储容量的有效压缩, 重构算法的易于实现性和保证正弦频谱较好的纯度.

2.1 可控数字频率产生器结构

为了便于说明, 假定 DDS 相位累加器的字长为 20bit, 截取其高 12 位作为正弦 ROM 表的地址, ROM 表的字长为 10bit (即幅度量化取 10bit). 其频率分辨率为

$$\Delta f = f_{clk} / 2^{20} \quad (1)$$

输出频率为 $f_{out} = F_r f_{clk} / 2^{20} \quad (2)$

其中, f_{clk} 为采样时钟频率, F_r 为频率控制字.

利用正弦函数的对称性, 产生 $\sin(2\pi f_n T)$ 的逻辑如图 3 所示:

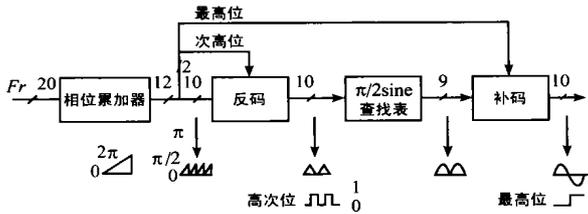


图 3 利用对称性产生正弦函数

可控数字频率产生器结构中利用了相位的 1/2 LSB 偏置. 这种方法简化了逻辑, 使地址的补码运算用反码运算代替, 在硬件上用异或门实现即可. 从图 4 中可以看出, 如果地址 000 处存放的是 $\sin(\pi/8)$ 的量化编码, 001 处存放的是 $\sin(3\pi/8)$ 的量化编码; 利用对称性, $\pi/2 \sim 2\pi$ 的正弦值可以很容易的通过地址的求反运算获得.

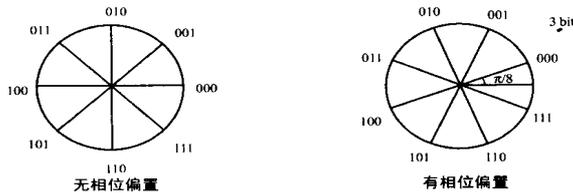


图 4 引入 1/2 LSB 相对偏置(本图中 1/2 LSB 对应于 $\pi/8$)

在一般的 DDS 芯片设计中, 在相位 1/2 LSB 偏置的同时, 幅度也进行了 1/2 LSB 偏置(文献 1). 在正弦 ROM 表的量化过程中, 幅度偏置 - 1/2 LSB, 然后将合成的正弦数字码送给 D/A, D/A 输出进行 + 1/2 LSB 补偿. 这样, 最后一级的补码输出(图 3)可以由反码输出代替. 但在本设计中, 合成的 10 位正弦数字码要送给乘法器, 1/2 LSB 幅度补偿需要增加字长(即 10 位 \rightarrow 11 位), 这会增大乘法器的规模, 所以在本设计中没有采用幅度的 1/2 LSB 偏置.

2.2 $\pi/2$ 正弦 ROM 表的压缩与重构

如果正弦表中存放的是差值 $Y = \sin\theta - 2\theta/\pi (0 \leq \theta \leq \pi/2)$, 而 $\text{MAX}(Y) \approx 0.21$, 从而比直接存放正弦值可以节省 2

Bits. 付出的代价是必须增加一个加法器以重构正弦波形. 在我们的设计中, θ 用 12bit 来表征 $0 \sim 2\pi$, 那么 $0 \sim \pi/2$ 只用前 10 位. 显然, $2\theta/\pi$ 的二进制表示与 10 位地址码相同. 这样, 重构算法得到了简化, 只需要将地址码与 ROM 表输出相加即可得到 \sin 波形.

为了进一步对表进行压缩, 可以把一张 ROM 表分割成两张小表: 粗表和细表. 粗表中存放着 2^7 个 Y 值, 它对应的是 10 位地址码中, 高 4 位+ 中 3 位+ 低 3 位(该 3 位为 000)的 Y 值, 为了对粗表寻址, 用高 4 位+ 中 3 位形成粗表的 7 根地址线, 粗表的位长为 $10 - 1(\text{符号位}) - 2 = 7\text{bit}$. 10 位地址码中, 高 4 位+ 低 3 位形成细表的 7 根地址线, 细表的位长为 3 bit. 细表中存放的是对粗表的修正值. 对于地址码高 4 位+ XXX+ 低 3 位, 可以看出, 在重建的过程中, 需要用到同一个修正值. 为此, 采取均方误差最小原则, 得到细表的数据. 这样, 压缩后的 ROM 表大小为 $2^7 \times 7 + 2^7 \times 3 = 2^7 \times 10 \text{ bits}$. 压缩比为 $(2^{12} \times 10) / (2^7 \times 10) = 32:1$. 图 5 为详细框图:

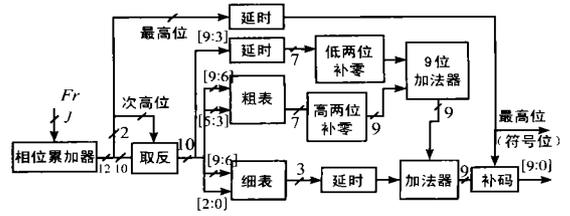


图 5 算法详细框图

2.3 初始相位设置

由于采用了相位的 1/2 LSB 偏置, 造成了在零相位附近误差比较大. 在本系统采用的算法中, 零相位处的误差为: 理论值-重构值 = $512 * \sin(\pi/2^{12}) - 0 \approx 0.393 \text{ LSB}$. 对于频率控制字较大且为 2 的幂的输出, 因为每个周期的取样值比较少, 却频繁地使用零相位的采样点, 造成了杂散干扰的增大. 为了解决这个问题, 在我们的的方案中引入了初始相位, 避开频繁使用零相位. 针对 DAB 接收机, 相位累加器的初始值定为 32768. 每次频率控制字发生变化时复零, 从 32768 开始相位累加. 这样使最坏情况下的杂散干扰改善了 4.8dB. 需要注意的是, 这种方法破坏了 DDS 输出的相位连续性, 使其应用受到一定限制, 但对于 DAB(数字声音广播)等数字系统, 是完全适用的.

2.4 同时产生正弦与余弦信号

与一般 DDS 芯片只产生正弦波形不同, 在本系统中需要同时产生正弦和余弦的采样值. 在前述算法的基础上, 利用正、余弦函数的互余性, 我们采用了共用相位累加器, 将 ROM 表中正弦和余弦值各存 1/8 周期. 具体来说, 将原来正弦表中存放的数据 $X_0, X_1, X_3 \dots X_{127}$ 变为 $X_0 X_{127}, X_1 X_{126}, \dots X_{63} X_{64}$. 即地址线只用低 6 位, 数据线加倍, 粗表和细表分别为 $2^6 \times 7 \times 2$ 和 $2^6 \times 3 \times 2$. 这样总的存储容量不变, 只是通过增加一些必要的逻辑电路和加法器, 就可实现两个正交正弦信号的产生.

2.5 信号频谱纯度

利用 8192 点不加窗 FFT, 对最坏情况下的最大杂散功率

与信号功率的比(SPSR)进行了计算机仿真分析,结果如图6所示,计算得出 SPSR= - 67. 10dBc.

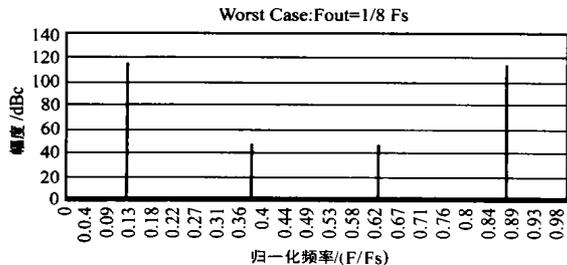


图6 最坏情况分析

3 杂散电平上限的分析

杂散干扰的引入除了幅度的量化以及 ROM 表的压缩外,还包括相位的截断.下面,从理论上分析杂散电平的上限.

3.1 幅度量化造成的影响

设均匀量化器的步长为 ΔA , 字长为 b , 满量程为 1, 则 $\Delta A = 2^{-b}$, 即最大量化误差为 $\Delta A/2$, 杂散电平最大功率为 $\Delta^2 A^2/4$. 根据 Pasval 定理, 时域能量等于频域能量, 那么频谱上所有杂散分量的功率之和不大于 $\Delta^2 A^2/4$. 因为杂散信号是实信号, 谱线必然成对出现, 因此最大杂散功率 $\leq \Delta^2 A^2/8$. 同样的道理, 信号的谱线也是对称的. 每根谱线的能量为 $A^2/4$. (A 是幅度)所以, $SPSR \leq \Delta^2 A^2/2A^2$. 如果 $A \approx 1/2$ (满量程), 写成对数形式, $SPSR \leq 3- 6b$ dBc.

3.2 相位截断造成的影响

设 L 为相位累加器的字长, W 为截断后的字长, $B = L - W$, ξ 为最坏情况杂散电平幅度的归一化值(对信号), 则(参见文献[2])

$$\xi = 2^{-w} \frac{(Fr, 2^B)\pi/2^B}{\sin((Fr, 2^B)\pi/2^B)}$$

其中 $(Fr, 2^B)$ 为 Fr 和 2^B 的最大公约数. 如果令 $(Fr, 2^B) = 1$, 显然杂散会减小, 最大改善 3. 922dB. 一个对相位累加器简单的改进方案如图7所示. 这将会使相位累加器的输出序列有较大的重复周期, 从而使得截断引入的杂散尽可能随机分布, 从而有效降低杂散电平.

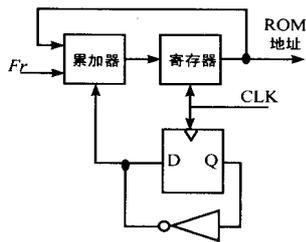


图7 对相位累加器的改进

但是, 对于某些频率, 结果会变的更坏. 因此, 对于大于等于 2^B 且能被 2^B 整除的频率控制字(它们根本不存在相位截断), 不采取这种改进. 在电路实现中, 当频率控制字为上述情况时, 仍然以旧有的方案工作. 进一步的减小杂散的方法还有幅度和相位抖动, 考虑到算法实现的复杂性, 在本设计中没有采用.

4 结论

数字化和软件化是未来无线接收机的发展方向. 本文提出了一种用于数字频率控制环路中的可控数字频率产生器的原理及实现算法, 并进行了仿真, 表明所提出的设计可行. 由此可控数字频率产生器和相乘器组成的数字频率控制环路已经设计在 DAB 基带解码芯片中, 规模为 5662 门. 使用这样的方法, 本振可以用高稳定度的晶体实现而不需调节, 从而提高了整机的性能; 另一方面, 由于采用数字处理补偿载波频偏, 也提高了系统灵活性.

参考文献:

- [1] Jouko Vankka, Mikko Waltari, Marko Kosunen, Kari A I Halonen. A direct digital synthesizer with an on-chip D/A converter [J]. IEEE J. Solid State Circuits, Feb. 1998, 33: 218- 227.
- [2] H T Nicholas, III H Samuelli. An analysis of the output spectrum of direct digital frequency synthesizers in the presence of phase accumulator truncation [A]. Proc. 41st Annual Frequency Control Symp. USERACOM (Ft. Monmouth, NJ) [C], May 1987: 495- 502.
- [3] Michael J Flanagan, George A Zimmeman. Spur reduced digital sinusoid synthesis [J]. IEEE Trans. Commun. , July 1995: 43, 2254- 2262.
- [4] Henry T Nicholas, III Henry Samuelli. A 150-MHz direct digital frequency synthesizer in 1. 25- μ m CMOS with - 90dBc spurious performance [J]. IEEE J. Solid State Circuits, Dec 1991, 26: 1959- 1969.

作者简介:



周永行 男. 1975 年 7 月生于山东省海阳市. 1997 年毕业于清华大学电子工程系, 获学士学位. 同年入清华大学电子工程学电路与系统专业攻读博士学位. 现在主要从事高速数字信号处理、软件无线电的研究.