

动态随机存储器中堆叠电容器结构的互连寄生电容模拟

李 毅, 王泽毅, 侯劲松

(清华大学计算机科学与技术系设计自动化教研组, 北京 100084)

摘 要: 在高密度比特位动态随机存储器 (DRAM) 芯片的发展中, 随着多层布线与复杂存储单元结构的日渐普遍使用, 互连寄生电容对存储器件性能如时延、功耗、噪声等的影响日渐突出, 已成为不可忽视的重要因素, 对互连寄生电容提取软件提出了紧迫的要求. 本文介绍一个基于直接边界元素法的精度高, 速度快, 并可适应复杂堆叠 (stacked) 电容器结构的互连寄生电容模拟软件, 并通过实例计算, 分析 DRAM 中互连线寄生电容对电路性能的影响.

关键词: 寄生电容; 动态随机存储器; 堆叠存储电容器; 边界元素法

中图分类号: O241 **文献标识码:** A **文章编号:** 0372-2112 (2000) 11-0029-03

Simulation of the Parasitic Interconnect Capacitance in the DRAM with the Stacked Structures

LI Yi, WANG Ze-yi, HOU Jin-song

(Dept. of Computer Science and Technology, Tsinghua Univ., Beijing 100084, China)

Abstract: With development of high density bit DRAM, the parasitic interconnect capacitance is becoming an important factor to affect the circuit performance such as time delay, power consumption and noise etc. While the multi-level interconnection and complex storage capacitor cell are used in DRAM layout to increase the integrated density and improve performance of the integrated circuits, a powerful parasitic interconnect capacitance simulator is required urgently. A simulator based on the BEM, with high precision, high speed and strong ability to treat complicated structures, is presented in this paper. Some tested results of the parasitic interconnect capacitance are used to analyse the performance in DRAM circuits.

Key words: parasitic capacitance; DRAM; Stacked capacitor; boundary element method (BEM)

1 引言

在计算机迅速更新换代的进程中, 人们在追求高运行速度的同时, 也追求内存容量的极大扩大. 为获得高密度比特位的动态随机存储器 (DRAM), 设计新电容器单元结构成为普遍的趋势.

DRAM 是单管单元, 结构简单, 存储单元面积最小, 被广泛用作计算机的主存储器. 在大容量 DRAM 中, 已广泛采用先进的互连线技术以提高集成密度. 据统计, DRAM 电路的集成度以每 3 年四倍的速度增加. 目前已出现 2 层金属互连线的 DRAM 电路, 预计 2001 年将出现 3 层互连线结构^[1]. 在高密度比特位 DRAM 中, 互连线上寄生电容将对存储器性能产生重要影响, 反映在延迟产生的存取速度降低以及耦合噪声对读信号强度的削弱等方面.

过去普遍认为, 缩小版图尺寸以增加 DRAM 的集成密度, 并减少电容器比率 (位线电容与存储单元电容的比值) 是获得大强度读信号的有效方法. 但是, 对具有兆比特位密度的

DRAM, 电路性能的改善已不能仅仅依赖电容比率的减少. 邻近位线间的耦合电容已成为影响电路性能的重要因素, 研究位线寄生电容十分重要.

当前, DRAM 发展的另一特点是存储单元结构复杂化, 其目的是在可利用的单元面积上储存足够多的电荷量, 以获取高密度比特位. 使用最多的 3-D 电容器单元结构有两种, 一种是电极做在壕沟中的壕沟电容器 (trench capacitor)^[2], 一种是做在管子上的堆叠电容器 (stacked capacitor)^[3]. 在这两种结构中, 后者工艺相对简单, 结构灵活, 具有较大优势, 可构造高容量的电容器单元. 因此, 随着复杂单元结构的发展, 对寄生电容提取软件在复杂形体适应性, 计算精度和速度上的要求越来越高. 快速与精确地提取 DRAM 版图中的寄生参数成为 IC 设计中十分重要的课题.

模拟复杂几何结构互连电容的常用数值方法有有限差分法 (FDM)、有限元法 (FEM) 及边界元素法 (BEM) 等. 与离散化被模拟区域的有限差分法及有限元法不同, 边界元素法

收稿日期: 1999-07-16; 修回日期: 2000-04-16

基金项目: 国家自然科学基金 (No. 69876024); 美国 Synopsys 公司资助

是一种离散化区域边界的解法.它具有降维的特点,减少了变量数目,提高了处理复杂形体的能力.而且由于计算电容所需的电荷密度或法向电场直接包含于边界积分方程中,不需间接计算,提高了计算精度.

鉴于上述优点,本文将边界元素法应用于 DRAM 复杂结构互连线寄生电容提取. B3D 系统是本题组与美国 Synopsys 公司合作研究开发的基于直接边界元素法的三维互连寄生电容提取软件,其输入接受由版图工艺参数转换而成的大量有关介质与导体的几何及电学信息,形成 B3D 的输入描述文本 PDDL. 描述文本经 yacc 解释后,进行形体运算,边界元网格划分,及边界元计算以获得电容值. 该软件已通过大量来自实际版图互连寄生电容器件的测试,结果表明它具有计算精度高,速度快,处理复杂形体能力强等优点.

2 直接边界元素法计算电容^[4,5]

对一个具有 m 块导体的集合,电荷与电势间的关系可表示为:

$$\bar{Q} = C\bar{V} \quad (1)$$

其中, C 是一个 $m \times m$ 的电容矩阵,矩阵第 i 列的每一项是加 1V 电压的第 i 个导体相对其它加 0V 电压导体间的电容值,即:当 $V_i = 1V, V_j = 0V, j = 1, \dots, m, j \neq i$, 有:

$$C_{ji} = -Q_j/V_i \quad (2)$$

从式(2)可见,若要得到导体 j 和导体 i 间的电容值,只要求得导体 j 上的感应电荷即可.

导体 j 上的电荷量 $Q_j = \oint_j \frac{\partial u}{\partial n} d$ 可通过其表面区域的法向电场强度积分得到. 多个均匀介质形成的势场问题可由区域中电势及其边界上电位与电场满足混合边界条件的拉普拉斯方程描述^[6].

应用格林(Green)公式及拉普拉斯方程基本解的性质,可将带混合边界条件的拉普拉斯方程转化为各介质边界上的直接积分方程^[5,6]:

$$c_k u_s + \frac{q^*}{\partial_k} u d = \frac{u^*}{\partial_k} q d, k = 1, 2, \dots, K \quad (3)$$

其中, u^* 是拉普拉斯方程基本解, $q^* = \partial u^* / \partial n$, n 为边界上的单位外法向, u_s 是源点 S 的电势. c_k 是依赖于源点附近边界几何的常数. ∂_k 是包围第 k 种介质的边界, K 为介质总数. 在三维情况下,这些边界由导体表面、介质表面以及不同介质交界面组成. 此外,在不同介质交界面上应满足电位及电位移连续条件. 考虑到当前半导体工艺的特点,本文采用平面四边形常数元离散积分方程,可得一组线性方程:

$$Ax = B \quad (4)$$

采用目前求解大型非对称方程组十分有效的带预条件广义最小剩余迭代法(Generalized Minimal RESidual, GMRES)^[7,8]解方程(4),可得到导体表面上的法向电场分布,并求得电容.

3 计算结果与性能分析

Stacked 结构电容器单元的存储电极是做在衬底之上,具有较大的结构灵活性和工艺实现的可行性. 目前较为流行的有标准(standard)与鱼鳍(fin)堆叠结构两种,如图 1 所示.

本文对堆叠结构电容器单元 DRAM 中的互连电容进行模拟,并分析它们对电路性能的影响.

(1) 位线、字线单元数对位线寄生电容的影响

首先,研究标准堆叠电容器结构下,位线、字线上的单元数目对位线寄生电容的影响. 设采用 $0.6\mu m$ 连线宽度,且存储电容为 C_s 的电容器单元面积为 $4.2\mu m^2$,存储面积为 $7\mu m^2$,则存储与单元面积的比率 R 为 1.67. 为讨论方便,可将一字线上连接的单元数即记为位线数 i ,而一位线上连接的单元数即记为字线数 j . 当存取的字数一定(这里取 8 位),字线上存储的位数不同时,位线上寄生电容的结果示于表 1 及图 2(a).

表 1 在标准堆叠结构电容器的 DRAM 中,字线上不同单元数时位线的寄生电容

字线单元数	RAPHAEL 计算结果		B3D 计算结果			
	电容值(fF)	时间(s)	电容值(fF)	时间(s)	误差(%)	加速比
1	3.841	792	3.827	33	-0.36	24.0
2	4.689	822	4.664	98	-0.49	8.4
3	4.699	906	4.694	159	-0.11	5.7
4	4.752	4157	4.752	213	0.00	19.5
5	4.790	940	4.771	260	-0.40	3.6

RAPHAEL 是基于有限差分法的 2/3-D 互连寄生参数商用提取软件,由于其精度高,稳定性好,在国际上享有较高信誉. 它在充分稠密网格下的结果往往作为标准值. 表 1 所列 RAPHAEL 结果均为百万以至 4 百万网格点计算所得,有很高的精度. 从表 1 看出, B3D 的结果与之相比,误差均小于千分之 5,有很好的计算准确性,且计算速度提高近十倍.

图 2(b) 是当每个字线上存取的位数一定(这里取 4 列),而存储的字数不同时,位线上寄生电容的计算结果. 从图可见,位线上存储单元数对位线上的寄生电容影响很大,存储单元数目越多,寄生电容越大,位线上的可读取信号就越弱. 当位线上寄生电容值相对存储单元电容值大到一定程度时,将导致位线上信号太弱而无法读取. 因此必须增强放大器灵敏度,或改进结构,以降低位线上寄生电容 C_b 与存储单元电容 C_s 的比率 C_b/C_s .

(2) 不同 stacked 单元结构的位线上寄生电容

在 DRAM 中,比率 C_b/C_s 是很重要的参数,因为电荷传输率 T 标志着动态单管单元的性能优值为^[10]

$$T = \left| 1 / (1 + C_b/C_s) \right|, \quad (5)$$

其中, C_b 为位线上寄生电容, C_s 为存储单元电容. 从式(5)可见, C_b/C_s 越小, T 值越大.

下面,用 B3D 计算鱼鳍和标准堆叠电容器单元结构的寄生电容,并对比它们的性能优值,即电荷传输率 T ,从而表明单元结构改进对提高电路性能的作用.

鱼鳍式堆叠结构与标准堆叠结构相比,其结构复杂性更高. 设两种结构中均采用 $0.6\mu m$ 连线宽度,存储电容器单元面积为 $4.2\mu m^2$. 其中标准 stacked 结构电容器的存储面积为 $7\mu m^2$,则存储与单元面积的比率 R 为 1.67; 鱼鳍式 stacked 结构存储面积为 $14\mu m^2$,存储与单元面积的比率 R 为 3.33.

图 3 所示为采用鱼鳍与标准堆叠单元结构时,位线上寄

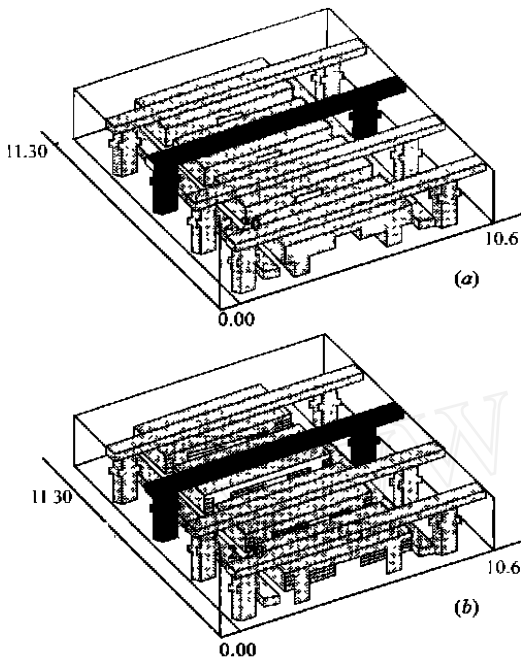
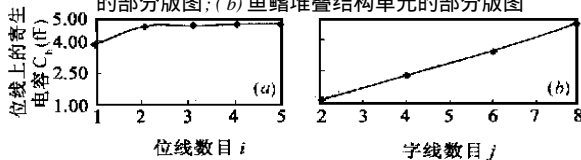


图 1 两种堆叠结构单元部分版图。(a) 标准堆叠结构单元的部分版图;(b) 鱼鳍堆叠结构单元的部分版图

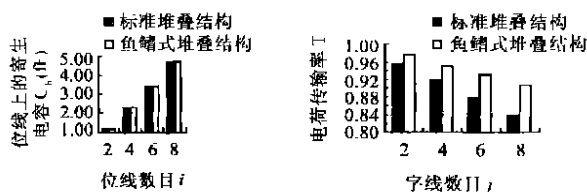


(a) 位线上寄生电容 C_b 随位线数目 i 的变化

(b) 位线上的寄生电容 C_b 随字线数目 j 的变化

图 2 位线上的寄生电容 C_b 随位线数目、字线数目的变化

生电容值对电荷传输率影响的对比图。两种存储电容器的单元面积相同,但鱼鳍式结构的存储面积是标准 stacked 的近两倍。从 B3D 的模拟结果看出,位线上的寄生电容 C_b 对两种结构来说几乎相等,如图 3(a) 所示。但鱼鳍式的 C_b/C_s 要小得多,相应地,可得到较高电荷传输率,即可从位线上读取较大的信号,如图 3(b) 所示。



(a) 位线上的寄生电容 C_b

(b) 电荷传输率 T 随

随字线数目的变化,

字线数目的变化

图 3 电容器单元采用不同的 stacked 结构时,位线上寄生电容值 C_b 及电荷传输率 T

以上结果表明,采用多层互连线工艺和复杂的 stacked 电容器单元以提高电荷传输率,降低位线上寄生电容的影响,正是目前 DRAM 发展的一种趋势。另一方面也说明了 B3D 系统具有处理诸如鱼鳍型 stacked 复杂结构的较强能力,验证了系统的正确性。

4 结论

随着兆比特位高密度 DRAM 版图结构的日益复杂和互连寄生效应对电路性能的严重影响,精确、快速计算三维复杂互连结构寄生电容对设计高性能 DRAM 极为重要。本文简要介绍基于直接边界元素法求解描述多介质互连寄生电容混合边界条件拉普拉斯方程的软件系统 B3D 的原理,并结合当前工艺对不同 stacked 结构位线寄生电容作了模拟。模拟结果表明互连寄生电容提取系统 B3D 对 DRAM 结构的研究和开发具有十分重要的作用。

参考文献:

- [1] Shyam P. Murarka. Multilevel interconnections for ULSI and GSI era [J]. Materials Science and Engineering, R19, 1996: 87 - 151.
- [2] H. Sunami et al. A Corrugated Capacitor Cell (CCC) for Megabit Dynamic MOS Memories [M]. IEDM Tech. Digest, 1982: 806.
- [3] M. Koyanagi et al. Novel High Density Stacked Capacitor MOS RAM [M]. IEDM Tech. Digest, 1978: 348.
- [4] 吴启明,王泽毅. 边界元素法在集成电路 CAD 中的应用 [J]. 计算物理, 1992, 9: 285 - 292.
- [5] C. A. 布莱比亚. 工程师用的边界单元法 [M]. 科学出版社, 1986.
- [6] Zeyi Wang and Qiming Wu. A two-dimensional resistance simulator using the boundary element method [J]. IEEE Transactions on Computer-Aided Design, 1992, 11 (5): 497 - 504.
- [7] Y. Saad and M. H. Schultz. GMRES: a Generalized Minimal RESidual Algorithm for Solving Nonsymmetric Linear Systems [J]. SIAM J. Num. Anal., 1986, 5: 203 - 228.
- [8] James H. Kane. Boundary Element Analysis in Engineering Continuum Mechanics [M]. Prentice-Hall, Inc, 1994.
- [9] T. Ena et al. 3-Dimensional Stacked Capacitor Cell for 16M and 64M DRAMs [M]. IEDM Tech. Digest, 1988, 88.
- [10] 张建人. MOS 集成电路分析与设计基础 [M]. 高等教育出版社, 1992.

作者简介:



李 毅 1996 年毕业于清华大学电子工程系微电子学专业,同年就读清华大学计算机科学与技术系硕士研究生,1999 年获得硕士学位。目前,主要从事集成电路设计及其计算机辅助设计工具的开发工作。



王泽毅 1940 年生,教授,博导,主要研究方向为 VLSI - CAD 中的器件模拟,互连分析及其中的串并行数值方法。