

两种流水折叠分级式 ADC 及其结构比较

孟晓胜¹, 王百鸣², 闫 杰¹

(1. 深圳大学光电子学研究所, 广东深圳 518060; 2. 深圳大学信息工程学院 EDA 技术中心, 广东深圳 518060)

摘 要: 本文利用模拟余量和模拟余差研制出两种流水折叠分级式 ADC, 提出了两种电路改进结构——有余差转换和无余差转换, 并通过动态性能的测试来对比分析两结构的优缺点. 无余差转换的 ADC+ 和由其复合构成的 ADC 的测试表明, 性能分别达到 2bits@40MSPS ADC+ 和 2+ 8bits@40MSPS ADC. 对于实际制作的 ADC 电路, 具体给出了结构图以及动态性能测试图.

关键词: 模数转换器; 折叠; 分级; 模拟余差; 模拟余量

中图分类号: TN431 **文献标识码:** A **文章编号:** 0372-2112 (2008) 08-1651-04

Implementation of Two Pipelined Folding Subranging ADCs and Comparison on Their Different Architectures

MENG Xiao-sheng¹, WANG Bai-ming², YAN Jie¹

(1. Institute of Optoelectronics, Shenzhen University, Shenzhen, Guangdong 518060, China;

2. The EDA Technology Center, College of Information Engineering, Shenzhen University, Shenzhen, Guangdong 518060, China)

Abstract: This paper applies the remainder of analogue quantity and the residue of analogue quantity to the implementation of pipelined folding and subranging ADCs. Two improved circuit structures are proposed, one structure makes use of the conversion of residue of analogue quantity, while the other doesn't. Experiments on dynamic performance of two structures are conducted. The test result shows that ADC+ built without conversion of residue of analogue quantity can achieve a performance of 2bits@40MSPS ADC+ and 2+ 8bits@40MSPS ADC. Finally, the structure and dynamic performance test graph are given in detail for practical implementation of ADC circuit.

Key words: analog to digital converter (ADC); folding; subranging; residue of analogue quantity; remainder of analogue quantity

1 引言

在目前的各种结构的 ADC 中, 并行结构 ADC 虽然速度快但分辨率难以提高, 这个问题可以由分级式 ADC 来解决. 分级式 ADC 的基本出发点是, 把两级或多级较低分辨率的各子 ADC 组合起来以形成一个高速高分辨率的 ADC. 例如, 把一个低分辨率的 M 位并行 ADC 和另一个低分辨率的 N 位并行 ADC 级联在一起, 就构成了一个速度下降而分辨率提高的 M+ N 位半闪烁型 ADC. 构成分级式 ADC 的子 ADC 可以是并行比较式的, 也可以是逐次逼近式的, 还可以是折叠式的等等. 在分级式结构的 ADC 中常常融入各种技术, 如折叠技术, 内插技术, 数字校正技术, 流水技术等^[1]. 而流水折叠分级技术是当今世界 ADC 的研究热点.

为了不像 M+ N 位半闪烁型 ADC 那样降低采样速率, 目前的分级式 ADC 中通常采用流水线技术. 流水分级 ADC 可以使各子 ADC 并行工作, 每个时钟周期都可以输出一位数据, 速度和分辨率较好地达到了矛盾的统一. 但流水分级 ADC 会产生由结构引起的 L 个转换延迟, 即 ADC 从转换开始到出现转换结果需要 L 个转换周期^[1].

本文提出基于流水折叠技术的两种结构的分级式 ADC, 在工程上加以实现, 并从构成原理上分析对比此两种结构的异同和优劣. 此两种 ADC 虽然总体上大致相同(都是由前 M=2 位的每级一位折叠结构, 再级联上后 N=8 位的子 ADC, 构成 2+8 位的流水折叠分级式 ADC), 但细节上完全不同. 两者的根本区别在于, 它们的 8 位子 ADC 的输入信号不同. 一种是经过余差转换

电路处理的模拟余量信号,且简称此结构 ADC 为有余差转换电路的流水折叠分级式 ADC;而另一种却是未经过余差转换电路处理的模拟余差信号,因不使用余差转换电路,故称此结构 ADC 为无余差转换电路的流水折叠分级式 ADC.性能较好的是后者,性能指标达到了 2 + 8bits@ 40MSPS.下面将分别具体地阐述.

2 有余差转换电路的流水折叠分级式 ADC

2.1 分级折叠结构的原理

作为本文设计出发点的模拟余量^[2](以下也简称余量)和模拟余差^[1](以下也简称余差)的本质是分段量化.分段量化^[2]是指,模拟信号曲线上的某个采样点 A 可以分成模拟量值 A1 和 A2,用两个低位的子 ADC 对 A1 和 A2 分别进行分段模数转换,最终构成数字位 $n = n_1 + n_2$ 结构的 ADC.在分段模数转换中,一个信号完整性达 10bits 有效位数的正弦输入信号,产生 1bit 数字位后,1 级余量或余差尚含有至多 9bits 有效位数可供下级处理.0 级余量或余差的有效位数,即正弦输入信号的有效位数,可以利用式(4)测量并定量计算.0 级余量或余差即正弦输入信号经分段模数转换后再进行整体数模逆转换,可得到还原的正弦输出信号;该还原正弦输出信号的有效位数,也可利用式(4)测量并定量计算.

折叠电路模块是本文所述的 ADC 的核心模块.它的功能是,对输入信号进行处理,在输出 1bit 数字位的同时,还输出一个供下级折叠电路或子 ADC 使用的模拟余差信号.折叠电路的模型图和输入输出特性见图 1^[1].R1 是第一级折叠电路输出的模拟余差信号,R2 是第 2 级折叠电路输出的模拟余差信号.

折叠电路模型的数学方程^[1]为:

$$A_{i+1} = V_R - 2|A_i| \quad (1)$$

折叠电路的数字位输出为格雷码,非真正的二进制码.

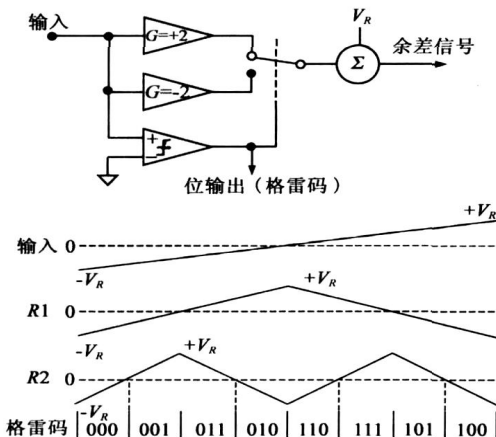


图 1 折叠电路数学模型图和波形图^[1]

2.2 有余差转换电路的流水折叠分级式 ADC 的结构

该类型结构图见图 2. CA0 和 CA1 分别为一级和二级折叠电路模块,含比较器和放大器(由运放 AD8009,差分电压放大器 LT1193 等 IP 核构成)构建的绝对值电路^[3]及其它电路,实现功能如等式(1).CA0 和 CA1 一起就构成了第一级 2bits 子 ADC(也可称作 2bits ADC+).2bits ADC+ 在产生 2bits 的数字信号的同时,还产生了供第 2 级 8bits 子 ADC 使用的余差信号.

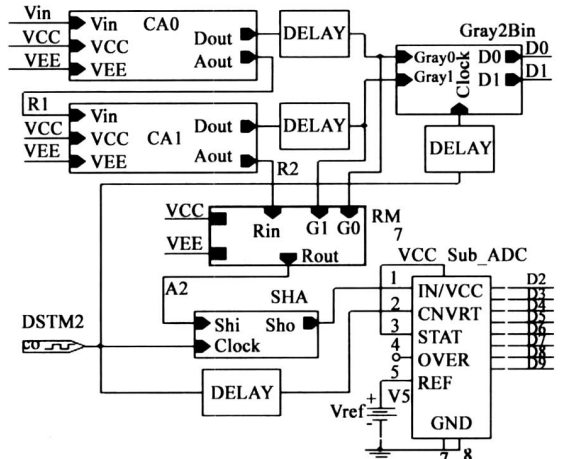


图 2 有余差转换电路的流水折叠分级式 ADC 结构图

折叠电路或 2bits ADC+ 产生的格雷码,经 Gray2Bin 模块转换成二进制码 D0、D1.二级余差信号 R2 经模块 RM 转换后,经输入采样保持器 SHA 后输入给 8bits 子 ADC(sub_ADC 模块),正确得到整个 ADC 低段的二进制码 D2~D9.图 2 中,R2 是图 1 中的模拟余差 R2,而余差转换电路 RM 的输出信号 A2 是所谓的模拟余量^[2].模拟余量 A2 的性质如图 3 所示.模块 RM 的功能就是把模拟余差 R2 转换成模拟余量 A2,以使得 2bits ADC+ 能够与 8bits 子 ADC 正确连接,进而使 8bits 子 ADC 和整个 10bits ADC 都输出真正的二进制码.

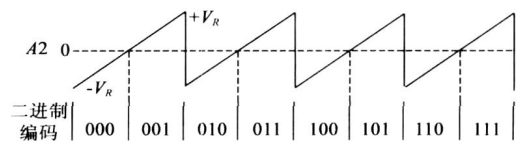


图 3 模拟余量信号 A2

实际上,图 3 中的模拟余量 A2 的数学表达式^[2]为:

$$A_{i+1} = \begin{cases} 2(A_i - V_R), & A_i \geq V_R \\ 2A_i(t), & A_i < V_R \end{cases} \quad (2)$$

RM 模块主要是由模拟开关和比较器等元件构成. DELAY 为延迟模块,作用在于协调电路各部分信号的同步和正确的流水输出. DSTM2 为 40MHz 激励时钟信号. Gray2Bin 模块的功能是,把折叠电路输出的格雷码转换成二进制码 D0、D1. Sub_ADC 即为 8bits 子 ADC,实际制作中采用 AD 公司市售的 8bits @ 40 MSPS 的

AD9057^[4], 它产生的 8 位二进制码和 D0、D1 一起构成整个 10bits ADC 完整的二进制码输出。

3 无余差转换电路的流水折叠分级式 ADC

如上述, 要使第二级 8bits 子 ADC 正确地输出整个 10bits 中的低段 8bits 二进制码, 8bits 子 ADC 的输入信号必须是如图 3 所示的模拟余量信号, 且要求输入信号的幅度应完全覆盖 8bits 子 ADC 的输入电压范围, 这样才不会有误码和丢码的现象出现。但是, 要产生干净的高速模拟余量信号是比较困难的。突变的信号必然带来较大谐波分量干扰和电路噪声。同时, 模拟开关的固有开关延迟使得 RM 电路很难产生理想的模拟余量信号。这样, 我们考虑可否给 8bits 子 ADC 输入某种非模拟余量信号, 而同样能实现分段量化处理的功能。如下所述的余差信号和数字位关系式(3)的发现, 使我们的设想变成可能。这里要指出, 传统的分级流水结构 ADC 通常采用一级多位, 同时使用 DAC 闭环电路结构来产生模拟余量信号。受制于 DAC 的建立时间, 很难在 8bit 有效位数以上, 获得更高采样率的 ADC^[5]。本文提出的 ADC 为开环式电路结构, 省略了 DAC。从发表的国内外论文^[5]来看, 此类型的 8bits ADC 可以达到采样率 1GSPS 的速度。

图 4 为一个无余差转换电路的流水折叠分级式 ADC 结构图。同图 2 的结构相比, 图 4 的特别之处在于取消了余差转换电路 RM, 但增加了数字译码电路 Decode(由 74AS86 等 IP 核构成)。在图 4 中采样保持器的输入就是余差信号 R2, 而此时 8bits 子 ADC 输出为格雷码取反。我们发现 8bits 子 ADC 输出的格雷码取反的数字位和前面 2bits ADC+ 的折叠电路产生的数字末位(图 4 中所示的 D1)有一定的关系, 如下:

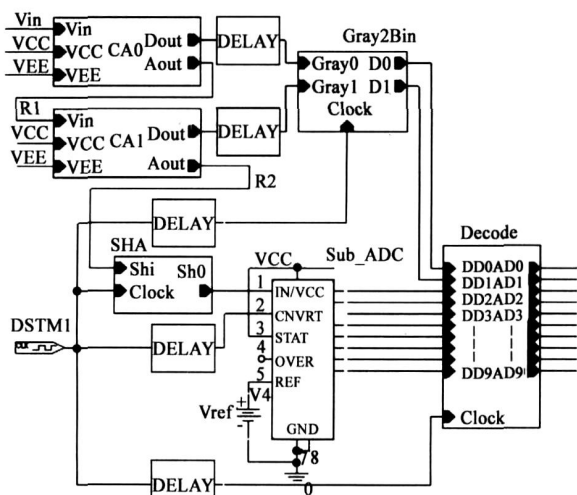


图 4 无余差转换电路的流水折叠分级式 ADC 结构图

设 8bits 子 ADC 输出为 D_n , n 范围为 2~9, D_n 和 D1

“同或”后产生的数字信号为 Q_n , 则有“同或”关系式:

$$Q_n = D1 \odot D_n (n = 2 \sim 9) \quad (3)$$

Q_n 即为整个 10bits ADC 需要的真正的二进制信号。等式(3)得到了电路验证。

4 两种结构 ADC 的性能比较

图 2 中的余差转换电路 RM 主要由模拟电路组成, 其中的模拟开关的频繁切换动作, 势必产生较大谐波分量干扰和电路噪声, 破坏了信号的完整性, 从而影响 8bits 子 ADC 的有效位数, 进而影响整个 10bits ADC 的有效位数。图 4 中的无余差转换电路结构的 ADC 就避免了这种缺陷, 其中的译码电路模块完全为数字电路, 相当于用数字电路取代了模拟电路, 使电路的信号更易控制, 精度更易掌握, 信号的完整性更好。和图 2 中的模拟余量信号相比, 图 4 中的输入到 8bits 子 ADC 的模拟余差信号失真度较小, 使 8bits 子 ADC 的有效位数得以提高。而且, 后面的译码电路基本不影响 10bits ADC 的有效位数。

以下实验成功的电路波形, 均通过 OrCAD/PSpice 10.0 仿真, 均通过以下仪器测试验证。仪器包括: 信号发生器 HP8648, 示波器 Tektronix TDS3034, NI 公司的 lab-view 软件和数据采集卡 NI5112。对于图 4 所示的无余差转换电路的 ADC, 转换结果波形图示于图 5。工作在 1MHz 正弦波输入, 40MSPS 采样率的条件下。图中的 AD0~AD9 为转换出的 10 位数字信号, U1: Convert 为 40MHz 采样控制时钟信号, $\diamond V(ca0:vin)$ 为 1MHz 正弦波输入信号。转换结果和输入信号之间的时间延迟由电路结构引起。

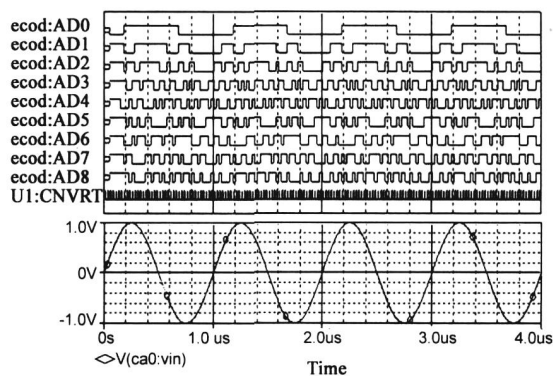


图 5 1MHz 正弦波输入, 40MSPS ADC 的转换结果波形图

图 6 是无余差转换的 ADC 实际电路及其验证电路的示波器测试波形。工作条件为 40MHz 对 1MHz 正弦输入信号的采样。上图, ch1_ 二阶模拟余差, ch2_ 模数转换输入信号, ch3_ 一阶模拟余差。下图, ch1_ 正弦输入信号经分段模数转换后再进行整体数模逆转换后的经低通滤波 LPF 的还原输出信号。

图 7 为无余差转换电路的 ADC 的动态仿真测试图, 根据式(4)测量并定量计算得到。在忽略较小噪声影

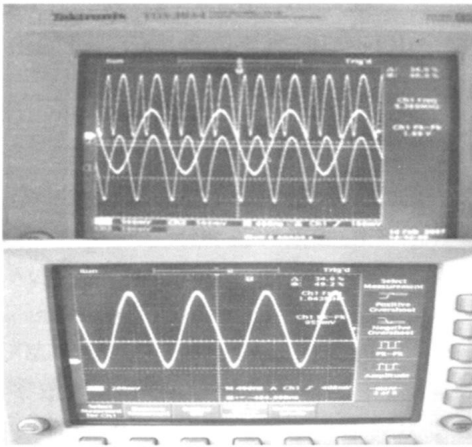


图6 无余差转换的 ADC 实际电路及其验证电路的示波器测试波形_2+8bits@40MSPS

响的情况下,有效位数和总谐波失真的关系式^[1]为:

$$\text{ENOB} = (\text{THD} - 1.76 - 10\lg(f_s/2f_i))/6.02 \quad (4)$$

ENOB 为 ADC 实际可达到的有效位数, THD 为总谐波失真, f_s 为采样频率, f_i 为正弦输入信号频率。也有文献[6]将式(4)中的较小贡献项 $-10\lg(f_s/2f_i)$ 忽略掉。

由图7可见,在对2MHz以下正弦输入信号进行模数转换时,有效位数 ENOB 大约为 9.6bits; 超过 2MHz 输入范围后,电路性能急剧下降;到 3MHz 输入频率时 ENOB 大约为 4.7bits。所以,此 ADC 可工作在对 2MHz 以下输入信号进行模数转换的场合。

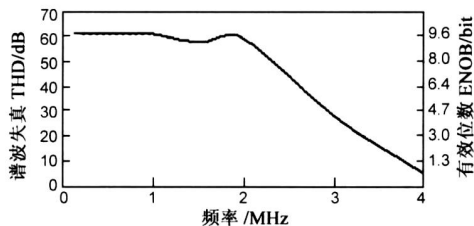


图7 无余差转换的 ADC 的 THD 和 ENOB 测试图

图8为有余差转换电路的 ADC 的动态仿真测试图。电路在输入频率 0.5MHz 以下时,有效位数 ENOB 大约为 9.6bits;到 1MHz 时,ENOB 为 8bits;以后的 ENOB 下降很快,在 1.5MHz 输入频率时已下降到大概 1.3bits。故此 ADC 最多只能工作在对 0.5MHz 以下输入信号进行模数转换的场合。和图7对比可知,图8对应的有余差转换电路 ADC 效果较差。

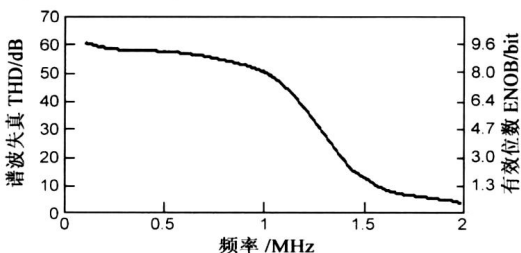


图8 有余差转换的 ADC 的 THD 和 ENOB 测试图

5 结论

本文利用模拟余量和模拟余差,给出了两种不同结构的流水折叠分级式 ADC,从结构和原理出发分析了它们的异同,分别给出了它们的示波器测试波形图和动态测试图,定性定量地说明这两种组合 ADC 的可行性,同时也对比了两者的优劣。

有余差转换电路结构的 ADC 可以工作在 0.5MHz 以下输入信号,性能更好的无余差转换电路结构的 ADC 可以工作在 2MHz 以下输入信号。无余差转换电路的 ADC 的结构,实际上是用数字电路取代了有余差转换电路 ADC 中的模拟电路,找到并在电路中实施了“同或”关系式(3),使得 ADC 在制作时更容易实现,最终,性能指标达到了 $2+8\text{bits}@40\text{MSPS}$ 。与单片 10 位 ADC 相比,这种组合的 ADC 的优势在于结构简单易于实现,但能够处理的输入信号频率还不够高,尚待改进。目前国内外的流水结构的分级 ADC 采样率可高达 1GSPS,但有效位数难以提高到 8bit 以上,电路需要数字误差校正技术来保证精度,电路分级数较多,相对较复杂。本文提出的无余差转换电路结构 ADC 可以在采样速率和有效位数间取得一定的平衡。但采用本文提出的 ADC 结构,目前的瓶颈在于很难产生干净的更高频率的折叠余差信号。由于信号的折叠主要以绝对值电路为基础,而绝对值电路中二极管的材料和结电容的影响使的处理信号频率很难很高,考虑使用电流模式的运放^[7]和极低锗材料结电容的二极管可以提高输入信号频率,同时也为采样率的提高提供可能。通过 Pspice 中低结电容二极管模型结合电流模式的运放的仿真,初步发现此方法有一定的可行性。在保持 10bits 有效位数的情况下,可以大大提高采样速率。

作者简介:



孟晓胜 男,1975 年生于安徽,深圳大学光电子学研究所电路与系统专业硕士研究生。现主要研究方向:数据采集系统、模/数转换电路设计仿真、嵌入式系统。

E-mail: nir_dream@126.com



王百鸣 男,1957 年生于江苏,1982 年毕业于中国科学技术大学无线电电子学系留校任教;1992 年在华为技术有限公司技术开发部项目开发;1999 年在日本创价大学学术进修;现为深圳大学信息工程学院教授。主要从事有关模数混合电路设计仿真、信号处理、数据采集等方面的研究。E-mail: suwangm@163.com

(下转第 1659 页)

据互联算法(CIMM-MSFJPD)。该算法首先设定多个跟踪模型,对于每个模型计算测量点迹与航迹测量预测之间的模糊综合相似度;然后计算模糊联合互联概率并基于此概率对各航迹进行状态估计及其协方差的更新;最后计算各模型概率,并据此概率对各模型所获得状态估计进行加权得出各航迹在融合中心最终的状态估计。最后,通过仿真分析证明了本文算法的正确性和有效性。

参考文献:

- [1] 何友,王国宏,陆大,彭应宁.多传感器信息融合及应用[M].北京:电子工业出版社,2000.
He You, Wang Guohong, Lu Dajin, Peng Yingning. Multisensor Information Fusion With Applications[M]. Beijing: Publishing House of Electronics Industry, 2000. (in Chinese)
- [2] Bar shalom, Y(Ed.) Multitarget Multisensor Tracking: Applications and Advances[M]. Norwood, MA: Artech House, 1992.
- [3] L Y Pao, C W Frei. A comparison of parallel and sequential implementation of a multisensor multitarget tracking algorithm [A]. Proc. 1995 American Control Conf. Seattle[C]. Washington, June 1995. 1683- 1687.
- [4] K Chang, C. Chong, Bar Shalom. Joint probabilistic data association in distributed sensor networks[J]. IEEE Transactions on Automatic Control, 1986, AC-31(10): 889- 897.
- [5] Bar shalom, Multitarget Multisensor Tracking: Advanced Application[M]. YBS Publishing, 1990
- [6] Bar shalom. Multitarget Multisensor Tracking: Principles and Techniques[M]. YBS publishing, 1995.
- [7] Hu Wenlong, Mao shiyi, Multisensor data association based on combinatorial optimization[J]. Journal of Systems Engineering

and Electronics. 1997, (1): 1- 9.

- [8] Pattipati K R. Passive Multisensor Data Association Using a New Relaxation Algorithm. In Multitarget Multisensor Tracking [M]. Norwood, MA: Artech, 1990.
- [9] Deb S, et al. An S dimensional assignment algorithm for track initiation[A]. Proc. of the IEEE Int. Conf. Systems Engineering [C]. Kobe, Japan, Sept 1992. 527- 530.
- [10] Deb S, et al. A multisensor multitarget data association algorithm for heterogeneous sensors [J]. IEEE Trans on AES, 1993, 29(2): 560- 568.
- [11] 张晶炜, 何友, 熊伟. 集中交互式多传感器联合概率数据互联算法[J]. 光电工程, 2006, 33(11): 26- 30.
Zhang Jingwei, He You, Xiong Wei. Centralized interacted multisensor joint probabilistic data association algorithm [J]. Optoelectronic Engineering, 2006, 33(11): 26- 30. (in Chinese)

作者简介:



张晶炜 男, 1980 年生于江西景德镇, 现为烟台海军航空工程学院信号与信息处理专业博士研究生, 研究方向为多目标跟踪、机动目标跟踪. E-mail: Inform-fusion@tom.com

何友 男, 1956 年生于吉林磐石, 教授, 博士, 博士生导师, 主要研究领域有: 多传感器信息融合、多目标跟踪、模式识别、雷达自适应检测方法、分布检测理论及应用等。

(上接第 1654 页)

参考文献:

- [1] 薛天宇, 孟庆昌, 华正权. 模数转换器应用技术[M]. 北京: 科学出版社, 2001. 36- 38.
- [2] 王百鸣. 采样值的特殊模拟余量及分段量化处理[J]. 信号处理, 2002, 18(4): 285- 288.
Wang Baiming. Characteristic remainder and piecewise quantization on sampling data[J]. SignalProcessing, 2002, 18(4): 285- 288. (in Chinese)
- [3] 日稻叶保. 模拟技术应用技巧 101 例[M]. 北京: 科学出版社, 2006. 190- 195.
- [4] ANALOG DEVICES Co, 8 Bit 40 MSPS/60 MSPS/80 MSPS

A/D Converter AD9057[EB/OL]. http://www.analog.com/UploadedFiles/Data_Sheets/AD9057.pdf, 2003.

- [5] Yur Jeong Kim, Ja Hyun Koa. An 8bit 1Gsp/s CMOS pipeline ADC[A]. Proceedings of 2004 IEEE Asia Pacific Conference on Advanced System Integrated Circuits[C]. Fukuoka, Japan IEEE, 2004. 424- 425.
- [6] Walt Kester. MF003: Understand SINAD, ENOB, SNR, THD, THD+N, and SFDR So You Don't Get Lost in the Noise Floor [EB/OL]. <http://www.analog.com/en/content/0,2886,760%255F%255F91250,00.html/>, 2005-03-10.
- [7] 赵玉山, 周跃庆, 王萍. 电流模式电子电路[M]. 天津: 天津大学出版社, 2001. 222- 234.