

基于BSIM深亚微米级MOSFET短沟道效应建模和特征提取方法研究

赵阳¹, Parke Stephen², Burke Franklyn²

(1. 南京师范大学电气与电子工程学院, 江苏南京 210042; 2. 美国爱达荷州 Boise 州立大学电气与计算机系, ID83706, USA)

摘要: 本文基于BSIM标准研究了现代深亚微米级MOSFET器件的建模和特征提取方法, 着重于短沟道效应方面, 其中测试样品由MicronTM公司提供, 最短沟道长度仅为0.16微米。内容包括一般短沟道效应、基板效应和漏极感应势垒降低效应(简称DIBL效应)等。研究表明, 实验数据和BSIM模型结果较好吻合, 证明文中方法的有效性以及较好的应用前景。

关键词: MOSFET器件; 建模与特征提取; 短沟道效应; BSIM模型

中图分类号: TN722 **文献标识码:** A **文章编号:** 0372-2112(2004)05-0841-04

Modeling and Characterization of Deep-Submicron MOSFET with Short-Channel Effect Based on BSIMTM

ZHAO Yang¹, PARKE Stephen², BURKE Franklyn²

(1. School of EEE, Nanjing Normal University, Nanjing, Jiangsu 210042, China;

2. Department of Electrical & Computer Engineering, Boise State University, ID 83725, USA)

Abstract: In this paper the methodology of modeling and characterization of modern MOSFET, with emphasis on short-channel effects of deep-submicron devices up to 0.16 μm , is researched based on BSIM. The threshold voltage model of MicronTM bulk device is made to demonstrate the processing of modeling and characterization. The results of device model, consisting of normal short-channel effect, body effect and DIBL (drain induced barrier lowering) effect, show good agreement between BSIM model and experimental data which proves effectiveness and good potential of the methodology.

Key words: MOSFET; device modeling and characterization; short-channel effect; BSIM

1 引言

电路仿真是集成电路设计的必备工具, 已经被广泛用于电路性能优化、电路时钟测试以及功能验证等领域。电路仿真的精度取决于器件模型的精度, 这是由于现在的仿真分析中算法与收敛技术已经密切结合^[1,2]。目前半导体器件模型主要有三类, 即数值模型、查表模型和分析模型或称简洁模型。其中, 数值模型虽然可用于新型器件结构的效应研究^[3], 但因其对计算过于依赖而不能用于大规模电路仿真; 查表模型是直接测量得到的随偏置电压和器件尺寸而变化的电流、电容等参数提供给电路仿真之用^[4], 因此只能用于快速仿真的粗略分析。目前上述两种模型已逐渐被分析模型所替代。分析模型是基于半导体器件的机理而得到的, 根据该模型来产生数据表甚至比直接测量更具有优势, 但分析模型的方程通常比较冗长和复杂, 用来精确描述在各个工作区段内的器件特征^[5], 因此需要引入拟合参数来改善模型的精度。另一方面, 随着器件尺寸的不断缩小, 使器件的工作机理愈加复杂并使器件建模更富挑战性和高度复杂性; 同时随着载流子沟道长

度与源区和漏区(drain)损耗层尺寸的相近, 也产生了许多新的重要效应, 如一般短沟道效应和窄沟道效应、反向短沟道效应和窄沟道效应、沟道长度调制、漏极感应势垒降低效应(简称DIBL效应)及由垂直电场引起的载流子速率退化效应等。

本文对上述一些现象进行了分析, 研究了深亚微米MOSFET器件的建模和特征提取方法, 所用芯片来自位于爱达荷州的MICRONTM公司, 所用模型为近来较流行的BSIMTM^[6](Berkeley short-channel IGFET model)。需要指出, 尽管基于BSIM的MOSFET建模研究已有报道^[7], 但是系统地、实验性地针对现代深亚微米级的单体器件(最小载流子沟道长度为0.16微米)临界电压模型研究报道还不多, 尤其在短沟道效应研究方面更是这样。

2 试验与测量装置

2.1 器件过程参数

表1给出了MICRONTM短沟道bulk device的过程参数, 其中一些数据直接由制造商提供, 其它则由BSIM模型的缺省值所确定, 这些数据都是根据器件物理特性得到的, 用于BSIM

收稿日期: 2003-02-17; 修回日期: 2004-01-12

基金项目: 江苏省自然科学基金(No. BK2003099); 教育部留学回国人员科研启动基金(No. 教外司[2003]406); 部分受美国国家自然科学基金(No. EPS-9977454)

拟合参数提取.

表 1 MICRONTM公司 MOSFET 器件的过程参数

Name	Description	Value	Note
EPSROX	门极介电常数	3.9 (SO ₂)	提供
TOXE	等效门极氧化物厚度	3.0e - 09m	提供
TOXM	实际门极氧化物厚度	Tox	Tox = TOXE
XI	S/D 结区厚度	1.5e - 07m	缺省
NDEP	沟道载流子浓度	1.7e + 17cm ⁻³	缺省
NSUB	硅基渗入离子浓度	6.0e + 16cm ⁻³	缺省
NSD	Source/drain 渗入离子浓度	1.0e + 20cm ⁻³	缺省
XT	耗散层厚度	1.55e - 7m	缺省

2.2 器件描述

图 1 给出了在实验室测试之用的一个典型单 MOSFET 器件芯片的显微照片. 注意其中有四个接地贴片用来提供晶体管工作所需要的充足电源, 接地贴片的面积为 100 平方微米, 而器件本身则几乎不易察觉地被安置在六个贴片的中心处. 另外图中没有显示基极贴片的位置, 这是因为图 1 只显示了晶圆片上的一个单立 MOSFET, 而实际中每组器件在晶圆片上都配有多个基极贴片, 所以这些基极贴片并不专属于于某个单立器件. 需要指出, 实际测量器件同图 1 具有基本相同结构, 这里不再赘述.

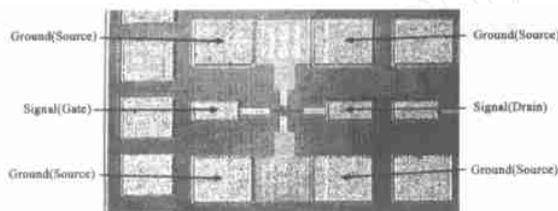


图 1 晶圆片上的典型 MOSFET 器件显微结构

2.3 测试装置与器件测量

本文中基本测试装置是 Microtech 公司的 CascadeTM手动式芯片探针工作台 (Manual probe station). 这是一个多功能试验装置, 可以同时用来测量器件的直流和射频参数. 如图 2 所示, 在检测腔内共有 5 个直流探针和 2 个射频探针. 需要注意, 其中一个直流探针的式样与其他不同, 它从位于照片右下脚中心处深入腔体, 其它四个直流探针可以通过在检测腔内与它们相连的橙色和蓝色导线加以识别.



图 2 实验所用 CascadeTM芯片测试探针工作台, 内含 5 个 DC 探针和 2 个 RF 探针

我们在进行临界电压 (Threshold voltage) 短沟道效应特征提取时, 用 CascadeTM探头工作台来测量所有直流特性. 因此在测量中首先定义四个直流探针分别为基极、门极、漏极和源极端子, 把它们与对应的 MOSFET 管脚贴片相连. 另一方面, 临界电压 V_{th} 在一些情况下可以由漏极电流 I_D 随门极电压 V_G 变化特性得到, 譬如当漏极电压 V_D 不变而基极电压 V_{BS} 取若干固定值, 或者当基极电压 V_{BS} 不变而漏极电压 V_D 取若干固定值等都可实现 V_{th} 提取 (详见后文). 此外实验中使用 HP4155A 半导体参数分析仪进行过程控制和实现数据测量.

3 建模与特征提取

本文基于 BSIMTM对深亚微米级 MOSFET 器件的若干短沟道效应进行了建模和特征提取, 主要结果如下.

3.1 临界电压 V_{th} 提取

目前已有一些关于临界电压 V_{th} 的若干定义. 譬如, 定义临界电压为沟道中反电荷密度为零时的门极电压^[8], 或者使沟道交界面处少数载流子浓度等于耗散层边界处多数载流子浓度时的门极电压^[9], 或者当交界面处的电位等于 $2\phi_b$ 等. 不过本文倾向由 Sun 和 Plummer 提出的“线性外推漏极电流 I_{DS} 至等于 0”^[10]的临界电压定义, 且该定义应用广泛. 然而尽管使用了“外推法”定义, 但众所周知在现代 MOSFET 中, 漏极电流 I_{DS} 一般很难较好满足与门电压 V_{GS} 的线性关系. 考虑“ $I_{DS} \sim V_{GS}$ 线性区”定义在实现过程中的不确定性, 本文最终采用了工程中一种改进的方法^[6]来决定 V_{th} 参数提取. 过程描述如下:

第一步 在低漏极电压 V_{DS} 下测量 $I_{DS} \sim V_{GS}$ 特性 (通常 V_{DS} 小于 0.1V, 典型值取 50mV)

第二步 确定 $I_{DS} \sim V_{GS}$ 曲线的最大斜率, 即确定最大跨导 g_m 点位置

第三步 从最大跨导 g_m 点线性外推 $I_{DS} \sim V_{GS}$ 曲线至 $I_{DS} = 0$ 处

第四步 选取对应的 $I_{DS} = 0$ 点判断 V_{GS} 值 (即 V_{gs0})

第五步 根据下式计算 V_{th} : $V_{th} = V_{gs0} - 0.5 V_{DS}$

事实上 I_{DS} 不满足与 V_{GS} 线性关系的主要原因是, 当门极电压 V_{GS} 明显大于临界电压 V_{th} 时载流子速率降低所致. 采用上述方法后我们消除了 V_{th} 的不确定性, 该方法也被 BSIMTM 模型推荐用于器件的特征提取.

3.2 一般短沟道效应

对于一般的长沟道器件其临界电压与沟道长度 L 无关, 然而人们发现当沟道长度缩短时 MOSFET 的临界电压也随之减小, 该现象就称为一般短沟道效应^[11]. 图 3 给出了 n-型 MOSFET 器件短沟道效应特性曲线, 其中“+”点表示实验数据, 实线表示 BSIMTM 分析模型结果. 从图 3 可以发现, 当载流子沟道长度小于 0.3 μ m 时, 临界电压 V_{th} 随着长度减小而迅速减小, 即意味着对于 MICRONTM 这类器件, 短沟道效应出现在 $L = 0.3\mu$ m. 当沟道长度等于 0.16 μ m 时, 其临界电压值甚至只达到 0.38V, 约为长沟道器件的 40%. 由此认为在短沟道器件中临界电压对沟道长度的依赖性不应被忽视.

上述现象究其原因,当载流子沟道长度接近源/漏交汇区域的几何尺寸或其耗散层厚度时,原先分布在源/漏交汇区域内的空间电荷也开始对载流子通道耗散层的形成作出贡献,从而使短沟道 MOSFET 器件所需要的用来感应反向电荷层的门区电荷密度和门极电压与长沟道器件相比要小得多。实际上当临界电压随沟道长度缩小而急剧降低时,器件甚至会在 $V_{GS} = 0$ 时也可能出现 I_{DS} 的过漏电流现象。

3.3 基板效应

图 4 表示器件的基板效应,其中“o”点表示长沟道(2.5 μm)器件的实验数据,“ Δ ”点表示深亚微米短沟道器件(仅 0.16 μm)的实验数据,虚线表示对应的分析模型结果。

从图中可以看出,当反向基极电压 V_{BS} 增加时,临界电压 V_{th} 也随之增加,这与器件的工作机理相吻合,即反向基极电压增加时,载流子通道中的耗散层厚度也相应增加,或者说在沟道层底下出现了额外的电荷密度 Q_b ,从而需要更大的门极电压来感应更多的门电荷使得半导体器件中的总电量平衡。通常这可以表示为

$$V_{th} = V_{FB} + 2\phi_b - \frac{Q_b}{C_{OX}} \quad (1)$$

其中, V_{FB} 为 flat band 电压, $2\phi_b$ 为门区氧化物与硅基交界表面上的电位(根据临界电压的一般定义,沟道表面电位应等于 $2\phi_b$,其中 ϕ_b 为一个电子的 Fermi 能级电平,它与载流子浓度有关), Q_b 为当沟道耗散层开始变成强反向电荷层时的电量总和,用基极电压可以表示为

$$V_{th} = V_{FB} + 2\phi_b + \sqrt{2\phi_b - V_{BS}} \quad (2)$$

式(2)中 $\sqrt{2\phi_b - V_{BS}}$ 为基板效应系数。比较发现,图 4 中长沟道器件特性与式(2)吻合得较理想。

然而对于图 4 中长度仅有 0.16 μm 的短沟道器件,临界电压随反向基极电压 V_{BS} 的增加变化很小,甚至当 V_{BS} 从 0 伏增加到 3 伏时也是如此。这是深亚微米器件短沟道效应另一个重要现象,原因同前面类似。当沟道长度减小到与源/漏交汇区尺寸相近时,通过基极电压扩展载流子沟道下方的耗散层区域而形成反向电荷层的作用越来越小。根据电荷共用理论知道^[12],并不是所有电力线都是从门区域下方的电荷区发射出来,取而代之,有一部分电力线将终止在位于源极和漏极耗散层区域内的空间电荷上,而在这些地方的源区和漏区耗散层彼此十分接近,在某种程度上已经成为载流子通道的一部

分。因此,考虑到源区/漏区的存在且其耗散层相互接近,即使基极电压 V_{BS} 增加很大,总体上对沟道的等效耗散层区域的分布影响也不大,由此可知,由耗散层决定的临界电压幅值在基极电压变化时仍变化很小,正如图 4 中 0.16 μm MOSFET 器件特性所描述的那样。

3.4 漏极感应势垒降低效应(简称 DIBL 效应)

图 5 同时给出了长沟道和短沟道器件 DIBL 效应的实验数据和 BSIMTM 分析模型结果,测量时取零偏置基极电压。如图所示,当漏极电压 V_{DS} 从 0 伏增加到 3 伏时,长沟道器件($L = 2.5\mu\text{m}$)的临界电压变化很小,意味着临界电压仅由沟道的耗散层区域决定而漏极电压没有任何影响。然而对于短沟道器件($L = 0.2\mu\text{m}$),当漏极电压变化时临界电压 V_{th} 从 0.8V 降到 0.55V,变化量约是长沟道器件的 30%。DIBL 效应对短沟道器件的工作十分重要,因为当临界电压对漏极电压过于敏感时,则该器件只能局限于低压电路中。DIBL 效应的产生机理与表面电位有关,长沟道器件的表面电位是由门电压 V_g 所决定而与 L 或 V_{DS} 无关;当沟道长度缩小时,所产生的表面电位峰值将小于长沟道器件,故而只需较小的门电压 V_g (即临界电压 V_{th}) 就可以使沟道表面电位升到 $2\phi_b$ 。如果此时继续增加漏极电压 V_{DS} ,则将使沿载流子通道分布的表面电位更加减小,从而导致临界电压的进一步降低。同样地,也可以借用电子势垒高度(tr-MOS 器件)以及对应的沿沟道表面的分布电位等概念来解释 DIBL 现象^[6]。

临界电压的减小量可以表示成^[11]

$$V_{th} = \{3(V_{bi} - 2\phi_b) + V_{ds}\}e^{-L/l} + 2\sqrt{(V_{bi} - 2\phi_b)(V_{bi} - 2\phi_b + V_{ds})}e^{-L/2l} \quad (3)$$

对于大 L/l 和小 V_{DS} 情况,式(3)可简化为

$$V_{th} = [2(V_{bi} - 2\phi_b) + V_{ds}](e^{-L/2l} + 2e^{-L/l}) \quad (4)$$

其中 V_{bi} 是源区和漏区之间的固有电位差。式(3)和(4)对于那些有效沟道长度 L_{eff} 和漏极电压 V_{DS} 在较大范围内变化的器件仍然适用(比如, $L = 0.2 \sim 5\mu\text{m}$, $V_{DS} = 0.05 \sim 3.5\text{V}$)

3.5 建模过程

在器件建模中,模型参数是通过采用 BSIMTM 4.0V 规定的临界电压模型对测量数据进行参数提取得到的。本文采用的 BSIM 临界电压模型控制方程可表示为,

$$V_{th} = V_{TH0} + K1(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - K2V_{bs}$$

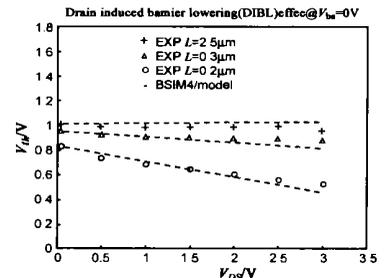
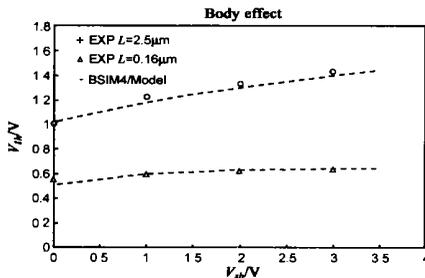
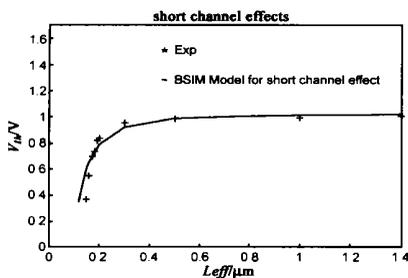


图 3 n 型 MOSFET 器件的一般短沟道效应特性 图 4 长沟道和短沟道器件的基板效应特性 图 5 长沟道和短沟道器件的 DIBL 效应特性

$$\begin{aligned}
& - DVT0 / \exp(-DVT1 \frac{L_{eff}}{2l_t}) \\
& + 2 \exp(-DVT1 \frac{L_{eff}}{2l_t}) (V_{bi} - \phi_s) \\
& - \{ \exp(-D_{SUB} \frac{L_{eff}}{2l_{t0}}) \\
& + 2 \exp(-D_{SUB} \frac{L_{eff}}{2l_{t0}}) \} (E_{TA0} + E_{TAB} V_{bs}) V_{ds} \quad (5)
\end{aligned}$$

其中

$$L_t = \sqrt{S_i X_{dep} / C_{OX}} (1 + DVT2 V_{bs}) \quad (6)$$

$$L_{t0} = \sqrt{S_i X_{dep0} / C_{OX}} \quad (7)$$

$$X_{dep} = \sqrt{\frac{2 S_i (\phi_s - V_{bs})}{q N_{CH}}} \quad (8)$$

$$X_{dep0} = \sqrt{\frac{2 S_i \phi_s}{q N_{CH}}} \quad (9)$$

式(5)中参数 $K1$, $K2$ 表示基板效应, $DVT0$, $DVT1$ 和 $DVT2$ 表示短沟道效应, $DSUB$, E_{TA0} 和 E_{TAB} 表示 DIBL 效应. 根据 BSIM 4.0V, MICRON™ 公司 MOSFET 器件临界电压模型的主要参数如表 2 所示.

4 结论

BSIM 模型是现代半导体芯片、特别是短沟道器件在建模和特征提取中的一种趋势. 然而无论在在国内还是国外, 深亚微米级 MOSFET 建模技术尚未完全成熟, 目前很多大公司正花费许多精力和努力来寻求有效的建模方法. 本文应用 BSIM 对深亚微米 MOSFET 器件的临界电压建模方法进行了研究, 器件采用 MICRON™ 提供的芯片, 其最小沟道长度为 0.16 μ m. 结果显示实验数据和分析模型吻合较好. 更进一步, 本文还分析了与短沟道长度有关的器件机理并解释了一些现象如一般短沟道效应、基板效应以及 DIBL 效应等. 作者相信, 随着 BSIM 技术发展, 新的器件机理和更具鲁棒性的模型将不断补充到 BSIM 中, 使之在器件建模时更加有效.

感谢: 作者在此感谢美国爱达荷州 Boise 州立大学电气工程系 wireless 小组和芯片设计实验室所提供的帮助, 使研究工作得以顺利完成.

参考文献:

- [1] Lee K, et al. Semiconductor Device Modeling for VLSI[M]. New York: Prentice Hall, 1993.
- [2] Arora A. MOSFET Model for VLSI Circuit Simulation[M]. New York: Springer-Verlag, 1994.
- [3] Dutton R. Modeling silicon integrated circuit[J]. IEEE Trans, 1983, ED-30:935-938.
- [4] Shima T. Table Look-up MOSFET modeling system using 2-D device simulator[J]. IEEE Trans, 1983, CAD-2:121-124.

表 2 MICRON™ 公司 MOSFET 芯片关于 BSIM 4.0V 临界电压模型主要参数

Name	Description	Value	Note
VTH0	当 $V_{bs} = 0$ 时, 长沟道临界电压	1.015V	提取参数
VFB	Flat-band 电压	- 0.44V	计算
K1	一阶基板效应系数	0.4V ^{1/2}	提取参数
K2	二阶基板效应系数	- 0.017	提取参数
DVT0	临界电压 V_{th} 短沟道效应第一系数	1.1	提取参数
DVT1	临界电压 V_{th} 短沟道效应第二系数	0.14	提取参数
DVT2	临界电压 V_{th} 短沟道效应的基极偏置电压系数	- 0.07V ⁻¹	提取参数
ETA0	亚临界区域的 DIBL 系数	0.15	提取参数
ETAB	亚临界区域 DIBL 效应中的基极偏置电压系数	- 0.07V ⁻¹	缺省
DSUB	亚临界区域的 DIBL 指数系数	0.18	提取参数
DROUT	依赖 Rout 的沟道长度 DIBL 效应系数	0.18	$DSUB = DROUT$

- [5] Velghe R. Compact MOS modeling for analog circuit simulation[A]. IEEE International Meeting on Electronic Device Proceedings[C]. New York: IEEE Press, 1993. 485-488.
- [6] Cheng Y, et al. MOSFET Modeling and BSIM3 User's Guide[M]. Boston: Kluwer Academic Publishers, 1999.
- [7] Sheu B J. BSIM: Berkeley short-channel IGFET model for MOS transistor[J]. IEEE Journal of Solid-state Circuits, 1987, 22:558-566.
- [8] Lewyn L. An IGFET inversion charge model for VLSI system[J]. IEEE Trans, 1985, ED-32:434-437.
- [9] Perret R F. Field Effect Device[M]. USA: Addison-Wesley, 1983.
- [10] Sun S C, Plummer J D. Extrapolated linear drain current method for threshold voltage[J]. IEEE Trans. 1980, ED-27:1497-2000.
- [11] Liu Z H, et al. Threshold voltage model for deep-submicron MOSFET [J]. IEEE Trans, 1993, ED-40:86-89.
- [12] Yannis T. Operation and Modeling of MOS Transistor[M]. Boston: McGraw-Hill Higher Education, 1999.

作者简介:



赵阳男, 1966 年生于南京, 教授, 博士, 1995 年~1997 年, 1999 年~2000 年以及 2001 年~2002 年分别在东南大学毫米波国家重点实验室、新加坡南洋理工大学 EEE School, 美国爱达荷州 Boise 州立大学作博士后和研究教授, 2002 年 4 月加入南京师范大学电气与电子工程学院, 主要研究兴趣: 半导体芯片的建模和特征提取、电磁兼容等.

Parke Stephen 男, 1960 年生于美国印地安那州, 终身教授, 博士, 曾在 IBM 半导体研究中心工作近 8 年, 1995 年在美国加州大学 Berkeley 分校电气与计算机系获博士学位. 随后加入爱达荷州 Boise 州立大学, 在 IBM 工作期间与同事一起在半导体器件研制方面曾创造多项世界记录, 主要研究兴趣: 集成电路设计、MOSFET 设计与应用等.