

射频锁相环型频率合成器的 CMOS 实现

池保勇, 石秉学, 王志华

(清华大学微电子学研究所, 北京 100084)

摘 要: 本论文实现了一个射频锁相环型频率合成器, 它集成了压控振荡器、双模预分频器、鉴频鉴相器、电荷泵、各种数字计数器、数字寄存器和控制电路以及与基带电路的串行接口。它的鉴频鉴相频率、输出频率和电荷泵的电流大小都可以通过串行接口进行控制, 还实现了内部压控振荡器和外部压控振荡器选择、功耗控制等功能。这些都使得该频率合成器具有极大的适应性, 可以应用于多种通信系统中。该锁相环型频率合成器已经采用 $0.25\mu\text{m}$ CMOS 工艺实现, 测试结果表明, 该频率合成器使用内部压控振荡器时的锁定范围为 $1.82\text{GHz} \sim 1.96\text{GHz}$, 在偏离中心频率 25MHz 处的相位噪声可以达到 -119.25dBc/Hz 。该频率合成器的模拟部分采用 2.7V 的电源电压, 消耗的电流约为 48mA 。

关键词: 锁相环; 频率合成器; 射频; CMOS

中图分类号: TN79+1

文献标识码: A

文章编号: 0372-2112 (2004) 11-1761-05

CMOS Implementation of RF PLL Frequency Synthesizer

CHI Bao-yong, SHI Bing-xue, WANG Zhi-hua

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: An integrated RF PLL frequency synthesizer is presented. It integrates VCO, dual-modulus prescaler, PFD, Charge-pump, various digital counters, control logic and the series interface with the base-band processor into a single chip. Also the selection of internal VCO or external VCO and power control are implemented to adapt to various applications. The frequency synthesizer has been implemented in $0.25\mu\text{m}$ CMOS process. The measured results show that the locked range is $1.82\text{GHz} \sim 1.96\text{GHz}$ when the internal VCO is selected, the phase noise could reach -119.25dBc/Hz at 25MHz offset from the carrier 1.924GHz . The analog part uses a 2.7V power supply and the consumed current is about 48mA .

Key words: PLL; frequency synthesizer; RF; CMOS

1 引言

锁相环型频率合成器是一种在无线通信中得到广泛应用的部件, 它的输出可以作为各种收发机的本地振荡信号, 还可以完成调制、解调和载波恢复等功能^[1]。但是, 锁相环型频率合成器包含了高频模块、低频模块以及数字电路, 是一个非常复杂的数/模/射频混合系统, 它的实现对于发展复杂数/模/射频混合系统的设计方法具有很重要的借鉴意义。

目前实现的集成锁相环的功能是很简单的, 没有考虑多种通信系统的需要以及产品开发的要求^[2]。而且, 在现有的锁相环型频率合成器产品中, 压控振荡器这一关键性的模块被放到了片外^[3]。

本论文实现了一种集成射频锁相环型频率合成器, 它集成了锁相环中的各个功能模块, 并且通过三线串行接口, 可以控制内部的各种数字计数器的计数值以及电荷泵的电流大小。该频率合成器还实现了内/外部压控振荡器的选择功能,

当系统要求很高时, 它使用片外的压控振荡器, 可以得到优良的相位噪声性能; 在对性能要求不是非常高的场合, 它使用内部的压控振荡器, 这样扩大了该频率合成器的应用范围。该频率合成器各个模块的偏置由内置的恒跨导源提供, 并实现了功耗控制功能。

2 总体结构

图 1 给出了该频率合成器的总体结构, 它主要由压控振荡器 (VCO)、双模预分频器 ($N/(N+1)$)、三个可编程计数器 (P 计数器、S 计数器、R 计数器)、鉴频鉴相器 (PFD)、电荷泵、环路滤波器、与基带电路的串行接口和几个内部寄存器组成。假设晶体振荡器的振荡频率为 f_{REF_IN} , 对它进行分频的 R 计数器的分频比为 M , 由 P 计数器、S 计数器和双模预分频器组成的模块的分频比为 K , 则频率合成器的输出频率应为:

$$f_{VCO} = \frac{K}{M} f_{REF_IN} \quad (1)$$

收稿日期: 2004-01-18; 修回日期: 2004-06-15

基金项目: 国家重大基础研究 (973) 项目 (No. G2000036508)

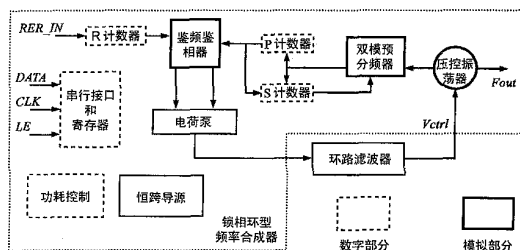


图1 锁相环型频率合成器的总体结构

由式(1)可知,通过对R计数器、P计数器和S计数器进行编程改变M和K的数值,VCO可以输出所需要的各种频率,这些频率之间的最小间隔为 f_{REF_IN}/M 。

由P计数器、S计数器和双模预分频器组成的模块是电路中一个很关键的模块,该模块对压控振荡器输出的信号进行分频,其分频比为^[2]:

$$K = (N+1) \cdot S + N \cdot (P-S) = P \cdot N + S \quad (2)$$

对P、S和R计数器进行编程的数据通过三线串行接口送入,并由内部的寄存器寄存。内部寄存器除了控制R、S和P三个计数器的分频比外,还控制着整个频率合成器的工作模式,包括双模预分频器分频模式选择、电荷泵电流设置、VCO调谐特性选择(正调谐特性/负调谐特性)、复用输出端控制以及电荷泵的测试模式选择等。内部寄存器的内容通过三线串行接口(CLK、DATA和LE)写入,这样就可以通过基带处理器来控制频率合成器的工作。功耗管理模块给各个子模块提供使能信号,根据应用需要使某些子模块处于不工作状态,以节省系统功耗。

从图1可以看出,该频率合成器由数字和模拟两部分组成,在设计中存在数字和射频/模拟混合集成问题。如何避免数字部分的噪声对关键性的模拟模块(尤其是VCO)的影响,是集成锁相环面临的主要挑战。

3 电路实现

该频率合成器集成了一个在片压控振荡器,它的电路图

如图2所示。补偿LC回路能量损耗的互补耦合对仅由两个NMOS管M1和M2构成,其跨导主要由LC元件的品质因子来决定。L1和L2是3.5圈的非对称在片螺旋型电感,电感量约为3.740nH,在2GHz时的品质因子约为7.4。D1和D2是P+扩散区和N阱形成的变容管,它工作于反向偏置区。M0是由偏置电压VPB控制的尾电流源,为了减小噪声对相位噪声的影响,M0使用了长

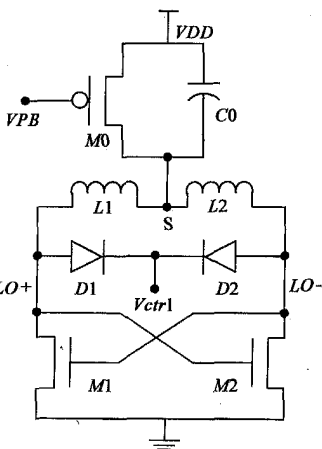


图2 内部压控振荡器的电路图

沟道的PMOS管,10pF的滤波电容C0为S节点的高次谐波提供到交流地的低阻抗通道,可以衰减尾电流源产生的高频噪声成分,提高压控振荡器的相位噪声性能^[4]。VPB是由恒跨导源产生的偏置电压,通过使用恒跨导源,可以使得M1和M2的跨导不受温度变化和电源电压变化的影响而保持恒定,这样互补耦合对产生的负阻也可以保持恒定,从而减少了温度变化和电源电压变化对压控振荡器输出幅度和相位噪声的影响。同时,VPB还是该压控振荡器的使能控制端,当VPB的电压为VDD时,该压控振荡器将不工作。

在性能要求较高的系统中,该频率合成器还可以使用片外的高性能压控振荡器,这时内部压控振荡器不工作。在这种情况下,还需有一内/外部压控振荡器模式的选择电路,如图3所示。其中,由MS1和RS5构成的共源放大器对内部压控振荡器的输出信号进行放大,并将后级电路与内部压控振荡器隔离,避免后级电路对内部压控振荡器的影响。外部压控振荡器信号从共栅级工作的晶体管MS12的源端进入,通过调节MS12的跨导,可以实现外部压控振荡器信号输入端的阻抗匹配。由恒跨导源(控制VP2的电平)和MS13~MS16构成的偏置电路为MS11和MS12提供偏置。从内部压控振荡器或者从外部压控振荡器来的振荡信号(通过功耗控制信号进行控制,内/外部压控振荡器模式中仅有一种模式处于工作状态)通过MS5~MS8组成的输出/输入耦合反相器耦合到同一节点,然后由MS10和在片电感LS1组成的LC调谐放大器进行放大,放大后的信号送往双模预分频器的输入端。该电路还实现了使能控制,根据使能信号和内/外部压控振荡器选择信号的逻辑电平,控制各个子电路的工作状态,从而可以减小不必要的功耗并避免各信号之间的干扰。EN1B、EN1和ENP是功耗控制信号,由功耗控制模块产生,VP2是由片上集成的恒跨导源产生的偏置信号。CS3~CS4都是在片隔直电容,可以避免各个模块的直流工作点互相干扰。

该频率合成器使用在片恒跨导源来给各个子模块提供偏置,这样各个子模块的跨导可以保持恒定,减少了电源电压变化和温度变化对各个子模块电路性能的影响^[5]。

该频率合成器中的双模预分频器采用了动态电路技术^[6],其方框图如图4所示,它由或非门触发器NOR、DFF1、NOR、DFF2和D触发器DFF构成的同步4分频/5分频的分频器(图中虚线框内)、异步计数器和控制逻辑器三部分组成。

同步4分频/5分频的分频器是整个双模预分频器中最关键的部分,它的速度直接决定了双模预分频器所能达到的最高工作频率,它的功耗也决定了整个电路的功耗水平。目前将与或非门和D触发器耦合在一起组成与非门触发器来实现双模选择是最常用的技术^[7]。但是,当同步分频器采用PMOS管预充的动态电路技术时,放电通道上有两个串联的NMOS管,串联的MOS管必将增加电路的延时,降低了电路的工作速度。考虑到两并联NMOS管的延时必将小于两串联的NMOS管,提出将或非门和D触发器耦合组成或非门触发器来实现双模选择的新分频器结构。相比于文献中采用的由两串联NMOS管构成放电通道的方案^[7],该方法可以减小触发器的

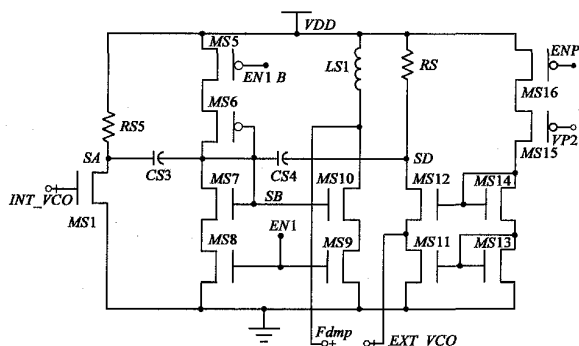


图 3 内/外部压控振荡器模式的选择电路及它们与双模预分频器的接口电路

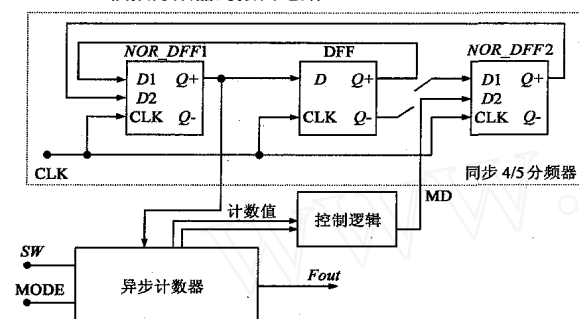


图 4 双模预分频器的方框图

放电时间,提高电路的工作速度。将或非门和 D 触发器耦合,使得逻辑门和快速存储元件只引入同一延时,从而可以降低同步分频器的传输延时,提高电路的工作速度。异步计数器是由五个级联的 TSPC 触发器构成的触发器链^[8],它具有很低的功耗,并且不会产生毛刺。控制逻辑器控制同步分频器的分频比并选择输出频率。它的功能是控制同步 4 分频/5 分频分频器的分频比和该双模预分频器的输出模式。由于该双模预分频器采用了或非门触发器,控制逻辑不同于采用与非门触发器的双模预分频器。

晶体振荡器和压控振荡器的输出信号经分频后,送往鉴频鉴相器。该频率合成器采用了“消除死区”的鉴频鉴相器结构,通过引入由 5 个反相器组成的延时单元,避免了鉴频鉴相器的“零点死区”问题^[2]。鉴频鉴相器的输出经过逻辑控制模块产生电荷泵的控制信号。为了减轻电荷注入问题引起的毛刺,该频率合成器采用了文献[2]提出的电荷泵结构。它的电流源和电流沉可以通过两个控制信号来选择 ($I_0, 2I_0, 3I_0, 4I_0$) 四种电流值中的一个,其中 I_0 为基准电流,设计值为 0.1mA,控制信号由内部寄存器寄存,这样基带处理器通过三线串行接口可以控制电流源和电流沉的电流值,从而控制锁相环型频率合成器的环路特性。在压控振荡器调谐曲线的线性度不好时,通过这种办法调节电荷泵的电流值还可以起到非线性化处理的作用^[2]。

为了减少芯片面积,该频率合成器的环路滤波器是由薄片元件来实现的,它和电荷泵组合,可以形成四阶二型的环路滤波网络。为了了解环路滤波网络对频率合成器噪声和动态

特性的影响,我们首先要推导出该频率合成器的开环电路增益。图 5 给出了频率合成器的简单分析模型。其中, K_d (约为 $\frac{1}{2}$) 是鉴相器的增益因子; I_p 为电荷泵的电流; K_v 为压控振荡器的调谐系数; $1/N$ 是分频器的传输函数。图 5 中还加入了电路中低频模块产生的噪声源。其中, di_{np}^2 是电荷泵产生的噪声,它来源于电荷泵的非理想特性, $di_{R_1}^2$ 和 $di_{R_2}^2$ 是环路滤波器中两个电阻产生的热噪声。

令 $1 = R_1 C_1$, $2 = R_2 C_3$, 由图 5 可以得到频率合成器的开环传输函数为:

$$G(s) = \frac{I_p}{2} \cdot \frac{K_v}{N} \cdot \frac{(1+s)}{s^2 [s^2 C_2 (1+2s) + s(C_2 + C_3) + C_1] + C_1 + C_2 + C_3} \quad (3)$$

它有一个零点和四个极点,其中两个极点处于零频率处。

令 $|G(j\omega)| = 1$, 可以求得环路带宽 ω_c 应该满足的条件:

$$\frac{I_p}{2} \cdot \frac{K_v}{N} \cdot \frac{1 + (1/\omega_c)^2}{N(A(1/\omega_c)^2 + (1 - B(1/\omega_c)^2)^2)} = C_1 (1 + \frac{C_2}{C_1} + \frac{C_3}{C_1})^2 \omega_c^2 \quad (4)$$

其中,

$$A = \frac{\frac{C_2}{C_1} + \frac{C_3}{C_1} + \frac{2}{1} (1 + \frac{C_2}{C_1})}{1 + \frac{C_2}{C_1} + \frac{C_3}{C_1}}, B = \frac{\frac{C_2}{C_1}}{1 + \frac{C_2}{C_1} + \frac{C_3}{C_1}} \quad (5)$$

从 $G(j\omega)$ 的幅角可以求得该频率合成器的相位裕度:

$$PM = \tan^{-1}(\omega_c) - \tan^{-1}(\frac{A(1/\omega_c)^2}{1 - B(1/\omega_c)^2}) \quad (6)$$

为了保证环路的稳定性,一般要求相位裕度大于 45 度,即:

$$PM > 45^\circ \quad (7)$$

公式(4)~(7)仅提供了两个限制条件,在选择 $\frac{C_2}{C_1}$ 、 $\frac{C_3}{C_1}$ 和 $\frac{2}{1}$ 以及 C_1 和 ω_c 的值时,我们就有了三个自由度,可以尽量增大环路滤波网络对各种噪声的抑制作用而不影响该频率合成器的相位裕度和环路带宽。

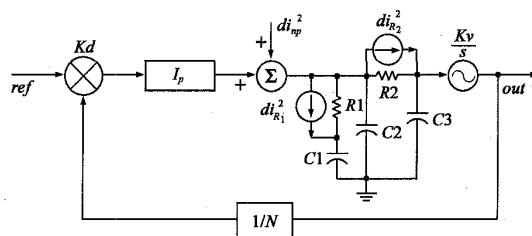


图 5 锁相环型频率合成器的简单分析模型

假设电荷泵中的电流源和电流沉产生的噪声电流均为 di_n^2 , 在锁相环锁定情况下,在每一次鉴相过程中,电流源和电流沉在一段短时间内同时工作,假设该时间段占的比例为 p ,则电荷泵产生的噪声电流为:

$$di_{np}^2 = 2 \cdot p \cdot di_n^2 \quad (8)$$

由图 5 可以推导出由于电荷泵引入的单边带相位噪声功率谱

密度为:

$$p(f) = \frac{2}{2} \cdot \left(\frac{K_V}{C_2} \right)^2 \cdot \frac{1}{2} \cdot d_n^2 \quad (9)$$

离片的环路滤波器中电阻 R_1 和 R_2 会产生热噪声 $dv_{R_{1,2}}^2 = 4kTR_{1,2} \cdot df$, 由图 5 可以推导出由于这两个电阻引入的单边带相位噪声功率谱密度分别为:

$$R_1 f \quad f = \frac{1}{2} \cdot \left(\frac{K_V}{C_2} \right)^2 \cdot \frac{4kT}{R_1} \quad (10)$$

$$R_2 f \quad f = \frac{1}{2} \cdot \left(\frac{K_V}{C_3} \right)^2 \cdot \frac{4kT}{R_2} \quad (11)$$

在设计环路滤波器各元件的数值时, 必须尽量减少环路滤波器所引入的噪声. 在各元件取值受到限制的条件下, 最后实现的环路滤波器中各元件的数值为: $R_1 = 15\text{K}$, $C_1 = 200\text{pF}$, $C_2 = 10\text{pF}$, $R_2 = 2\text{K}$, $C_3 = 2\text{pF}$, 这时环路带宽约为 100kHz , 相位裕度约为 51° . 将各种参数代入式 (9) ~ (11), 并且假设 $K_V = 100\text{MHz/V}$, $T = 300\text{K}$, $p = 0.1$, 则:

$$\begin{aligned} p(f) 3\text{MHz} &= -114.38\text{dBc/Hz} \\ R_1 \{3\text{MHz}\} &= -115.17\text{dBc/Hz} \\ R_2 \{3\text{MHz}\} &= -114.90\text{dBc/Hz} \end{aligned} \quad (12)$$

4 测试结果及其分析

该频率合成器已经采用 $0.25\mu\text{m}$ CMOS 工艺实现, 其芯片显微照片如图 6 所示. 在同一个芯片上还集成了一个中频频率合成器. 该芯片的总面积约为 $1.9 \times 1.9\text{mm}^2$, 其中射频频率合成器的模拟部分占用的芯片面积约为 $0.7 \times 1.5\text{mm}^2$, 从图 6 中可以看出, 三个在片电感占了很大的芯片面积.

射频频率合成器使用 11.0592MHz

图 6 锁相环型频率合成器的芯片显微照片

的晶体振荡器作为参考频率源, 为了得到大约 1MHz 的信道带宽, 在内部对该频率源进行了 11 分频, 实际的参考频率是 1.0053818MHz . 通过控制 P 计数器和 S 计数器的计数值, 可以调节该频率合成器的输出频率. 低频率的参考频率源会给射频频率合成器的输出频谱带来谐波, 并增加振荡信号的相位噪声. 当该频率合成器应用到实际系统中时, 应该根据信道带宽的要求, 选择尽可能高的实际参考频率.

内部压控振荡器的振荡频率可以在 $1.77\text{GHz} \sim 2.00\text{GHz}$ 范围内变化, 但该频率合成器的锁定范围仅为 $1.82\text{GHz} \sim 1.96\text{GHz}$. 为了观察频率合成器的锁定状态, 鉴频鉴相器两个输入端的波形通过一个复用端口引出, 并用示波器进行观测. 图 7(a) 是压控振荡器输出信号分频后的波形, 图 7(b) 是晶

体振荡器输出信号分频后的波形. 它们的频率是相等的, 说明整个频率合成器已经进入锁定状态.

图 8 给出了该锁定状态下用频谱仪测到的输出信号的相位噪声曲线 (输出频率为 1.924GHz). 当偏离中心频率的数值大于环路带宽 (约 100kHz) 但小于 3MHz 时, 频率合成器的相位噪声主要是由内部压控振荡器的噪声上变频而产生的, 处于 w^{-3} 区域, 以 30dB/dec 的速率下降, 在偏离中心频率 3MHz 处的相位噪声达到 -100.83dBc/Hz . 在该频率以外, 该频率合成器的相位噪声进入 w^{-2} 区域, 以 20dB/dec 的速率下降, 这时噪声主要来源于内部压控振荡器各元件的热噪声, 采用外插法, 可以推导出在偏离中心频率 25MHz 处的相位噪声约为 -119.25dBc/Hz , 这已经可以满足

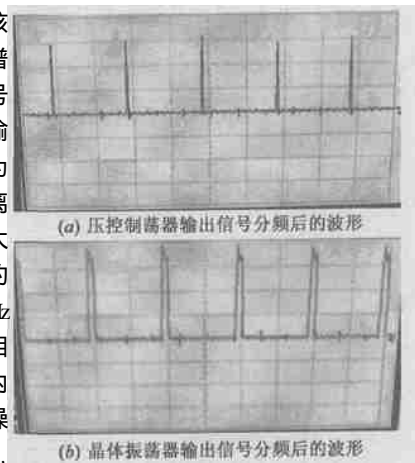


图 7 鉴频鉴相器两个输入端的波形 (横轴每一格为 500ns , 纵轴每一格为 1.0V)

IEEE802.11b 对频率合成器相位噪声的要求 (在离中心频率 25MHz 处的相位噪声性能应优于 -118.4dBc/Hz). 当偏离频率位于环路带宽以内时, 该频率合成器的相位噪声主要来源于参考频率源和内部压控振荡器, 在偏离中心频率 30kHz 处, 相位噪声达到最大值, 约为 -57dBc/Hz .

该频率合成器的数字电路部分采用 2.5V 电源, 模拟部分采用 2.7V 电源, 模拟部分消耗的总电流约为 48mA . 各个模块所消耗的电流分别为: 内部压控振荡器约 3.2mA ; 两个内部压控振荡器的输出缓冲电路约 16mA ; 内部压控振荡器和双模预分频器的接口电路约 10.5mA ; 双模预分频器约 15.7mA ; 鉴频鉴相器和电荷泵约 2.5mA ; 恒跨导源约 0.1mA .

该频率合成器的数字电路部分采用 2.5V 电源, 模拟部分采用 2.7V 电源, 模拟部分消耗的总电流约为 48mA . 各个模块所消耗的电流分别为: 内部压控振荡器约 3.2mA ; 两个内部压控振荡器的输出缓冲电路约 16mA ; 内部压控振荡器和双模预分频器的接口电路约 10.5mA ; 双模预分频器约 15.7mA ; 鉴频鉴相器和电荷泵约 2.5mA ; 恒跨导源约 0.1mA .

5 结论

本论文实现了一个射频锁相环型频率合成器, 它集成了压控振荡器、双模预分频器、鉴频鉴相器、电荷泵、各种数字计数器、数字寄存器和控制电路以及与基带电路的串行接口. 该

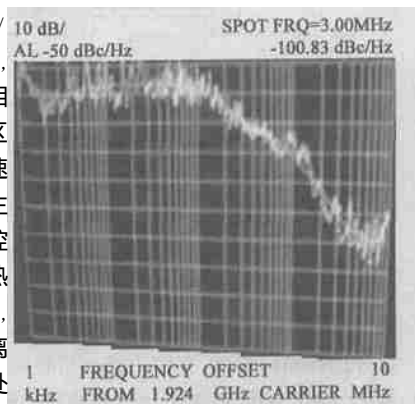


图 8 射频频率合成器输出信号的相位噪声曲线

频率合成器的参考频率、输出频率和电荷泵的电流大小都可以通过串行接口进行控制,而且还实现了内部压控振荡器和外部压控振荡器选择、功耗控制等功能,这些都使得该频率合成器具有极大的适应性,可以应用于多种通信系统中。

参考文献:

- [1] R E Best. 锁相环原理、设计及其应用[M]. 刘顺英,译. 北京:人民邮电出版社,1988.
- [2] J Craninckx, M Steyaert. Wireless CMOS Frequency Synthesizer Design [M]. Netherlands: Kluwer Academic Publishers, 1998.
- [3] Intersil. 2.4GHz RF/IF Converter and Synthesizer Data Sheet[Z]. ISL3685, 2001.
- [4] A Hajimiri, T H Lee. Design issues in CMOS differential LC oscillators [J]. IEEE Journal of Solid-State Circuits, 1999, 34(5): 717 - 724.
- [5] H Samavati. A FULLY INTEGRATED 5GHz CMOS WIRELESS-LAN RECEIVER[D]. USA: Stanford University, 2001.
- [6] Baoyong Chi, Bingxue Shi. A novel CMOS dual-modulus prescaler based on new optimized structure and dynamic circuit technique[J]. 半导体学报, 2002, 23(4): 357 - 361.
- [7] C Y Yang, G K Dehng, J M Hsu, S I Liu. New dynamic flip-flops for high speed dual-modulus prescaler[J]. IEEE Journal of Solid-State Circuits, 1998, 33(10): 1568 - 1571.
- [8] Q Huang, R Rogenmoser. Speed optimization of edge-triggered CMOS

circuits for gigahertz single-phase clocks[J]. IEEE Journal of Solid-State Circuits, 1996, 31(3): 456 - 465.

作者简介:



池保勇 男,博士,助研,研究方向为模拟和射频前端电路设计。



石秉学 男,教授,博士生导师,研究方向包括数模混合信号设计、人工神经网络和模糊逻辑的 VLSI 实现,DC-DC 变换器和射频电路设计技术。

王志华 男,教授,博士生导师,主要研究方向包括 CMOS 模拟、数模混合及射频集成电路技术、通信专用集成电路设计、数字音频及视频信号处理及专用集成电路、电子系统集成及片上系统。