

一种用于高速 A/D 转换器的高精度参考电压电阻网络

王 萍, 石 寅

(中国科学院半导体研究所, 北京 912 信箱, 北京 100083)

摘 要: 提高分压电阻网络输出参考电压的精度对设计高速 A/D 转换器有重要意义. 本文基于对参考电压非线性误差的分析提出一种并联式高精度参考电压电阻网络, 给出其输出参考电压在最坏情况下的非线性误差分布形式. 详细的讨论以及模拟结果表明无需补偿电路, 并联式电阻网络通过减少支路电阻串上的电阻数目能有效地抑制由于负载效应造成的参考电压非线性误差, 使得输出参考电压的精度明显提高, 同时稳定速度加快, 驱动负载能力强, 对温度的灵敏度低, 适合于多种结构的高速 A/D 转换器, 如: 全并行、分步式、折叠式等.

关键词: 参考电压电阻网络; 负载效应; A/D 转换器

中图分类号: TN431 文献标识码: A 文章编号: 0372-2112 (2000) 12-0048-04

A High Precision Reference Resistor Ladder for High speed A/D Converters

WANG Ping, SHI Yin

(Institute of Semiconductors, Chinese Academy of science, P. O. Box 912, Beijing 100083, China)

Abstract: It is significant to increase the precision of reference voltages produced by the reference resistor ladder at the front end of high speed A/D converters. To suppress nonlinear errors caused by the loading effect on the resistor ladder, a kind of parallel resistor ladder with fewer resistors on each branch is proposed. The error distribution of reference voltages along the parallel resistor ladder is also given. Without any compensation circuit, obvious precision improvement of reference voltages is achieved in addition to another advantages of faster settling speed, strengthened driving capability and lower temperature sensitivity. Both detailed analysis and simulation results show that it is very suitable for the use in high speed A/D converters such as flash, multi step and folding architectures, etc.

Key words: reference resistor ladder; loading effect; A/D Converter

1 引言

近年来, 数字信号系统的广泛应用促进了对高速 A/D 转换器的研究. 各种结构不同的高速 A/D 转换器均采用分压电阻串来产生前端的参考电压, 然而, 通常的参考电压电阻串在实际应用中并不能得到理想的输出, 即在整个量程范围内大小固定且线性分布的参考电压. 实际上由于后续电路对参考电压电阻串的负载效应将造成参考电压分布的两种非线性现象: 直流 DC 弯曲和瞬态交流 AC 弯曲^[1~3]. 这类非线性偏差往往比由元件失配造成的误差大许多, 是导致转换器产生积分非线性的重要误差源, 尤其对于转换器精度要求更高的应用场合问题更为突出, 因此在高速 A/D 转换器的设计中必须加以抑制. 克服这一问题的传统方法是采用补偿电阻串和缓冲运算放大器组合成电流补偿电路在某些内插参考电压节点

处进行补偿^[4]. 然而考虑到负载基极电流的温度特性, 精确地跟踪补偿是有一定限度的^[2]. 对于采用差分参考电压电阻串的全差分高速 A/D 转换器非线性误差转变成了增益误差, 要靠增益调节电路来校正^[5]. 一些 CMOS 分步式 A/D 转换器采用所谓“Intermeshed”参考电压电阻网络^[6], 每段细分电阻串分别并联在粗分电阻串各个对应电阻的两端, 通过对粗分和细分电阻阻值匹配精度的优化将两种电阻串总的负载效应影响约束到所需要的转换精度范围以内.

本文首先研究了与输入信号相关的参考电压非线性误差, 并基于此提出了一种并联式结构的高精度参考电压电阻网络, 给出其输出参考电压在最坏情况下的非线性误差分布形式. 而后详细讨论了该电阻网络对非线性误差的抑制性能, 以及瞬态响应速度. 最后考虑实际设计过程中阻值失配以及温漂的影响.

2 传统参考电压电阻串的非线性误差

高速全并行 A/D 转换器中的比较器、折叠转换器中的折叠预处理电路以及基于模拟开关的分步式转换器中的模拟开关都会对参考电压电阻串产生负载效应。图 1 所示的全并行 A/D 转换器传统的参考电压电阻串模型由 n 个阻值为 r 的电阻串联在参考电源 V_+ 和 V_- 之间, 其输出参考电压驱动 $n-1$ 个比较器。当待转换的输入模拟信号 V_{in} 位于参考电压链上 $V_p > V_{in} \geq V_{p+1}$ 的位置时, 位于 V_{in} 上部的比较器连接参考电压的输入管导通, 将从电阻串上抽取基极电流 I_b , 而位于下部的比较器连接参考电压的输入管截止, 没有基极抽取电流。假设理想情况下流经各电阻的电流均是 I , 任意节点 m 处输出的参考电压 V_m^0 应满足线性分布; 实际当考虑 V_{in} 上部比较器基极电流 I_b 的影响时, 参考电压与理想值之间存在一个偏差 $\Delta V_m = V_m^0 - V_m$ 。对该偏差简要的理论分析如下: 从图 1 不难看出理想情况下

$$V_+ - V_m^0 = m \cdot I \cdot r \quad (1)$$

考虑负载效应后有

$$V_+ - V_m = \left(\sum_{k=1}^m i_k \right) \cdot r \quad (2)$$

其中, i_k 为实际流过第 k 个电阻上的静态电流。

$$\begin{aligned} \text{当 } m \leq p+1 \text{ 时, } V_+ - V_m &= \left[m \cdot i_1 - \frac{m \cdot (m-1)}{2} \cdot I_b \right] \cdot r \quad (3a) \\ \text{当 } m > p+1 \text{ 时, } V_+ - V_m &= \left[m \cdot i_1 - \frac{(2m-p-1) \cdot p}{2} \cdot I_b \right] \cdot r \quad (3b) \end{aligned}$$

$$\text{其中, } i_1 = I + \frac{(2n-p-1) \cdot p}{2n} \cdot I_b \quad (4)$$

由式(1)~(3)得到偏差 $\Delta V_m = V_m^0 - V_m$ 的表达式为:

$$\text{当 } m \leq p+1 \text{ 时, } \Delta V_m = \frac{m}{2} \left[\frac{(2n-p-1) \cdot p}{n} - (m-1) \right] \cdot I_b \cdot r \quad (5a)$$

$$\text{当 } m > p+1 \text{ 时, } \Delta V_m = \frac{p \cdot (p+1) \cdot (n-m)}{2n} \cdot I_b \cdot r \quad (5b)$$

式(5a)和(5b)分别反映出参考电压大于输入信号的节点其误差逐渐积累, 而参考电压小于输入信号的节点对积累的误差逐渐平均, 于是, 对应给定的 p 值, 参考电压误差分布函数 ΔV_m 应有一个峰值, 如图 2 所示。图中还表明参考电压的误差分布 ΔV_m 与模拟信号的大小相关, 即与模拟信号在参考电压链上的位置 p 相关 ($m = 0, 1, \dots, n; p = 0, 1, \dots, n-1$), 随着 p 值的增大, 模拟输入减小, 该峰值逐渐由参考电压的低端向中间移动, 并且幅值迅速增大直至达到误差峰值 $\Delta V_{m, \max}$, 如图中虚线所示。这是因为随着模拟输入的减小有

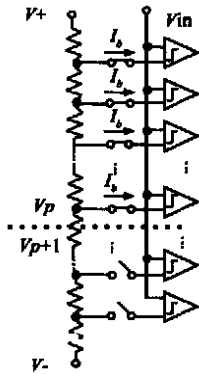


图 1 传统参考电压电阻串误差模型

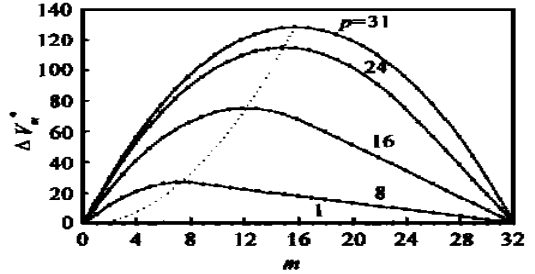


图 2 归一化的参考电压误差分布

$$\Delta V_m^* = \Delta V_m / (I_b \cdot r), n = 32$$

当峰值误差最大时 V_{in} 位于参考电压链底端, $p = n-1$, 是最坏的输入情况, 于是得出最坏情况下的误差分布:

$$\Delta V_{m, \max} = \left[\frac{(n-m) \cdot m}{2} \right] \cdot I_b \cdot r \quad (6)$$

它具有与实际直流 DC 弯曲一致的二次曲线特性^[4], 其最大峰值误差位于中点 $m = n/2$ 处, 大小正比于 n^2 :

$$\Delta V_{\max, \text{ws}} = (n^2/8) \cdot I_b \cdot r \quad (7)$$

为使转换器达到 1/2LSB 的积分线性要求必须限制最大峰值误差 $\Delta V_{\max, \text{ws}}$ 在以下范围内:

$$\Delta V_{\max, \text{ws}} < V_{FS} / 2^{N+1} \quad (8)$$

其中 V_{FS} 为参考电压范围, N 为所需的参考电压精度位数; 例如对于全并行 A/D 转换器有 $N = \log_2(n)$ 。

根据式(3)减小基极电流 I_b 和电阻 r 可以线性地减小误差峰值, 然而 I_b 的减小要受比较器差分输入级电流偏置的限制, 因此只能在不影响比较器速度性能的前提下折中考虑; 减小 r 则受工艺水平的限制。通常采取的方法是利用电流补偿原理, 将连接在一个补偿电阻串上的若干个缓冲运放的输出端内插在参考电压电阻串上, 利用缓冲运放的输出电流抵消补偿比较器基极电流。考虑基极电流的温度特性后精确地跟踪补偿是有一定限度的; 此外, 随着转换器精度的提高, 用于补偿的电阻及缓冲运算放大器的数目将增加。

参考电压的交流 AC 弯曲是由于高频变化的输入模拟信号通过比较器寄生电容的馈通作用, 在参考电压上迭加了一个瞬态的误差信号。假定输入模拟信号改变了 ΔV_{in} , 对于双极型比较器由寄生电容馈通造成的动态负载电流可表示为 $sC\Delta V_{in}$, 其中 s 是复频率, C 是等效馈通电容。类似于 DC 弯曲的分析估算瞬态误差 $\Delta V_a \propto n^2 sC\Delta V_{in}$ 。由于该误差也正比于 $n^{2/2}$, 当比较器数目很大时交流 AC 弯曲的影响会十分明显。

注意到随着转换器精度的进一步提高, 直流 DC 弯曲和瞬态交流 AC 弯曲都将随 n^2 的速度迅速增大, 因此降低误差最有效的途径就是减小电阻串上电阻数目。下面研究通过这种途径来抑制峰值误差的并联式高精度参考电压电阻网络。

3 并联式参考电压电阻网络及其误差分析

新型参考电压电阻网络采用多串电阻并联的方式。假定转换精度为 N 位, 并联电阻串数目为 k , 则每个并联支路需输出 n/k 个参考电压, 其中 $n = 2^N$ 。设计第一支路是一个含

n/k 个阻值为 r 的等值电阻串, 其它 $k-1$ 个支路除了中间 $n/k-1$ 个阻值为 r 的等值电阻以外, 首尾还有两个偏置电阻 r_+ 和 r_- 分别用来偏置各个支路的始末参考电压, 并且满足 $r_+ + r_- = r$. 图 3 显示 $k=4$ 时并联式电阻网络的形式, 其中偏置电阻 $r_{1-}:r_{2-}:r_{3-}=r_{3+}:r_{2+}:r_{1+}=1:2:$

3. 下面对这种分压电阻网络进行最坏情况下误差分析.

理想情况下任意一个分压电阻串支路上的任意节点 m 处的参考电压误差可表示为:

$$V_+ - V_{m,ws}^0 = [(m-1) \cdot r_+ + r_+] \cdot I \quad (9)$$

考虑负载效应后有

$$V_+ - V_{m,ws} = [(m-1) \cdot r_+ + r_+] \cdot i_+ - \frac{m \cdot (m-1)}{2} \cdot I_b \cdot r \quad (10)$$

其中

$$i_+ = I + \frac{n'}{(n'-1) + \frac{r_+}{r} + \frac{r_-}{r}} \cdot \left(\frac{r_-}{r} + \frac{n'-1}{2} \right) \cdot I_b \quad (11)$$

及 $n' = n/k$.

由式(9)~式(10)得到在最坏情况下任意一个分压电阻串支路上的任意节点 m 处的参考电压误差分布 $\Delta V_{m,ws}(m)$ 的表示式为:

$$\frac{\Delta V_{m,ws}}{I_b \cdot r} = \frac{n' \cdot \left[(m-1) + \frac{r_+}{r} \right] \cdot \left(\frac{r_-}{r} + \frac{n'-1}{2} \right)}{(n'-1) + \frac{r_+}{r} + \frac{r_-}{r}} - \frac{m(m-1)}{2} \quad (12)$$

将 $r_+ + r_- = r$ 代入上式, 得到

$$\frac{\Delta V_{m,ws}}{I_b \cdot r} = \left[(m-1) + \frac{r_+}{r} \right] \cdot \left(\frac{n'+1}{2} - \frac{r_+}{r} \right) - \frac{m(m-1)}{2} \quad (13)$$

特别地, 当 $r_+ = r$ 时上式描述含 n' 个等值电阻的第一支路的误差分布:

$$\Delta V_{m,ws} / (I_b \cdot r) = (m(n' - m)) / 2 \quad (14)$$

根据式(13)误差分布的峰值位于 $m = \frac{n'}{2} + 1 - \frac{r_+}{r}$ 处, 大小为:

$$\Delta V_{m,ws} = \left[\frac{n'^2}{8} + \frac{r_+}{2r} + \frac{1}{2} \left(\frac{r_+}{r} \right)^2 \right] \cdot I_b \cdot r \quad (15)$$

该式显示误差峰值与偏置电阻阻值有关. 注意到 $0 < r_+/r \leq 1$, 当 $r_+/r = 1/2$ 时峰值达到最大而当 $r_+/r = 1$ 时峰值达到最小, 最大和最小峰值分别为:

$$\Delta V_{\max,ws} = \frac{n'^2 + 1}{8} \cdot I_b \cdot r \quad (16a)$$

$$\Delta V_{\min,ws} = \frac{n'^2}{8} \cdot I_b \cdot r \quad (16b)$$

由于 $n' \gg 1$, 上面两式表明各电阻支路上误差峰值的变化范围很小, 仅仅相差 $1/8 I_b r$ 可以忽略, 而误差分布形状相

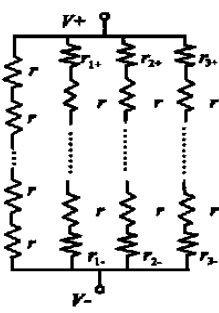


图3 $k=4$ 并联式参考电压电阻网络

同, 因而可以用含 n' 个等值电阻的第一支路来代表整个电阻网络的误差特性.

对比式(16b)和式(7)得出如下结论: 由于 $n' = n/k$, 并联式参考电压电阻网络的 DC 弯曲比传统电阻串减小到 $1/k^2$. 鉴于并联支路上的总电阻均是相同的 $R = n' \times r/k$, 当各支路上的总电阻减小 k 倍以后, 支路电流相应增大 k 倍使得驱动负载能力大大提高; 同时, 由于误差的积累与平均使误差分布具有二次曲线特性, 致使误差峰值以 k^2 的速度下降. 图 4 给出 $N=5, k=1, 2, 4$ 时分压电阻网络最坏情况下误差分布. 可以看到, 随着并联支路数目 k 增加, 误差峰值迅速减小同时误差分布趋向平缓, 表明误差与模拟信号的相关性减弱.

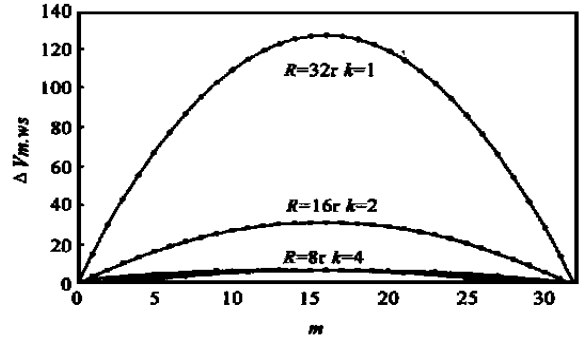


图4 $k=1, 2, 4$ 参考电压最坏情况误差分布

$$\Delta V_m^* = \Delta V_m / (I_b \cdot r), N=5$$

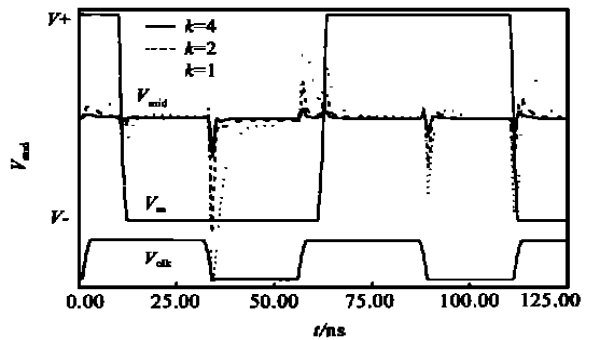


图5 $k=1, 2, 4$ 参考电压电阻网络瞬态响应, $N=5$

图 5 显示当比较器作负载, 输入模拟信号 V_{in} 为满量程阶跃信号时, 在 $k=1, 2, 4$ 三种参考电压电阻网络情况下对误差峰值点处的参考电压 V_{mid} 进行的瞬态响应模拟. 结果表明对于时钟 $V_{clk}=1$ 的比较器保持过程, 参考电压主要受瞬时时钟馈通的影响而稳态值基本不变, 这是因为此时比较器输入级与参考电压及输入信号均隔离, 没有负载效应; 对于时钟 $V_{clk}=0$ 的采样过程, 当 $V_{in}=V_+$ 时也没有负载效应, 但在 $V_{in}=V_-$ 时该节点参考电压将会以不同的瞬态响应速度达到某个稳定值. $k=1$ 时响应速度最慢, 稳态时误差最大; $k=4$ 时响应速度明显加快并且稳态时的误差很小. 此外, 由于支路电阻数目减少到 $1/k$, 瞬态交流 AC 弯曲也将减小到 $1/k^2$.

表 1 采用 Monte Carlo 分析方法模拟电阻失配的影响

参考电压电阻网络结构	$k=1$	$k=2$	$k=4$
参考电压精度(位)	8	10	12

4 并联式参考电压电阻网络的设计

下面考虑实际设计过程中阻值失配以及温漂对并联式参考电压电阻网络的影响。由于实际工艺中集成电阻阻值不匹配将引入一定程度的参考电压误差。电阻匹配容差的统计分布是随机的,分为器件容差和批容差两种。在电阻分压的情形,参考电压只取决于同一支路上各电阻之间的相对大小而与阻值的绝对值无关,因此器件容差较批容差对参考电压的影响更大。高精度 A/D 转换器一般采用匹配性能良好的薄膜电阻,经激光修正后误差 $< 0.1\%$,阻值范围可以减小到约 10Ω 。下面采用 Monte Carlo 分析方法模拟 $k=1, 2, 4$ 时在最坏情况下电阻失配的影响,模拟条件为 $N=5$, $r=10\Omega$,器件容差高斯分布,误差 0.1% ,批容差均匀分布,误差 10% 。

表 1 显示考虑电阻失配后,各种参考电压电阻网络所能达到的精度。显然,增大 k 有利于提高参考电压精度。模拟结果还表明参考电压总的误差是在负载效应误差特性上迭加了电阻匹配误差的影响。对于传统分压电阻串,即 $k=1$,主要是负载效应的影响;当采用并联式电阻网络减小负载影响之后,电阻匹配误差的影响就转为主要的了,因此进一步提高分压精度将依赖于工艺。并联式电阻网络的偏置电阻需要采用比值电阻,一般的扩散电阻工艺实现比值电阻的匹配误差较等值电阻略大一些,但由于位于首末两端负载效应小的地方,在中等比值情况下其影响可忽略;也可采用同一种电阻阻值通过串并混联的方式构成比值电阻。

由于参考电压只取决于同一支路上电阻之间的相对大小而与电阻绝对值无关,通过合理地版图布局容易使得同一支路上各电阻阻值具有一致的温漂特性,从而由温漂造成的阻值变化也是相同的,理论上不影响参考电压。对比在传统的电流补偿方案中,补偿电流的温漂特性必须与负载基极电流保持精确地一致补偿才能有效,因此并联式参考电压对温度的灵敏度降低。

5 结论

本文针对高速 A/D 转换器前端由于负载效应造成的参考电压两种非线性误差:直流 DC 弯曲和交流 AC 弯曲,提出一种高精度参考电压电阻网络。该参考电压电阻网络采用 k 个电阻串并联的方式,理论分析和模拟结果表明其各分支电阻上参考电压分布基本相同,可以用含 n/k 个等值电阻的支路代表整个电阻网络的误差特性。这种并联式结构的特点

是通过减少支路电阻串上的电阻数目到 $1/k$ 使得上述两种非线性误差幅度迅速减小到 $1/k^2$,输出参考电压的精度明显提高,同时稳定速度加快,十分有利于高速高精度 A/D 转换器的设计需要,已在一种 12 位高速 A/D 转换器中显示出良好的性能。

与进行电流补偿的传统参考电压电阻串相比,这种结构的优点是参考电压无需补偿,驱动负载能力强,对温度的灵敏度低,通过工艺手段减小处于次要影响地位的电阻失配误差后能够实现更高精度。该参考电压电阻网络适用于多种结构的高速高精度 A/D 转换器,如:全并行、分步式、折叠式等。

参考文献:

- [1] A. G. F. Dingwall. Monolithic expendable 6 bit 20MHz CMOS/SOS converter [J]. IEEE J. Solid State Circuits, 1979, 14(6): 926-932.
- [2] Behzad Razavi. Principles of Data Conversion System Design [M]. IEEE press, 1995.
- [3] Y. Moldsvor, G. S. Strm. An 8-bit 200 MSPS folding and interpolating ADC [J]. Analog integrated circuits and signal processing, 1998, 15: 37-47.
- [4] T. Takemoto, M. Inoue, H. Sadamatsu, and K. Tsuji. A fully parallel 10-bit A/D converter with video speed [J]. IEEE J. Solid State Circuits, 1982, 17(6): 1133-1138.
- [5] W. T. Collier, A. A. Abidi. A 10 bit, 75 MHz two stage pipelined bipolar A/D converter [J]. IEEE J. Solid State Circuits, 1993, 28(12): 1187-1199.
- [6] Reimund Wittmann, Werner Schardein, et al. Trimless High Precision Ratioed Resistors in D/A and A/D Converters [J]. IEEE J. Solid State Circuits, 1995, 30(8): 935-939.

作者简介:



王 萍 1973 年生,1994 年和 1997 年分别获郑州大学自动检测专业学士学位和半导体专业硕士学位,现为中国科学院半导体研究所博士研究生,从事高速电路设计、混合信号处理方面的研究。

石 寅 中国科学院半导体研究所研究员,中国科学院有突出贡献中青年专家,博士生导师,主要从事高速集成电路、专用芯片及集成转换器的研究。

(上接第 84 页)

参考文献:

- [1] Simon Haykin. Adaptive Filter Theory (Third Edition) [M]. Prentice Hall, Inc. 1996.
- [2] 张贤达. 时间序列分析——高阶统计量方法 [M]. 北京:清华大学出版社, 1996.
- [3] Delopoulos A N, Giannakis G B. Strongly consistent identification algo-

ritms and noise insensitive MSE criteria [J]. IEEE Trans. Signal Processing, 1992, 40: 1995-1970.

- [4] Chi C Y, Chung W J, Feng C C. A new algorithm for the design of linear prediction error filters using cumulant-based MSE criteria [J]. IEEE Trans. SP, 1993, 42: 2876-2880.
- [5] 陈尚勤等. 快速自适应信息处理 [M]. 北京:人民邮电出版社, 1989: 63-65.