

# 弹道 MOSFET 中栅隧穿电流的自洽计算

周 松, 蒋建飞, 蔡琪玉

(上海交通大学微米纳米科学技术研究院, 上海 200030)

**摘 要:** 本文用非平衡 Green 函数方法和模式表象技术对弹道 MOSFET 中的栅隧穿电流进行了研究. 为了简化计算, 我们把栅分解成一系列的小栅并用相应的自能项来概括它们. 计算结果表明栅电势和栅绝缘层厚度是起主导作用的因素. 尽管沟道区态密度的复杂变化和硅层的厚度对栅隧穿电流也有影响, 但并不显著.

**关键词:** 非平衡 Green 函数; 模式表象; 隧穿; MOSFET 数值模拟

**中图分类号:** TN301 **文献标识码:** A **文章编号:** 0372-2112 (2005) 02-0302-03

## Self-Consistent Calculation of Gate Tunneling Current in Ballistic MOSFETs

ZHOU Song, JIANG Jianfei, CAI Qiuyu

(Research Institute of Micro/Nano Science and Technology, Shanghai Jiaotong University, Shanghai 200030, China)

**Abstract:** The gate tunneling current was calculated in the present paper by using nonequilibrium Green's function formalism. To simplify computation, the gate was decomposed into a series of small gates and taken corresponding self-energies into account. The results show that the voltage and thickness of gate are crucial factors. Although the variation of density of states in channel and the thickness of silicon body have some effects, they are not significant.

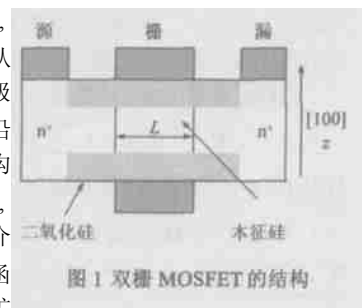
**Key words:** nonequilibrium Green's function; mode space representation; tunneling; MOSFET modeling

### 1 引言

随着 MOSFET 技术的进步, 栅绝缘层变得越来越薄, 最近甚至达到了 0.8 个纳米. 薄的绝缘层能够降低 MOSFET 中的短沟道效应, 诸如阈值电压的起伏和漏诱导的势垒降低, 但另一方面, 随之而来的高的栅隧穿电流将大大增加器件的关态电流并减小  $I_{on}/I_{off}$  的比例, 从而给按比例缩小设置了一个极限. 一些文章已经讨论了这个问题<sup>[1,4]</sup> 并且也得到了有价值的结果. 然而这些文章要么使用了 Fowler-Nordheim 模型, 要么不考虑器件沟道中载流子的非平衡分布(当然, 在尺寸较大的器件中这样做是没有什么问题的), 但是我们知道 Fowler-Nordheim 模型只适用于三角形势垒, 并不适用于极薄的绝缘层和低电压下工作的器件, 而这正是我们所要讨论的情形. 同时, 弹道 MOSFET 沟道中载流子是处于高度的非平衡状态的, 因而也是不能不考虑的. 为了刻画弹道 MOSFET 沟道中的非平衡分布, 简化的 Green 函数方法是一个很好的选择<sup>[5]</sup>. 这个方法对计算时间和内存的要求都很高, 幸运的是由 Purdue 研究组提出的模式表象的技术能够给它带来很大的简化<sup>[6]</sup>. 在 Z Ren 等人的文章<sup>[7]</sup>中, 他们用非平衡 Green 函数方法和模式表象的技术对 10 个纳米的双栅 MOSFET 进行了详细的研究, 但是当他们处理到栅隧穿电流的时候又转而求助于前面提到的 Fowler-Nordheim 模型. 因此本文的目的就是直接使用非平衡 Green 函数方法和模式表象技术对栅隧穿电流进行自洽计算, 从而避免前面所述的问题.

### 2 方法

图 1 给出了我们模拟的器件结构. 其中沟道方向沿 [100] 晶向, 取为 x 轴. 高度方向也为 [100] 晶向, 取为 z 轴. 源和漏是 n 型掺杂的半导体硅, 掺杂浓度为  $3 \times 10^{20} \text{ cm}^{-3}$ , 从而平衡态下的 Fermi 能级为 150 meV.  $L = 12 \text{ nm}$  是沿 [100] 晶向的沟道长度. 沟道区为无掺杂的本征硅, 厚度为 3 nm. 栅绝缘层介质为  $\text{SiO}_2$ . 金属栅的功函数取为 4.25 eV. 源、漏的扩展部分当成完全的吸收端来处理.



我们使用文<sup>[5]</sup>中描述的简化的非平衡 Green 函数方法来进行计算. 在弹道情况下这种方法就相当于解具有开放边界条件的 Schrödinger 方程. 就像在文<sup>[6]</sup>中一样, 在沟道方向 (x 方向) 我们采用差分离散, 在 z 方向采用模式表象, 而 y 方向当成是无限长的. 使用模式表象技术的意义在于它把一个二维的问题分解成了两个一维的问题. 这一点可在本节的后面部分得到理解. 描写源、漏的自能为:

$$E_S^r = V_{x,x+1} g_S^r V_{x,x+1}^*, E_D^r = V_{x,x+1} g_D^r V_{x,x+1}^* \quad (1)$$

其中下标 S 表示源而 D 表示漏.  $V_{x,x+1}$  表示器件中 x 方向相



知道绝缘层变薄可以造成栅隧穿电流的指数增加;同时,栅电势的反向增加又将降低绝缘层势垒的高度,使栅隧穿电流增加,因此,这两种因素的共同作用使栅隧穿电流在最初的阶段增加得很快.另一方面,随着栅电势的逐渐上升,沟道中的电子将逐渐减占据越来越高的模式,从图 6 可以看到,越是高的模式(有着更多的波节点)电子就越是靠近栅绝缘层,从而使有效的绝缘层厚度减小,但是这种减小很快就到了极限,从而使影响栅隧穿电流的两个因素变成一个,其效果就是使栅隧穿电流增加的速率逐渐放慢并最终趋向较小但是稳定的上升.

图 7 中,栅隧穿电流密度随着沟道区硅层的增加,整体上变化较小(在一个数量级以内),但在细节上却既有上升,又有下降.这对纳米器件的设计者来说不是一个好消息,因为一个很可能减小栅隧穿电流的因素)))沟道区硅层厚度)))的变化并不能确定地减小栅隧穿电流.这个现象表明在这一过程中有两种相互竞争的因素制约着栅隧穿电流.第一个是位于栅、漏 Fermi 能级之间的模式数,第二个是位于源、漏 Fermi 能级之间的模式数(见图 8).

随着沟道区硅层逐渐变薄,各个模式之间的分离将越来越大,这将减少栅、漏 Fermi 能级之间的模式数,从而减小栅隧穿电流;但是另一方面,这又将减少源、漏 Fermi 能级之

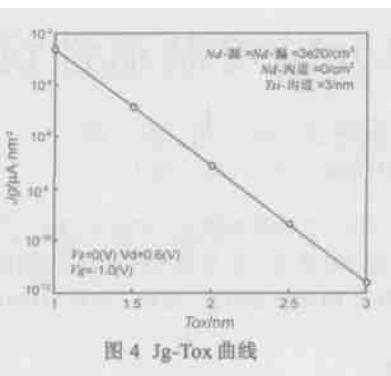


图 4 Jg-Tox 曲线

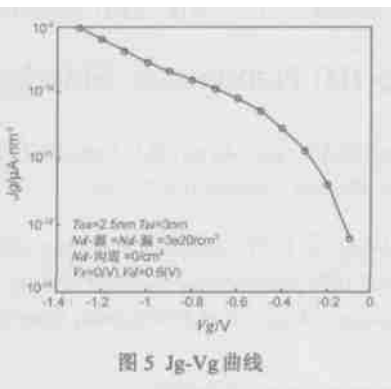


图 5 Jg-Vg 曲线

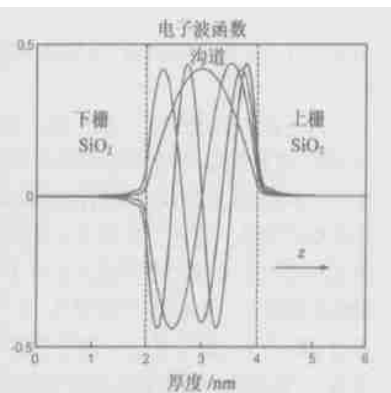


图 6 几个较低模式的波函数

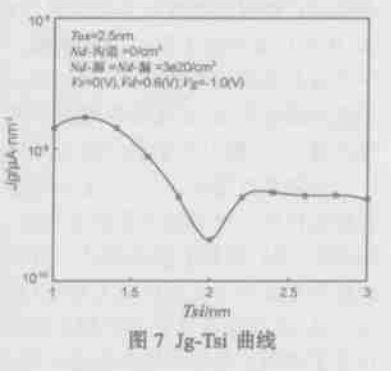


图 7 Jg-Tsi 曲线

的模式数,空出一些模式荷载栅电流,从而使栅隧穿电流增加.总而言之,当第一个因素起主导作用的时候,栅隧穿电流减小,第二个因素起主导作用的时候,栅隧穿电流增加,而当这两个因素达到平衡的时候,栅隧穿电流就基本不变.

## 4 结论

我们用非平衡 Green 函数方法和模式

表象技术研究了弹道 MOSFET 中的栅隧穿电流.为了简化计算,我们把栅分解成一系列的小栅并用相应的自能项来概括它们.计算结果展示了几种影响栅隧穿电流的因素,并表明栅电势和栅绝缘层厚度是起主导作用的因素.尽管沟道区态密度的复杂变化和硅层的厚度对栅隧穿电流也有影响,但并不显著.

## 参考文献:

- [1] Rana F, Tivari S, Buchanan D A. Self-consistent modeling of accumulation layers and tunneling currents through very thin oxides[J]. Appl Phys Lett, 1996, 69: 1104- 1106.
- [2] Shen C J, Jang S L. A MOSFET gate current model with the direct tunneling mechanism[J]. SolidState Electronics, 2000, 44: 1819- 1824.
- [3] Clerc R, et al. Electrical characterization and modeling of MOS structures with an ultrathin oxide[J]. SolidState Electronics, 2002, 46: 407 - 416.
- [4] Pettersson P O, et al. Dependence of the I-V curve of a metal insulator semiconductor switch on insulator thickness))) an experimental and theoretical investigation[J]. IEEE Transaction on Electron Devices, 1998, 45: 286- 292.
- [5] Datta S. Nanoscale device modeling the Green's function method[J]. Superlattices and Microstructures, 2000, 28: 253- 278.
- [6] Ren Z. Nanoscale MOSFETs: physics, simulation and design[D]. Purdue University, West Lafayette, IN, Dec, 2001.
- [7] Ren Z, Venugopal R, Datta S, Lundstrom M S. Examination of design and manufacturing issues in a 10 nm double gate MOSFET using nonequilibrium Green's function simulation[J]. IEDM, 2001. 107- 110.
- [8] Damle P. Electronic transport in nanoscale devices: from MOSFETs to molecules[D]. Purdue University, West Lafayette, 1995.

## 作者简介:

周 松 男,1974 年 12 月出生于贵州余庆,于 1992 年 1997 年在成都电子科技大学获学士学位,2000 年至今在上海交通大学微纳米科学技术研究院攻读博士学位,主要研究方向为纳米 MOSFET 的数值模拟. E-mail: zhspe@sjtu.edu.cn.

蒋建飞 男,上海交通大学微纳米科学技术研究院教授、博士生导师,现在研究兴趣为纳米电子学和介观器件物理.

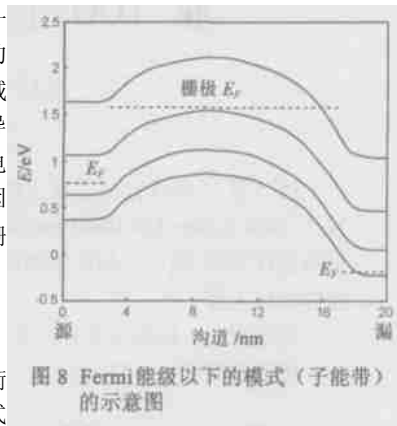


图 8 Fermi 能级以下的模式(子能带)的示意图