

# 基于符号率动态变频的低功耗 DOCSIS 上行发射器设计

宋丽华<sup>1,2</sup>, 郭艳飞<sup>2</sup>, 王 沁<sup>2</sup>

(1. 北方工业大学信息工程学院, 北京 100144; 2. 北京科技大学信息工程学院, 北京 100083)

**摘 要:** 为解决 DOCSIS 上行发射器的高功耗问题, 本文在深入剖析信道突发特点和发射器结构的基础上, 提出了一种全新的发射器 VLSI(超大规模集成电路)设计低功耗体系。通过引入发射符号率这一性能约束, 该体系可使上行数据通路上所有运算电路能根据不同的突发符号率动态调节运算频率, 以最小的功耗消耗匹配突发处理的性能要求。实验结果表明, 在不同突发符号率下, 所提出体系可使上行发射器的总功耗平均降低 67.13%。本文设计的低功耗上行发射器已应用于符合 EuroDOCSIS1.1 规范的支持双向有线数字电视点播的 Cable Modem(CM) SOC(片上系统)平台中, 并表现出优良的低功耗特性。不失一般性, 本文所提出的设计体系不仅适用于其他对功耗敏感的通信系统, 同时, 也将有助于推动超大规模集成电路及 SOC 设计领域中低功耗这一关键技术的发展。

**关键词:** 上行发射器; DOCSIS; CM; 动态变频; 低功耗

**中图分类号:** TN47; TN191.71

**文献标识码:** A

**文章编号:** 0372-2112 (2010) 07-1505-06

## An Dynamic Frequency Scaling Low Power Architecture Based on Symbol Rate for DOCSIS Upstream Transmitter

SONG Li-hua<sup>1,2</sup>, GUO Yan-fei<sup>2</sup>, WANG Qin<sup>2</sup>

(1. Information Technology School, North China University of Technology, Beijing 100144, China;

2. Information Technology School, University of Science and Technology, Beijing 100083, China)

**Abstract:** In order to solve the high power consumption problem in the design of DOCSIS upstream transmitter, we proposed a new low power VLSI architecture for the design of upstream transmitter. By taking the symbol rate as the main performance constraint, the proposed architecture can scale the operating frequency of all circuit units included in the transmitter dynamically along with the changing of symbol rate on the upstream channel. In this way, the proposed architecture can achieve the optimized power consumption without losing any processing performance. Under different scenarios of symbol burst rates, the testing results show that the average power saving could be up to 67.13% after applying the proposed architecture. So far, the designed low power transmitter had been successfully integrated in a CM (Cable Modem) SOC (System On Chip) platform with self-owned intellectual property rights, which supports the two-way digital cable TOD (TV-on-Demand), and demonstrated excellent low power characteristics. Without loss of generality, the design architecture presented in this paper also can be applied to the design of other power-sensitive communication system. At the same time, it is worth to be trust that the proposed method will help to promote the development of the key low-power technology in the VLSI and SOC design.

**Key words:** upstream transmitter; DOCSIS; cable modem; dynamic frequency scaling; low power

### 1 引言

HFC(Hybrid Fiber-Coax, 混合同轴光纤)接入是广电行业推动的一项重要宽带接入技术, 其拥有覆盖范围广、带宽资源丰富, 基于其开展的各项 IP 可同时传输语音、数据、视频等特点, 故被公认为是“三网融合”的最佳

解决平台之一<sup>[1,2]</sup>。目前, 其已成为国内外各大科研单位、通信公司和运营商关注的热点领域。MCNS(多媒体电缆网络系统)制定的 DOCSIS 规范已获 ITU (ITU-TJ.112B)采纳, 成为 HFC 网络高速数据通信的国际标准<sup>[3]</sup>。

本文在双向有线数字电视信道 SOC 芯片项目的支



持下,以符合 DOCSIS 标准的 HFC 网络双向接入核心设备 CM(Cable Modem)的 SOC 芯片研发为背景,重点研究物理层上行信道 VLSI 实现的有效低功耗方法.本文项目支持的具有我国自主知识产权的 CM SOC 芯片的研发在国内尚属首例.国际上,由于 CM 芯片的研发成果多涉及国际各大有线电视或通信经营商的商业秘密,故鲜有成果发表,目前已发表的相关研究也主要集中在信道传输性能仿真<sup>[4]</sup>、信道接入控制<sup>[5,6]</sup>、回传噪声抑制<sup>[1]</sup>等.故而低功耗的 CM 芯片便成了一个亟待研究的空白领域.因此,本文研究成果将有助于推动国内外低功耗技术在 CM SOC 芯片研发上的进一步发展,同时也将其他功耗敏感通信系统的研发和超大规模集成电路低功耗技术的发展做出一定的贡献.

## 2 HFC 网络及 DOCSIS 上行发射器系统结构简介

HFC 网络拓扑结构如图 1 所示,主要由三部分组成:物理传输介质(光纤或同轴)、若干 CM 和用户端设备(station)、以及电缆调制解调终端系统(Cable Modem Termination System, CMTS).DOCSIS 规定的上行信道是多对一的总线结构,即多个 CM 以时分多址方式接入同一个上行信道<sup>[3]</sup>.

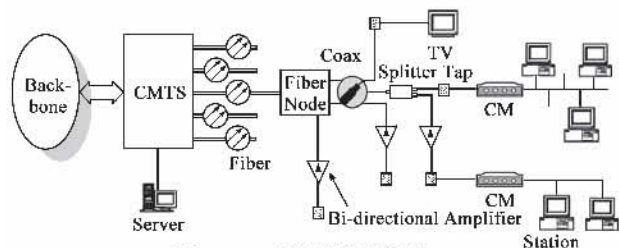


图1 HFC网络系统结构图

DOCSIS 上行发射器承担 DOCSIS 上行物理层处理,本文设计中将其所包含处理划分到两个主要部件,分别是码处理器(Code Processor)和信号调制器(Modulator),如图 2 所示.前者完成前导码设置(Preamble)、CRC 校验、Reed-Solomon(RS)编码以及扰码(Scrambler)等处理,后者完成符号映射(MAP)、信号滤波和调制等.

DOCSIS 对物理层上行信道突发特性有严格的规定,所支持的不同调制方式、符号速率等主要技术指标,见表 1.

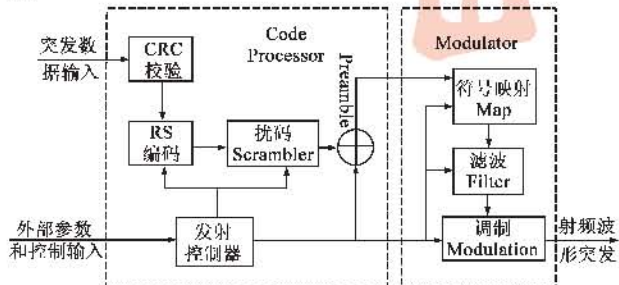


图2 上行发射器系统结构

表 1 上行信道突发特性参数

调制方式	QPSK/16QAM
符号率(ksym/s)	160,320,640,1280,2560
带宽(kHz)	200,400,800,1600,3200
滚降系数	0.25
中心频率(kHz)	5~65

## 3 上行发射器潜在低功耗突破口分析

从芯片设计的角度来说,由 DOCSIS 协议规定的上行发射器(图 2 所示)属于典型的计算密集型电路部件,高频率的电路器件翻转是其高功耗的主要原因.下面,首先来看一下集成电路的功耗(P)来源,如式(1)所示.

$$P = I_{standby}V_{dd} + I_{leakage}V_{dd} + I_{sc}V_{dd} + \alpha CV_{dd}^2f \quad (1)$$

式(1)中第一项为闲置功耗,第二项为泄漏功耗,第三项为短路功耗,最后一项为电容充放电引起的动态功耗.对于基于标准单元库的 VLSI 设计来说,动态功耗约占总功耗的 60% 以上.因此,降低电路翻转频率进而减少电容充放电引起的动态功耗将是功耗控制的有效途径.据此,在保证丝毫不影响处理性能的前提下,本文将致力于寻找降低上行发射器平均翻转频率的方法和电路体系.

### 3.1 调制器部件变频调节分析

本节先来分析一下上行发射器的中频全数字调制器部件(Modulator,如图 2)的变频调节可能性.该调制器详细的内部结构如图 3,CIC 为高抽取率的积分梳状滤波器,DDFS(Direct Digital Frequency Synthesizer)为直接数字频率合成器,DAC 为数模转换控制器(Digital Analog Control),LPF 为低通滤波器(Low Pass Filter).

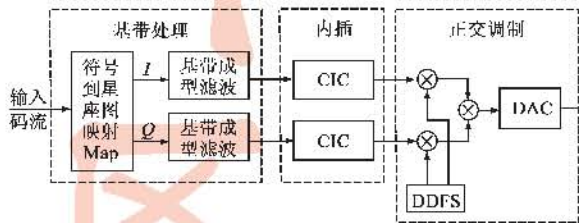


图3 QAM调制器系统结构

由于上行信道的可变符号率和可变载波中心频率要求,调制部件需要设计一个频率可变时钟体系.约束该时钟体系的几个关键处理点为:基带成型滤波器采样频率、基带信号和中频信号频率匹配、DDFS 频率控制字确定.

#### (1)基带成型滤波器采样速率

基带成型滤波器通常由 FIR(有限长单位冲激响应)滤波器实现<sup>[7]</sup>,上行信道规定其冲击响应必须满足升余弦滚降频谱(见表 1).设符号速率为  $R_s$ ,成型后基带信号频谱在  $[-0.625R_s, +0.625R_s]$  区间,故 FIR 的



采样速率必须大于等于  $1.25 R_s$ , 记 FIR 的采样速率为  $kR_s$ , 通常取  $k=2 \sim 8$ .

### (2) 基带信号和中频信号速率匹配

对于正交调制, 调制器输出流的采样率, 即 DDFS 的  $\sin/\cos$  信号抽样速率必须达到中心频率  $f_{IF}$  (载波频率) 的  $Q$  倍以上,  $Q \geq 2.5$ . 同时, 由于 FIR (采样速率为  $kR_s$ ) 与正交调制器 (采样率为  $Qf_{IF}$ ) 工作频率相差很大, 因此必须对 FIR 的输出流进行内插处理, 使其采样率由  $kR_s$  提高到  $Qf_{IF}$ , 所以有内插因子  $I = \frac{Q * f_{IF}}{k * R_s}$ .

### (3) DDFS 频率控制字确定

支持可变载波频率的 DDFS 如图 4 所示, 其以系统基准时钟  $f_{ref}$  为参考, 每个时钟周期的相位增量为频率控制字 FCW 的值  $K$ . 设相位累加器的数据宽度为  $n$ , 正余弦波表的地址宽度为  $m$  位, 则以相位累加器的高  $m$  位为正余弦波表的地址输入, 可得到采样频率为  $f_{ref}$ , 载波频率为  $f_{IF} = f_0$  的正余弦信号, 其中  $f_0 = K * f_{ref} / 2^n$ .

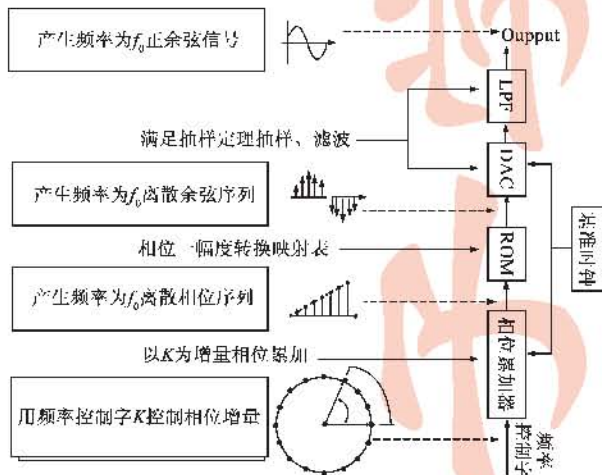


图4 DDFS功能和结构

基于三个关键处理点的频率要求, 设调制器时钟体系的基准时钟频率为  $f_{ref}$ , 基带成型滤波器采样频率为  $f_{sym}$ , 中频已调信号的采样频率为  $f_{sIF}$ , 则调制器时钟体系下所有频率的约束关系为:

$$\begin{cases} f_{sym} = k * R_s \\ f_{sIF} = f_{sym} * I \\ f_{sIF} = Q * f_{IF} \\ f_{IF} = \frac{K * f_{ref}}{2^n} \end{cases} \quad (2)$$

关于以上频率参数的详细计算可参考文献[8]. 由上述分析结果可知, 上行信道的符号率和载波频率已经严格约束了调制器部件时钟体系中各频率的关系. 在保持性能不变的前提下, 向下调节频率以降低功耗的方法不适用于上行发射器的调制部件.

## 3.2 码处理器部件变频调节分析

由上节分析可知, 调制器部件中各处理模块在符号率和载波频率的约束下“被动”的以所要求的频率执行相应处理. 故而, 所对应频率的电路翻转是必然的, 已没有优化的余地.

但是, 处于数据流上游的码处理器部件与其下游的调制器部件, 在时钟关系上完全是松耦合关系. 两者之间仅存在的数据流速度匹配这一基本约束. 故而, 通常设计中, 码处理器部件运行在独立的时钟体系下, 所包含各模块采用的运算频率由对应的上行信道最大符号率计算得来, 即在运算速度上提供“盲目最大”服务. 对于数据流跨越两部件间不同时钟体系的衔接问题, 采用的是基于 FIFO 或 RAM 的存储转发方案. 固然, 如此设计会拥有时钟体系简约、不同时钟域的衔接风险小等优点. 然而, 码处理器的盲目服务方式致使其所包含电路始终以最高频率翻转, 即使当前上行信道处于低符号率的接入配置下. 显然, 码处理器存在向下调节平均操作频率以节约功耗的可能性, 我们应该将调制器部件的约束同样施加到码处理器上, 使其可以随上行波特率的变化动态的以最恰当的频率处理数据流, 降低不必要的功耗浪费.

接下来, 需分析的是码处理器部件所包含的运算单元动态变频运行的可行性. 如图 2 所示, 在数据流处理路径上码处理器部件包含的主要计算密集型单元有: CRC 和 RS 编码.

### 3.2.1 CRC 电路结构及变频分析

DOCSIS 上行信道同时使用了两种 CRC 编码单元, 一种是由 ITU-T X.25 定义的 16 位 CRC, 另一种则是由 ISO8808-3 定义的 32 位 CRC.

首先, 16 位 CRC 涉及到的信息多项式、生成多项式和码多项式, 分别见式(3)~(5):

$$m(x) = m_{k-1}x^{k-1} + m_{k-2}x^{k-2} + \dots + m_2x^2 + m_1x + m_0, \quad (3)$$

$$\text{级数为 } \partial^0(m(x)) = k \quad (3)$$

$$g(x) = x^{16} + x^{12} + x^5 + 1, \text{级数为 } \partial^0(g(x)) = n - k \quad (4)$$

$$v(x) = m(x)g(x), \text{级数为 } \partial^0(v(x)) = n \quad (5)$$

本文设计的基于式(3)~(5)的 8-bit 并行 CRC 编码器如图 5, 其具有普遍代表性. 设该电路驱动时钟的频率和周期分别为  $f_{16}$  和  $T_{16}$ ,  $T_{16}^i$  为第  $i$  个工作周期, 则该电路工作机理如下:

(a) 在  $T_{16}^1 \sim T_{16}^k$  期间, 门 1 导通、门 2 阻塞. 信息位  $m(x)$  一方面从门 3 输出, 另一方面通过门 1 向移位寄存器 ( $D_0, D_1, \dots, D_{15}$ ) 反馈, 反馈过程中实现模 2 加运算.

(b) 经过  $T_{16}^k$  后, 门 1 阻塞、门 2 导通. 此时  $m(x)$  输入完毕,  $v(x)$  输出了前  $k$  位 (相当于输出了  $x^{n-k}m(x)$ ).

(c) 在  $T_{k+1} \sim T_n$  期间, 电路输入 16 个 0, 移位寄存器



( $D_0, D_1, \dots, D_{15}$ )继续移位输出, 16 个周期后移位寄存器输出 16 位 CRC 校验码。

其次, 32 位 CRC 对应的生成多项式见式(6), 本文设计的 8 位并行 32 位 CRC 编码器如图 6 所示, 工作机理同 16 位 CRC 编码器类似, 在此不再赘述。

$$g(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \quad (6)$$

由上述电路结构及其工作机理可知, 8-bit 并行的 16 位 CRC 和 32-bit CRC 具有纯粹的时钟驱动性, 即数据处理的吞吐率在数值上完全等于其电路运行频率。

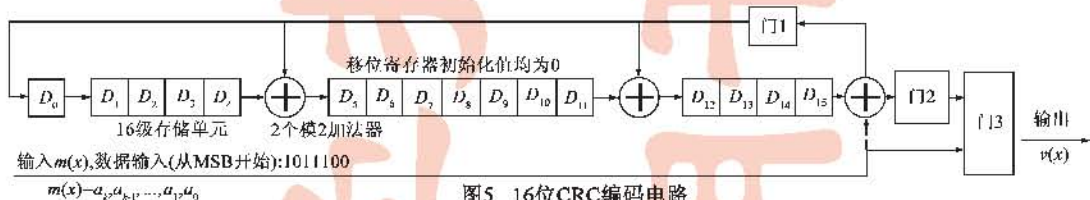


图5 16位CRC编码电路

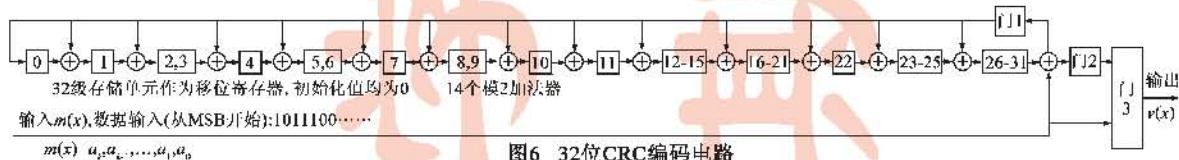


图6 32位CRC编码电路

### 3.2.2 RS 电路结构及变频分析

码处理器中运算最密集, 功耗最大的为 RS 单元。DOCSIS 要求 RS 编码器在伽罗华域为  $GF(256)$  上具有  $t = 0 \sim 10$  的纠错能力。设信息多项式、生成多项式和校验多项式分别由式(8)~(10)表示:

$$m(x) = mx^{k-1} + m_{k-2}x^{k-2} + \dots + m_1x + m_0 \quad (8)$$

$$g(x) = (x + a^0)(x + a^1) \dots (x + a^{2^t-1}) = x^{2^t} + g_{2^t-1}x^{2^t-1} + \dots + g_1x + g_0 \quad (9)$$

$$r(x) = r_{n-k-1}x^{n-k-1} + r_{n-k-2}x^{n-k-2} + \dots + r_1x + r_0 = x^{n-k}m(x) \bmod(g(x)) \quad (10)$$

其中,  $n$  为码字长度,  $k$  为信息字节长度,  $a$  值等于十六进制的 0X02。则 RS 码字多项式:

$$C(x) = x^{n-k}m(x) + r(x) \quad (11)$$

RS 编码电路本质是要实现信息多项式乘  $x^{n-k}$  除  $g(x)$ , RS 编码的详细理论见文献[9]。其中, 乘  $x^{n-k}$  可由移位来实现, 除法运算由一个带反馈的线性移位电路来实现。理论上的 RS 编码电路如图 7 所示。工作机理如下: 移位寄存器  $D_0 \sim D_{19}$  初始状态全部清 0, 开关  $k$  打到  $b$ , 门 1 打开, 然后进行移位, 信息字从高到低依次送入电路, 一方面经过  $b$  输出, 一方面自动乘以  $x^{n-k}$  后进入  $g(x)$  除法电路, 完成  $x^{n-k}m(x)$  乘法运算。第  $k$  次移位后,  $m(x)$  全部送入电路, 完成除法运算, 此时移位寄存器  $D_0 \sim D_{19}$  内保留的就是余式  $r(x)$  的系数, 也就是码字的校验元。开关打到  $a$ , 门 1 关上, 在经过  $n-k$  次移位后, 移位寄存器的校验元跟在信息组后面输出, 形成一

设两者的工作频率和吞吐率为  $f_{\text{crc}}$  (Hz) 和  $TH_{\text{crc}}$  (bit/s), 则有:  $TH_{\text{crc}} = 8 \times f_{\text{crc}}$ 。同调制器一样, 若将信道的输出符号率  $R_s$  作为约束施加到 CRC 编码单元上, 即令:  $R_s \times \text{sym\_size} = TH_{\text{crc}} = 8 \times f_{\text{crc}}$ , 则有:

$$f_{\text{crc}} = R_s \times (\text{sym\_size}/8) \quad (7)$$

其中  $\text{sym\_size}$  为不同调制方式下符号的大小。式(7)表明, CRC 电路完全可以根据上行信道的符号率动态调整其运行频率, 从而在保证性能的前提下, 获得最低的平均电路翻转频率, 也即最低的功耗配给。

个码字。开关  $k$  打到  $b$ , 门 1 开, 送入第二组信息组重复上述过程。

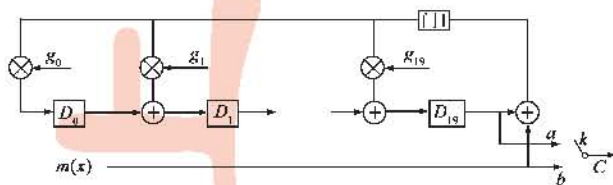


图7 RS理论编码电路

由图 7 知, RS 编码中除法转化为  $GF$  域上的乘法来实现(见  $g_0 \sim g_{19}$  所参与的运算)。由文献[10]知,  $GF$  域的乘法运算通常采用查找表(RAM)实现, 这样图 7 所示电路结构共需 20 个 RAM 查找表。众多周知, RAM 是电路设计中忌讳的高功耗部件。所以, 本文设计了基于 3 级流水的乘法器(查找表)复用 8-bit 并行编码器体系, 见图 8。

其中, FE 和 EF 分别为  $GF$  域元素幂到值转换表和值到幂转换表, DFF 为流水线寄存器。设计结果将除法运算分成 3 组, 分别是  $g_0 \sim g_5$ ,  $g_6 \sim g_{12}$ ,  $g_{13} \sim g_{19}$ , 每组运算复用 1 个 FE 查找表, 系统共需 3 个 FE 和一个 EF 查找表, 即 4 块 RAM 即可, 首先从静态体系结构上节约了功耗, 这也是通用做法。设该 RS 编码电路的工作时钟频率和周期分别为  $f_s$  和  $T_s$ , 数据吞吐率为  $TH_s$  (bit/s)。由于该电路的最长运算路径为 8 个  $T_s$  周期, 因此有:  $TH_s = 8 \times (f_s/8)$ 。到此为止, 不难发现 RS 电路同 CRC 一样, 都具有纯粹的时钟驱动性。同理, 将信道的



输出符号率  $R_s$  作为约束施加到 RS 编码单元上,即令:  $R_s \times \text{sym\_size} = TH_{rs} = 8 \times (f_{rs}/8)$ ,则有:

$$f_{rs} = R_s \times \text{sym\_size} \tag{12}$$

上式表明,RS 电路也完全可以根据上行信道的符号率动态调整其运行频率,从而在不损失性能的前提下,获得最低的平均电路翻转频率即最低功耗配给。

4 基于突发符号率的变频上行发射器体系及功耗评估

由 3.2 节可知,将上行信道的突发符号率作为约束,可以使码处理器同样拥有同调制器一样的可动态变频性,从而使得整个上行发射器可以根据突发符号率的变化动态调节电路单元的运行频率,进行“恰当”服务,而非“盲目最大”服务。据此功耗优化设计后的码处理如图 9 所示,称为动态变频码处理器(Dynamic Frequency Scaling Code Processor, DFS-CP)。同时,为进行有效地功耗收益评估,本文在相同的工艺下也实现了未使用动态变频体系的码处理器(Un-dynamic Frequency Scaling Code Processor, NDFS-CP)。另外,由于本文未对调制器做任何功率优化,故以下主要对码处理器的功耗收益进行评估。电路实现等相关试验条件见表 2。

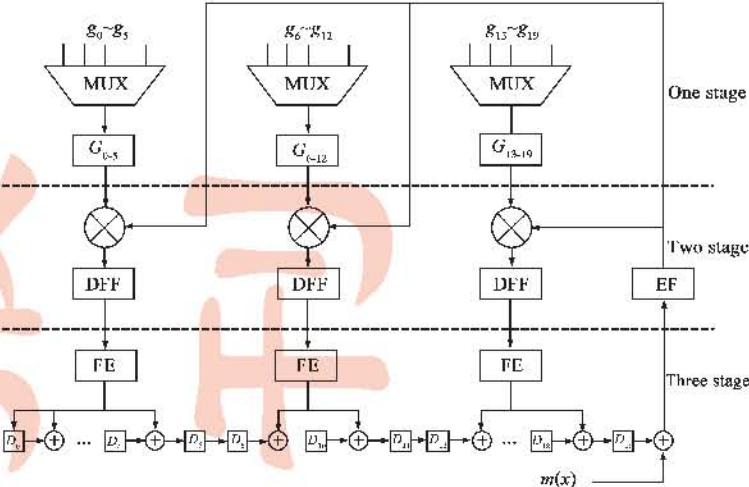


图8 复用结构RS编码电路

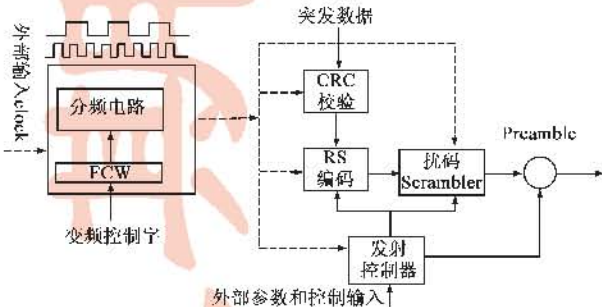


图9 基于波特率可动态变频码处理器体系

表 2 电路实现及功耗分析试验条件

条件	说明	条件	说明
规模和功耗评估工具	Cadence PKS	Power Operating Library	Typical
仿真工具	Cadence NC-Verilog	Process	1.000000
Technology	TSMC 0.25um standard cell	Voltage	2.250000 (V)
RAM 资源	Artisan TSMC0.25um SSRAM	Temperature	125.0000 (°C)
电路风格	静态 CMOS	Timing Operation Condition	Slow

表 3 DFS-CP 和 NDFS-CP 两种体系下主要功能模块的功耗比较

功 耗 模 块	体 系	NDFS-CP	DFS-CP				
			2.56 Msym/sec	1.28 Msym/sec	0.64 Msym/sec	0.32 Msym/sec	0.16 Msym/sec
CRC		1.7509	0.8535	0.7988	0.7718	0.7583	0.7520
RS		6.7050	3.1469	2.6582	2.5188	2.4014	2.3566
Scrambler		0.2869	0.1199	0.0919	0.0896	0.0884	0.0744
RAM		14.0033	10.5641	5.2798	2.2484	1.1310	1.1309
发射控制器		4.8756	2.1780	1.7603	1.7285	1.5167	1.5048
总功耗		27.6217	16.8624	10.589	7.3571	5.8958	4.6878

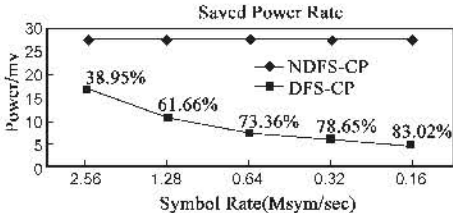


图10 不同符号率下DFS-CP与NDFS-CP功耗比较曲线

表 3 给出了可动态变频码处理器 DFS-CP 与非动态变频码处理器 NDFS-CP 在同一试验条件下的详细功耗配给比较。基于表 3 的功耗统计结果,图 10 给出了在不同符号速率下,DFS-CP 与 NDFS-CP 的总功耗直接对比结果,及功耗降低比率。

由图 10 所示的功耗比较结果,不难得出采用动态变频体系后的码处理器较原始体系在保持整个性能不



变的情况下,平均总功耗可降低 67.13% (见式(13)):

$$(38.95\% + 61.66\% + 73.36\% + 78.65\% + 83.02\%)/5 = 67.13\% \quad (13)$$

## 5 结论

针对 DOCSIS 上行发射器的高功耗问题,本文在分析上行信道突发特点的基础上,将突发符号率这一关键性能指标作为电路翻转频率的约束,施加于上行信道数据通路的各个电路单元上,使得运算电路可以根据信道突发符号率的变化动态调节其电路翻转频率,以最匹配的吞吐率满足性能要求,到达功耗的最佳配给.实验结果表明,在不同突发符号率下,本文设计的可动态变频电路体系可使电路平均总功耗降低 67.13%.目前,基于本文设计的上行发射器已经成功的集成到符合 EuroDOCSIS1.1 规范的支持双向有线数字电视点播的 CM SOC 平台中,并表现出优良的低功耗性.由于 DOCSIS 上行物理层处理的通用性,本文的设计方法在接入网领域其他通信系统的低功耗设计上将具有相当有益的参考性.同时,也将有助于推动超大规模集成电路及 SOC 设计领域中低功耗技术的发展.

## 参考文献:

- [1] 景新幸,段晓雪,周萍.宽带 HFC 网络回传通路噪声抑制的研究[J].电子学报,2002,30(2):153-155.  
Jing Xin-xing, Duan Xiao-xue, Zhou Ping. Study on suppressing noise on upstream channel in HFC network[J]. Acta Electronica Sinica, 2002, 30(2): 153-155. (in Chinese)
- [2] 王沁,龙萍,等.基于 DOCSIS 规范的测距机制分析与嵌入式实现[J].通信学报,2006,27(9):96-101.  
Wang Qin, Long Ping, et al. DOCSIS ranging schemes analysis and embedded implementation[J]. Journal on Communications, 2006, 27(9): 96-101. (in Chinese)
- [3] Cable Television Laboratories. Data-Over-Cable Service Interface Specifications Radio Frequency Interface Specification SP-RFIV1.1 C01-050907[S]. CableLabs, 2005.
- [4] 孙晓东,冯振明,陆明泉.HFC 网络中上行信道的 MAC 层协议性能分析[J].电子学报,2002,30(2):181-190.  
Sun Xiao-dong, Feng Zhen-ming, Lu Ming-quan. Performance analysis of upstream channel MAC layer protocol in HFC networks[J]. Acta Electronica Sinica, 2002, 30(2): 181-190. (in Chinese)
- [5] 李建新,裴珂,等.基于 HFC 的 CDMA 系统初始化协议研究[J].电子学报,2000,28(10):89-91.  
Li Jian-xin, Pei Ke, et al. Research on initialization protocol for S-CDMA based on HFC CATV networks[J]. Acta Electronica Sinica, 2000, 28(10): 89-91. (in Chinese)
- [6] 孙飞燕,张朝阳,陈文正.基于 HFC 网络上行信道 CDMA-

预约 ALOHA 多接入方式吞吐量分析[J].电子学报,2001,29(11):1552-1554.

Sun Fei-yan, Zhang Zhao-yang, Chen Wen-zheng. On throughput performance of the cDMA reservation-ALOHA multiple access system for the HFC network[J]. Acta Electronica Sinica, 2001, 29(11): 1552-1554. (in Chinese)

- [7] 王沁,李占才,齐悦.基于两层流水线结构的 FIR 滤波器设计[J].电子学报,2005,33(2):367-369.  
Wang Qin, Li Zhan cai, Qi Yue. FIR filters design based on two-hierarchy pipeline structure[J]. Acta Electronica Sinica, 2005, 33(2): 367-369. (in Chinese)
- [8] 张森杰,梅顺良.中频全数字调制技术及其在 DOCSIS 协议中的应用[J].中国有线电视,2003,24:10-14.  
Zhang Sen-jie, Mei Shun-liang. All-digital modulation technology in IF and its applications in DOCSIS specification[J]. China Cable Television, 2003, 24: 10-14. (in Chinese)
- [9] S Lin, D J Costello Jr. Error Control Coding: Fundamentals and Applications[M]. Prentice-Hall, Englewood Cliffs, NJ, 1983.
- [10] Guo Yan Fei, Li Zhan Cai, Wang Qin. An area-efficient VLSI architecture for Reed-Solomon decoder[A]. In Proc. IEEE ISCT'2005[C]. Beijing, China, 2005. 1154-1158.
- [11] 郭艳飞,李占才,王沁.HDTV 中面积优化的 RS 解码器 VLSI 实现[J].计算机工程,2006,32(16):11-13.  
Guo Yanfei, Li Zhancan, Wang Qin. Area-efficient VLSI design of Reed-Solomon decoder for HDTV[J]. Computer Engineering, 2006, 32(16): 11-13. (in Chinese)

## 作者简介:



宋丽华 女,1979年9出生于河北,北京科技大学信息学院计算机博士,北方工业大学教师.主要研究方向:集成电路设计,嵌入式技术,网络协议.

E-mail: songlihua@ncut.edu.cn



郭艳飞 男,1980年1出生于河北,北京科技大学信息学院计算机博士,主要研究方向:数字信号处理,集成电路设计,网络与通信嵌入式系统.

E-mail: gyf2h@sina.com

王沁 女,1961年出生,北京科技大学信息工程学院教授,博士生导师,哈佛大学访问学者,兼任中国计算机学会理事、计算机学会传感器网络专委会委员.主要研究方向:计算机系统结构、专用集成电路与 SOC、宽带网络与通信、无线传感器网络.

E-mail: wangqin@ies.ustb.edu.cn