

# 宽带数字单边带下变频器

项 英<sup>1</sup>, 朱人杰<sup>1</sup>, Gino Tuccari<sup>2</sup>, 张秀忠<sup>1</sup>, 舒逢春<sup>1</sup>

(1. 中国科学院上海天文台, 上海 200030; 2. Istituto di Radioastronomia CNR, Contra Renna, 96017 Noto (Sr), Italy)

**摘 要:** 数字单边带下变频器是软件无线电中不可缺少的组成部分,也是射电观测中,数据采集设备的重要组成部分,由于该模块紧接高速 A/D 采样器之后,所以对其运算处理能力有很高的要求.本文提出了实现宽带数字单边带下变频器的一种可行方案——并行处理,可以从根本上解决数字信号处理的瓶颈效应.

**关键词:** 数字下变频; 单边带; 宽带

**中图分类号:** TP331.2 **文献标识码:** A **文章编号:** 0372-2112 (2006) 11-1978-03

## Wideband Digital SSB Down Converter

XIANG Ying<sup>1</sup>, ZHU Rerr jie<sup>1</sup>, Gino Tuccari<sup>2</sup>, ZHANG Xiur zhong<sup>1</sup>, SHU Feng chun<sup>1</sup>

(1. Shanghai Observatory, Chinese Academy of Sciences, Shanghai 200030, China;

2. Istituto di Radioastronomia CNR, Contra Renna, 96017 Noto (Sr), Italy)

**Abstract:** Digital single side band (SSB) down converter is an important part in software radio receiver as well as in data acquisition terminal of radio astronomy. Because the down converter follows the high speed Analog-Digital sampler directly, the requirement on the capability of processing data is very strict. In this paper, a parallel architecture is presented to implement Wideband digital SSB down converter, which can solve the DSP 'bottle neck'.

**Key words:** digital down converter; single side band (SSB); wideband

## 1 引言

近几年来,数字技术的发展日新月异,随着 A/D 采样芯片的速度越来越快,人们可以在更高的频率(1~2GHz)上将模拟信号转化成数字信号.软件无线电的基本思想是:通过将 A/D 和 D/A 向 RF 端靠近,在数字式硬件平台上用软件实现尽可能多的无线电功能,从而使系统具有良好的灵活性和可扩展性.另外,在射电天文观测领域,需要对来自河外星系的射电信号进行记录和处理,也需要建造类似的数字式平台.射电信号一般分成三类:谱线、脉冲信号和宽带白噪声信号.

实现的困难在于:实时处理 A/D 输出的高速数据流要求硬件平台具有极高的处理能力,因此存在 DSP 瓶颈.数字单边带下变频器是运算复杂度很高的处理单元,因此研究其高效的并行处理结构对于缓解 DSP 瓶颈,真正实现宽带处理具有重要的意义.国外对宽带数字单边带下变频器的研制也处于起步阶段<sup>[1]</sup>.另外,还须指出大容量、高速现场可编程(FPGA)芯片的快速发展为其提供了必要的硬件保障.

## 2 数字单边带下变频器的实现

### 2.1 实现原理

本文的数字单边带下变频器采用相移法实现单边带输出,实现的原理框图如图 1.

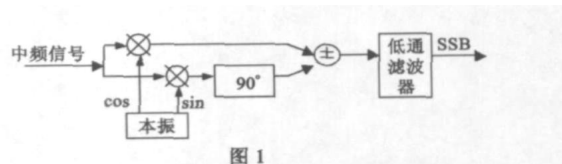


图 1

为了便于分析,假设得到的中频信号为两点频,则有:

$$V_{IF} = \cos(\omega_{IF1}t + \Omega) + \cos(\omega_{IF2}t + \Omega)$$

两路正交的本振信号为:

$$V_o = \cos \omega_o t, \quad V'_o = \sin \omega_o t, \quad \omega_{IF1} < \omega_o < \omega_{IF2}$$

经混频器混频后的得 I、Q 支路信号为:

$$V_I = V_{IF} * V_o = \cos((\omega_o - \omega_{IF1})t - \Omega) + \cos((\omega_{IF2} - \omega_o)t + \Omega) + \cos((\omega_{IF1} + \omega_o)t + \Omega) + \cos((\omega_{IF2} + \omega_o)t + \Omega)$$

$$V_Q = V_{IF} * V'_o = -\sin((\omega_o - \omega_{IF1})t - \Omega) + \sin((\omega_{IF2} - \omega_o)t + \Omega) + \sin((\omega_{IF1} + \omega_o)t + \Omega) + \sin((\omega_{IF2} + \omega_o)t + \Omega)$$

两支路信号经低通滤波后:

$$V'_I = \cos((\omega_o - \omega_{IF1})t - \Omega) + \cos((\omega_{IF2} - \omega_o)t + \Omega)$$

$$V'_Q = -\sin((\omega_o - \omega_{IF1})t - \Omega) + \sin((\omega_{IF2} - \omega_o)t + \Omega)$$

后 Q 支路经 Hilbert 滤波(90°相移全通网络):

$$V''_Q = -\sin((\omega_o - \omega_{IF1})t - \Omega - 90^\circ)$$

$$+ \sin((\omega_{IF2} - \omega_o)t + \Omega - 90^\circ)$$

$$= \cos((\omega_o - \omega_{IF1})t - \Omega) - \cos((\omega_{IF2} - \omega_o)t + \Omega)$$

这样,  $\dot{V}_I$ 、 $\dot{V}_Q$  相加或相减就可以得到下边带或上边带的信号了:

$$V_{SB} = \dot{V}_I + \dot{V}_Q = 2\cos((\omega_o - \omega_{IF1})t - \Omega)$$

$$V_{UB} = \dot{V}_I - \dot{V}_Q = 2\cos((\omega_{IF2} - \omega_o)t + \Omega)$$

## 2.2 宽带下变频器实现电路结构

宽带下变频器采用并行处理的算法实现宽带输入窄带输出, 通过对数字频率综合器(DDS)频率和初始相位的选择可以在输入的宽带中选择任意频段作为最终的窄带输出。图 2 为宽带下变频器的实现框图, 若采用  $M$  路并行处理, 那么最终窄带输出的最宽带宽为输入带宽的  $1/M$ 。

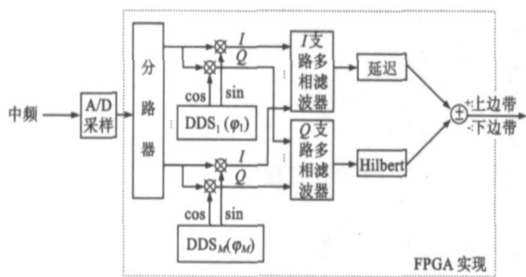


图 2

## 3 并行算法的具体实现

### 3.1 DDS 的并行实现

对于混频实际上是输入信号与一混频序列相乘, 混频序列为:

$$e^{j2\pi f_0 n T_s} = e^{j2\pi(f_0/f_s)n} \quad (1)$$

由本地数字频率综合器(DDS)产生频率为  $f_0$ , 数据速率为  $f_s$  (采样间隔  $T_s$ ) 的单频信号。DDS 的示意图如图 3<sup>[2]</sup>:

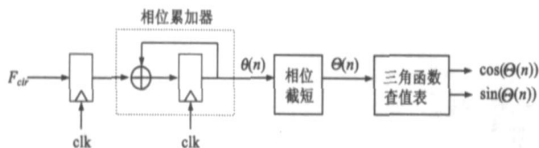


图 3

累加器通常用来执行线性数字信号的逐级累加过程。信号的范围是从 0 到累加器的满偏值。如果累加器采用  $B$  比特的二进制数, 则累加器的满偏值为  $2^B$ 。将累加器的 0 状态定义为 0 相位, 将累加器的满偏状态定义为  $2\pi(360^\circ)$ 。因此在累加器执行模为  $2^B$  运算操作时, 即可认为是输出波形的相位  $\theta(n)$ , 截短后的相位  $\Theta(n)$  经 ROM(三角函数查值表)最终输出 sine 或 cosine 波形的幅度值。DDS 的输出频率由累加器输出值的斜率(该合成器的相位改变速率)来控制。在一个时钟周期内相位增加值为  $\frac{F_{cir}}{2^{B_{\theta(n)}}}$ ,  $F_{cir}$  为频率控制字,  $B_{\theta(n)}$  为表示  $\theta(n)$  的 bit 数。则 DDS 的输出频率为:

$$f_{out} = \frac{f_{clk} F_{cir}}{2^{B_{\theta(n)}}} \text{Hz} \quad (2)$$

其中  $f_{clk}$  为时钟频率。

DDS 的频率分辨率:

$$\Delta f = \frac{f_{clk}}{2^{B_{\theta(n)}}} \quad (3)$$

DDS 中由于相位截短和幅度量化的存在, 在输出端信号的频谱不再是理想的单频信号的频谱, 而会产生频谱的杂散, 平均杂散功率为<sup>[3]</sup>:

$$\bar{P}_{spur} = \frac{2\pi^2}{3} \cdot 2^{-2A} + \frac{1}{3} 2^{-2D} \quad (4)$$

其中  $A$  为  $\Theta(n)$  的字长,  $D$  为 ROM 输出的三角函数幅度量化的字长。由式(4)可分别求出相位截短误差功率  $P_n$  和幅度量化误差功率  $P_a$ :

$$P_n = -6.02A + 8.2(\text{dB}) \quad (5)$$

$$P_a = -6.02D + 4.8(\text{dB}) \quad (6)$$

在实际中根据需要抑制总杂散功率的指标来选择  $A$  和  $D$ 。由式(5)、(6)可见,  $A$  和  $D$  的取值是相互关联的, 单一增加  $A$  和  $D$  没有实际意义。当  $A = D + 2$  时, 相位截短误差功率和幅度量化误差功率对总的杂散功率贡献基本相同。一般在射电观测中, 当观测谱线时对 DDS 的要求较高, 要求总杂散功率的抑制大于 60dB 以上, 此时取  $A = 12$ 、 $D = 10$ 、 $B_{\theta(n)} = 16$  为宜。

当采样速率很高时, 实现 DDS 的数字电路不可能在那么高的频率下工作; 这时, DDS 可采用并行的方式实现。设采用  $M$  路并行处理, 采样速率:  $f_s = Mf_{clk}$ , 即每路的工作时钟为  $f_{clk}$ ,  $f_{out}$  为要产生的本振频率, 则

$$F_{cir} = \frac{f_{out} 2^{B_{\theta(n)}}}{f_{clk}} \bmod(2^{B_{\theta(n)}}) \quad (7)$$

mod: 取模。而每路 DDS 的初始相位相差应为:

$$\Delta\phi = 2\pi f_{out} \frac{1}{f_s} = \frac{2\pi f_{out}}{M f_{clk}} \quad (8)$$

则  $M$  路 DDS 的输出应分别为:  $e^{j2\pi f_{out} n T_s}$ 、 $e^{j2\pi f_{out} n T_s + \phi}$ 、 $\dots$ 、 $e^{j2\pi f_{out} n T_s + (M-1)\phi}$ 。其中,  $T_s = \frac{M}{f_s}$ ,  $\phi = \frac{2\pi f_{out}}{M f_{clk}}$ 。在设计 DDS 时, 将 DDS 设计成可通过外部置数控制 DDS 的初相  $\phi$  和频率控制字  $F_{cir}$ 。

### 3.2 多相滤波器实现数字滤波的并行处理<sup>[4]</sup>

FIR 滤波器的频率响应为:  $H(e^{j\omega}) = \sum_{n=0}^{N-1} h(n) e^{-j\omega n}$ , 要求该滤波器为低通滤波, 且输出带宽是输入带宽的  $1/M$ , 在设计滤波器时, 选择  $N$  为  $M$  的整数倍, 采取多相滤波实现。

令  $p_{\rho}(n) = h(nM + \rho)$ ,  $x_{\rho}(n) = x(nM - \rho)$ ,  $x(n)$  为输入序列,

$$\text{则 } y(n) = \sum_{\rho=0}^{M-1} p_{\rho}(n) * x_{\rho}(n), * \text{ 为卷积运算} \quad (9)$$

于是得多相滤波器的实现形式如图 4, 采用逆时针方向的转换器, 数据  $x(n)$  以  $F$  的速率输入, 由于转换器的存在, 在

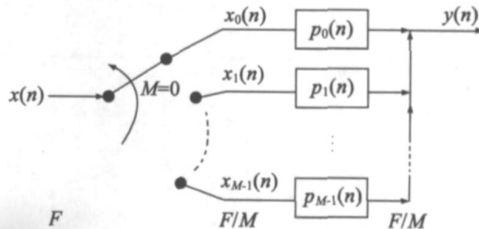


图 4 由转换器实现的多相结构

$x_0(n), x_1(n), \dots, x_{M-1}(n)$  处速率降为  $F/M$ , 每条支路以  $F/M$  的时钟进行乘累加运算, 最终  $y(n)$  以  $F/M$  的速率输出。

若数字滤波器的抽取因子  $M$  较高时, 可采用 CIC 滤波器。CIC 滤波器是一种高效、易实现的滤波器, 特别适合于高抽取率的场合。其传递函数为:

$$H(z) = \frac{(1-z^{-M})^N}{(1-z^{-1})^N} = \left[ \sum_{k=0}^{M-1} z^{-k} \right]^N \quad (10)$$

通过分析可给出实现 CIC 滤波器的另一种结构——FIR 结构。由式(10)可写成<sup>[5]</sup>:

$$H(z) = \prod_{i=0}^{(\log_2 M)-1} (1+z^{-2^i})^k \quad (11)$$

继而写成:

$$H(z) = H_1(z)H_2(z) = \left( \sum_{i=0}^{M-1} z^{-i} \right)^k \left[ \prod_{i=1}^{\log_2 M} (1+z^{-2^i})^k \right] \quad (12)$$

其中:

$$H_1(z) = \left( \sum_{i=0}^{M-1} z^{-i} \right)^k = \sum_{n=0}^{k(M-1)} h(n) z^{-n} \quad (13)$$

由此可利用 FIR 滤波器的多相分解, 实现并行处理。

#### 4 样机的实验结果

样机采用了 Maxim 的 A/D 采样器 MAX108, 它的最高采样速率可达 1.5Gsp/s, 8 比特位宽, DDS、多相滤波器和 Hilbert 滤波器采用 Xilinx 的大规模可编程芯片 (FPGA) XC2V3000-6 编程实现。在采用 FPGA 芯片实现的数字滤波中, 采用分布式算法<sup>[6]</sup> (Distributed Arithmetic) 可以充分利用 FPGA 丰富的 RAM 资源, 通过查表 (LUT: Look up Table) 的方式避免乘法运算, 以适应高时钟速率下的信号处理。图 5 为利用上海余山和乌鲁木齐的 VLBI (Very Long Baseline Interferometry) 实验天线, 以该样机实现数字下变频和带宽选择得到的 TG-1 卫星 (S 波段) 的 VLBI 相关条纹和频谱。

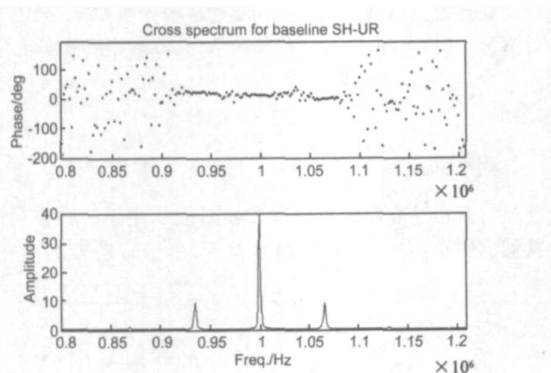


图 5

#### 5 结论

由于当前现有的专用数字下变频 (DDC) 器件难以满足实际需要, 高效的 DDC 结构和算法是软件无线电设计中的关键技术。本文从实现宽带的高速数据处理的实际出发, 将并行处理的思想引入到 DDC 的设计中, 详细研究了实现宽带数字下变频器的实现结构和算法, 具有较高的参考价值。

参考文献:

- [1] TUCCARI G. Development of a digital base band converter (DBBC): Basic elements and preliminary results [A]. New Technologies in VLBI. Astronomical Society of the Pacific Conference Series [C]. San Francisco California, 2003, 306: 177 - 191.
- [2] Xilinx, Inc. Digital Down Converter V1.0 Datasheet [Z]. San Jose California, 2002.
- [3] 王立新, 王志华. 直接数字频率合成总杂散功率的计算 [J]. 电子测量与仪器学报, 1997, 11(4): 19- 22.
- [4] CROCHIERE R E, RABINER L R. Multirate Digital Signal Processing [M]. Prentice Hall, Englewood Cliffs, NJ, 1983. 83 - 88.
- [5] GAO Y, JIA L, ISOAHO J, TENHUNEN H. A comparison design of comb decimators for sigma delta analog to digital converters [J]. Analog Integrated Circuits and Signal Processing, 2000, 22(1): 51- 60.
- [6] Deled A, Liu B. A new hardware realization of digital filters [J]. IEEE Transactions on Acoustics, Speech, and Signal Processing, 1974, 22(16): 456- 462.

作者简介:



项 英 上海天文台高级工程师, 博士, 2002 年获得中国科学院研究生科学与社会实践资助项目, 2004 年获得国防科学技术二等奖, 获奖名次为第六名, 2004 年 8 月~ 10 月和 2005 年 5 月~ 6 月, 赴意大利射电天文研究所参加 “miniDBBC 的研制”。E-mail: yxiang@shao.ac.cn



朱人杰 助理工程师, 学士, 参加 miniDBBC 的研制, 项目中负责高速电路板的测试。