

基于 XNOR/OR 逻辑的低功耗最佳极性搜索

汪鹏君^{1,2}, 陆金刚¹

(1. 宁波大学电路与系统研究所, 浙江宁波 315211; 2. 复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘 要: 本文通过对 XNOR/OR 逻辑表达式、信号概率传递算法和极性转换算法的研究, 提出了一种基于 XNOR/OR 逻辑的低功耗最佳极性搜索算法. 由于算法所用的成本函数包含功耗和面积两方面因素, 因此能实现功耗和面积的同时优化. 通过对 10 个 MCNC Benchmark 电路的测试表明, 算法对最佳极性的搜索相当有效: 与极性 0 时的 XNOR/OR 电路相比, 算法搜索到的最佳极性所对应的电路, 功耗和面积平均节省分别达到 68.4% 和 34.2%.

关键词: XNOR/OR 逻辑; 低功耗; 极性转换; 算法

中图分类号: TN41 **文献标识码:** A **文章编号:** 0372-2112 (2008) 05-0993-05

Searching the Best Polarity for Low Power Dissipation Based on XNOR/OR Logic

WANG Peng jun^{1,2}, LU Jirgang¹

(1. Institute of Circuits and Systems, Ningbo University, Ningbo, Zhejiang 315211, China;

2. State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

Abstract: A new algorithm based on XNOR/OR logic for searching the best polarity for low power dissipation has been proposed, by investigating the XNOR/OR logical expression, the propagation algorithm of signal probability and the polarity conversion algorithm. Since the cost function in this algorithm includes the power and the area, both of the power and the area can be optimized simultaneously. The results of testing ten circuits from MCNC Benchmark show that this algorithm is very effective to search the best polarity: the XNOR/OR circuits under the polarity searched by this algorithm have achieved average power saving and area saving, 68.4% and 34.2%, respectively, compared with those circuits under polarity 0.

Key words: XNOR/OR logic; low power; polarity conversion; algorithm

1 引言

逻辑函数既可用布尔逻辑形式表示, 也可用 REED-MULLER(RM) 逻辑形式表示. 大量的研究已经表明, 与传统布尔逻辑实现的电路相比, 用 RM 逻辑实现的电路(如算术电路、奇偶校验电路、通信电路等)在功耗、面积和速度等方面体现出了巨大的优势^[1]. 与布尔逻辑相类似, RM 逻辑函数也可以展开成两种相对应的形式, 即 XOR/AND(异或/与)形式和 XNOR/OR(同或/或)形式. 目前, 对 RM 逻辑的综合优化, 主要集中在 XOR/AND 形式上^[1~4]. 而对 XNOR/OR 展开式的相关研究仍停留在极性转换算法上^[5,6]. 国内外学者从布尔展开式和 XNOR/OR 展开式的相互转换及不同极性间的相互转换这两方面进行了研究, 并提出了相应的极性转换算法. 事实上, XNOR/OR 形式在实现逻辑函数最小化方面也具有其独到之处^[6]. 因此, 建立以 XNOR/OR 逻辑形式为基础的综合优化算法有其现实意义.

n 变量的逻辑函数具有 2^n 个极性, 与之相对应的有 2^n 个不同的 XNOR/OR 逻辑展开式. 故极性决定着 XNOR/OR 逻辑函数的繁简, 进而影响着 XNOR/OR 电路功耗、面积、速度等方面的性能. 因此, 搜索 XNOR/OR 逻辑展开式的最佳极性, 实现 XNOR/OR 电路功耗、面积等方面的最优化就显得很有必要. 鉴此, 本文在研究 XNOR/OR 逻辑展开式、信号概率传递算法和极性转换算法的基础上, 提出一种基于 XNOR/OR 逻辑的低功耗最佳极性搜索算法. 由于算法中使用的成本函数包含了功耗和面积两方面的因素, 因此能实现功耗和面积的同时优化. 最后, 对 10 个 MCNC Benchmark 电路进行测试以检验算法的有效性.

2 XNOR/OR 电路功耗估计模型

要实现 XNOR/OR 电路的低功耗设计, 首先建立 XNOR/OR 电路的功耗估计模型. CMOS 电路以动态功耗为主, 主要由负载电容的充放电引起, 对于一个由 n

个门组成的电路,其总的动态功耗可以表示为^[7]:

$$P = \frac{1}{2} V_{dd}^2 f_{clk} \sum_{i=1}^n C_L^i E_{swo}^i \quad (1)$$

其中, V_{dd} 是供电电压, f_{clk} 是时钟频率, C_L^i 是门 i 的输出负载电容, E_{swo}^i 是门 i 在每个时钟周期里的平均跳变次数,称为开关活动性。在逻辑综合过程中,往往只有 E_{swo}^i 是可控的,而且与功耗存在正比关系,因此开关活动性的大小直接反映了电路功耗的大小。而门电路的开关活动性可通过其输出端的信号概率得到^[2]:

$$E_{swo}^i = 2P_{o,i} \quad (2)$$

$$E_{swo}^i = 2P_{o,i}(1 - p_{o,i}) \quad (3)$$

其中 $P_{o,i}$ 表示输出信号概率,可利用输入信号概率通过信号几率传递算法而得到。式(2)和式(3)分别给出电路用动态逻辑和静态逻辑实现时开关活动性的计算公式。由于除了动态逻辑有一个预充电过程外,两者没有本质的区别,且静态逻辑在 CMOS 电路中更常见,因此下文开关活动性的计算将围绕静态逻辑展开。

任何逻辑函数都可以表示成^[6]:

$$f(x_{n-1}, x_{n-2}, \dots, x_0) = \odot \prod_{i=1}^{2^n-1} (d_i + S_i) \quad (4)$$

其中,下标 i 的二进制形式可表示为 $i_{n-1}i_{n-2} \dots i_0$; $\odot \prod$ 表示 XNOR 操作; $d_i \in \{0, 1\}$, 表示 S_i 项是否在表达式中出现; S_i 为 OR 项,可表示为(其中 $j \in \{0, 1, \dots, n-1\}$):

$$S_i = \dot{x}_{n-1} + \dot{x}_{n-2} + \dots + \dot{x}_0, \quad \dot{x}_j = \begin{cases} 0, & i_j = 0 \\ x_j, & i_j = 1 \end{cases} \quad (5)$$

对于一个固定极性 $P = (p_{n-1} p_{n-2} \dots p_0)$, 每个变量在式(4)中只能以原型或补的形式出现:如 p_j 为 0 则相应的变量为原型,否则为其补的形式。因此 n 变量的逻辑函数具有 2^n 个固定极性,与之对应的有 2^n 个 XNOR/OR 逻辑表达式。

从式(4)可知, XNOR/OR 电路完全由多输入 XNOR 门和多输入 OR 门组成,因此电路的功耗也完全由这两者引起。但由于在电路映射之前,往往需要把式(4)中的多输入 XNOR 门和 OR 门分解成一系列二输入 XNOR 门和 OR 门,因此 XNOR/OR 电路的功耗其实是由二输入 XNOR 门和 OR 门引起的。由于 OR 门的输出信号概率随输入信号概率的增加而增大,因此其分解过程比较简单,用霍夫曼算法就可以得到较好的结果。而 XNOR 门的分解比较复杂,故本文在重点讨论多输入 XNOR 门低功耗分解的基础上,建立 XNOR/OR 电路的功耗估计模型。根据文献[8]中提出的信号概率传递算法,可推出二输入 XNOR 门的输出信号概率函数:

$$f(x, y) = 1 + 2xy - x - y \quad (6)$$

对 $f(x, y)$ 求偏导,得:

$$\frac{\partial f}{\partial x} = 2y - 1, \quad \frac{\partial f}{\partial y} = 2x - 1 \quad (7)$$

可见,在固定 x 的情况下:当 $0 < x < 0.5$, $0 < y < 0.5$ 时, $f(x, y)$ 随 y 的增加而减小,且其值始终大于 0.5; 当 $0 < x < 0.5$, $0.5 < y < 1$ 时, $f(x, y)$ 也随 y 的增加而减小,但其值始终小于 0.5; 当 $x = 0.5$ (或 $y = 0.5$) 时, $f(x, y)$ 始终保持为 0.5; 当 $0.5 < x < 1$, $0 < y < 0.5$ 时, $f(x, y)$ 随 y 的增加而增加,且其值始终小于 0.5; 当 $0.5 < x < 1$, $0.5 < y < 1$ 时, $f(x, y)$ 也随 y 的增加而增加,但其值始终大于 0.5。由于 x 与 y 完全对称,当固定 y , 变化 x 时, $f(x, y)$ 同样具有上述特点,故二输入 XNOR 门输入/输出信号概率分布情况可用图 1 表示。

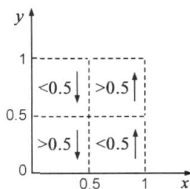


图1 二输入 XNOR 门输入/输出信号概率分布图

由式(3)可知,静态逻辑电路开关活动性的计算曲线是一条以 $P(x) = 1/2$ 为对称轴的开口向下的抛物线。因此,为使其值最小,输出信号概率应尽可能的接近 0 或者 1。故多输入 XNOR 门的低功耗分解过程可表述如下:

(1) 多输入 XNOR 门的所有输入信号概率都大于 0.5: 此时, $f(x, y)$ 随 x (或 y) 的增加而严格增加,且任意两个信号的综合结果始终大于 0.5。因此,每次都取概率值最大的两个信号进行综合,输出概率必最接近于 1, 开关活动必最小。

(2) 多输入 XNOR 门的输入信号中既有概率值大于 0.5 的信号,又有概率值小于 0.5 的信号: 此时,若所取信号的概率值都小于 0.5 或都大于 0.5, 其综合结果将大于 0.5, 且有可能达到接近 1 的最大值; 若所取信号的概率一个大于 0.5, 另一个小于 0.5, 则其综合结果将小于 0.5, 且有可能达到接近 0 的最小值。由于输出概率接近 0 或 1 都有可能使开关活动性最小, 因此为使功耗最低, 每次都需要判断这两个综合结果。此外, 由于其综合结果的不确定性, 在综合过程中将有可能出现全部概率值都变成大于 0.5 (或都小于 0.5) 的情况, 因此在综合之前需判断每个信号的概率值。

(3) 多输入 XNOR 门的所有输入信号概率都小于 0.5: 此时, $f(x, y)$ 随 x (或 y) 的增加而严格减小, 且综合结果始终大于 0.5。因此第一次综合时, 取概率值最小的两个信号进行结合, 输出概率必最接近 1, 开关活动性必最小。但由于第一次综合将产生一个概率大于 0.5 的信号, 以后的综合将同情况(2)完全相同。

从上述分析可见: 情况(1)的分解过程非常简单, 使用霍夫曼算法就可以达到理论上的最小值; 而情况(2)、(3)则相当复杂, 因此从降低运算复杂度出发, 此分解过程需要改进。

二输入 XNOR 门具有相同输出为“1”, 不同输出为

“0”的工作特性. 因此, 若改变单个输入信号, 输出将发生跳变; 若同时改变两个输入信号, 输出将保持不变. 与之相对应, 其输出信号概率也有类似特点: 若其中一个输入信号概率取 1 的补, 则输出信号概率为原输出信号概率 1 的补; 若两个输入信号其概率都取 1 的补, 则输出信号概率保持不变. 而根据式(3)可知, 静态逻辑电路原信号的开关活动性与其补信号(1 的补)的开关活动性是相等的. 因而, 对于 XNOR 门来说, 在静态逻辑中, 输入信号概率若取 1 的补将不影响开关活动性. 因此, 可以将输入信号中概率小于 0.5 的值全都取成 1 的补, 使情况(2)、(3)转变为情况(1), 从而简化分解过程.

因此, 可建立如下的 XNOR/OR 电路功耗估计模型: 先用霍夫曼算法对多输入 OR 门进行低功耗分解, 并结合信号概率传递算法得到二输入 OR 门的最终输出信号概率和开关活动性, 其中 OR 门的最终输出信号概率将作为多输入 XNOR 门的初始输入信号概率; 然后按照上文得出的算法, 对多输入 XNOR 门进行低功耗分解, 得到 XNOR 门的开关活动性; 最后, 将 XNOR 门和 OR 门的开关活动性相加, 得到整个 XNOR/OR 电路的开关活动性. 基于同时优化功耗和面积的目的, 本文将多输入 XNOR 和 OR 门经低功耗分解后得到的二输入 XNOR 和 OR 门的数量也引入了成本函数. 算法所用成本函数如式(8)所示:

$$TotalCost = \alpha * SaCost + (1 - \alpha) * AreaCost \quad (8)$$

其中, $SaCost$ 表示 XNOR/OR 电路总的开关活动性; $AreaCost$ 表示二输入 XNOR 门和 OR 门的数量; α 为功耗和面积的权重, 取值: $0 < \alpha < 1$.

3 XNOR/OR 逻辑极性转换

n 变量的逻辑函数具有 2^n 个固定极性, 与之相对应的有 2^n 个不同的 XNOR/OR 逻辑展开式. 因此为检验某一极性的优劣, 首先需要得到该极性下的 XNOR/OR 展开式, 然后用上文提出的成本函数来对其评估. 而 XNOR/OR 逻辑展开式的获得一般有两种方式: (1) 从布尔展开式通过极性转换算法得到; (2) 从已有的 XNOR/OR 展开式通过极性间转换算法得到.

布尔展开式和 XNOR/OR 展开式之间的相互转换, 较为著名的有表折叠法 (Map Folding Method) 和列表法 (Tabular Method)^[5]. 但上述算法都不同程度的存在转换速度慢、时间复杂度大的问题. 而文献[6]在对原有列表算法进行深入研究的基础上, 提出了一种快速列表技术 (Fast Tabular Technique). 该改进算法克服了原有列表技术只能串行处理数据的缺点, 使其可并行处理数据, 从而极大的提高了转换速度. 现将其转换过程表述如下 (实现从布尔函数最大项到某一极性下 XNOR/OR 展开式的转换):

(1) 将所有的最大项以二进制形式表示.

(2) 将所要求的极性转换成二进制形式, 并与所有最大项进行异或操作, 得到新项.

(3) 选择一个第 i 位为 1 的新项, 以此位为无关项, 再产生所有 $2^i - 1$ 个新项, 并更新索引表中的项数.

(4) 重复步骤(3), 直至操作完所有新项.

(5) 索引表中项数为奇数的项即为所要求的 XNOR/OR 项.

而基于列表技术的极性间转换算法, 其转换过程可描述如下:

(1) 探明两个极性间不同的位, 并将其称为 $x_{i1}, x_{i2}, \dots, x_{ir}$.

(2) 将所有和项以二进制形式表示.

(3) 将每个第 i_k 位为 0 的项进行此位的取反操作, 其余位保持不变.

(4) 去除新项与最初项成双的项.

(5) 对所有的 $x_{i1}, x_{i2}, \dots, x_{ir}$ 重复步骤(3)、(4), 剩余的项即为所要求极性下的 XNOR/OR 展开项.

从上述极性间转换过程可看出, 对于一个 n 变量的逻辑函数, 在已知某一极性 XNOR/OR 展开式的基础上, 如果每次转换的两个极性的二进制形式只有一位不同, 那么剩余的 $2^n - 1$ 个极性下的 XNOR/OR 展开式只需通过 $2^n - 1$ 步转换就可以得到. 以一个 3 变量的函数为例, 极性以如下的格雷码顺序出现时无疑具有最快的转换速度: $000 \rightarrow 001 \rightarrow 011 \rightarrow 010 \rightarrow 110 \rightarrow 111 \rightarrow 101 \rightarrow 100$.

因此, 可建立如下的极性转换方案: 首先, 用快速列表算法实现从布尔逻辑最大项到 0 极性 XNOR/OR 展开式的转换 (MCNC Benchmark 电路以布尔逻辑形式提供); 然后, 以格雷码顺序, 用基于列表技术的极性间转换算法实现从 0 极性下的 XNOR/OR 展开式到其余 $2^n - 1$ 个极性下的 XNOR/OR 展开式的转换.

4 最佳极性搜索

根据上文建立的 XNOR/OR 功耗估计模型和基于列表技术的极性转换算法, 可提出一种实现功耗和面积同时优化的 XNOR/OR 逻辑最佳极性搜索算法, 其具体过程可表述如下: 首先用快速列表极性转换算法从布尔函数最大项得到 0 极性下的 XNOR/OR 展开式; 用所建立的功耗估计模型检测该展开式, 得到其功耗 ($SaCost$) 和面积 ($AreaCost$) 值, 并据此计算成本值 ($TotalCost$); 将 0 极性下的功耗、面积和成本值作为最小功耗 ($Mini_SaCost$)、最小面积 ($Mini_AreaCost$)、最小成本值 ($Mini_TotalCost$); 然后依格雷码顺序用基于列表技术的极性间转换算法, 由 0 极性下的展开式依次得到其余 $2^n - 1$ 个 XNOR/OR 展开式, 并用功耗估计模型逐一检测这些展开式, 得到相应极性下的功耗、面积和成本值; 以成本值

的大小 ($TotalCost < Mini_TotalCost$), 不断更新 $Mini_SACost$ 、 $Mini_AreaCost$ 、 $Mini_TotalCost$ 和 $Best_Polarity$ 的值; 最后输出 $Mini_SACost$ 、 $Mini_AreaCost$ 、 $Mini_TotalCost$ 和 $Best_Polarity$. 算法伪代码如图 2 所示

```
No. of Total Terms: the number of total terms, if s equal to 2^n
begin:
    FFT( 0 );      // obtain the XNOR/ OR expansion with polarity 0
    XNOR_OR_Power_Model();
    TotalCost= proportion* SACost+ ( 1- proportion) * AreaCost;
    Mini_TotalCost= TotalCost;
    Mini_SACost= SACost;
    Mini_AreaCost= AreaCost;
    Best_Polarity= Before_Polarity= 0;
    for( i= 1; i< No. of Total Terms; i++ )
    {
        Now_Polarity= i^(i>>1);      // produce the Gray code
        Change_Signal_Probability( Now_Polarity );
        Conversion_BeforePolarity_to_Nowpolarity( Before_Polarity, Now_Polarity );
        XNOR_OR_Power_Model();
        TotalCost= proportion* SACost+ ( 1- proportion) * AreaCost;
        if(TotalCost< Mini_TotalCost)
        {
            Best_Polarity= Now_Polarity;
            Mini_TotalCost= TotalCost;
            Mini_SACost= SACost;
            Mini_AreaCost= AreaCost;
        }
    }
    Before_Polarity= Now_Polarity;
}
Output();
End algorithm
```

图 2 最佳极性搜索程序伪代码

5 实验结果与分析

所提出的算法已用 C 语言加以实现, 在 Linux 环境

下通过 GNU C 的编译. 在 P IV2. 4GHz、256M 内存的个人计算机上, 用该算法对 10 个 MCNC Benchmark 电路进行测试. 为计算 XNOR/ OR 电路的开关活动性, 本文用随机函数产生 20 个输入信号概率: 0. 14, 0. 82, 0. 31, 0. 03, 0. 30, 0. 72, 0. 59, 0. 95, 0. 42, 0. 93, 0. 63, 0. 32, 0. 68, 0. 22, 0. 42, 0. 57, 0. 69, 0. 75, 0. 19, 0. 18, 结果如表 1 所示. 为检验算法的有效性, 极性 0 时 XNOR/ OR 电路的开关活动性和面积 (二输入 XNOR/ OR 门的数量) 同时在表中列出, 以作比较.

实验结果如表 1 所示. 其中列 1 表示所使用的 Benchmark 电路名称; 列 2 表示所用电路的变量数; 列 3 和列 4 分别表示在极性 0 时电路的开关活动性 (SA_0) 和面积 ($Area_0$; 二输入 XNOR/ OR 门数量); 列 5、列 6 和列 7 分别给出用本文所提算法搜索得到的最佳极性, 及该极性下的开关活动性 (SA_{BP}) 和面积 ($Area_{BP}$; 二输入 XNOR/ OR 门数量); 列 8 和列 9 分别表示最佳极性 XNOR/ OR 电路与 0 极性 XNOR/ OR 电路相比在开关活动性和面积上节省的百分比, 其中开关活动性节省百分比定义如下:

$$Save_{SA}\% = \frac{SA_0 - SA_{BP}}{SA_0} \times 100\%$$
 (9)

面积节省百分比也相类似的定义为:

$$Save_{Area}\% = \frac{Area_0 - Area_{BP}}{Area_0} \times 100\%$$
 (10)

列 10 给出了算法所用时间, 从实验结果可以看出算法相当快速.

从表 1 所示的实验数据可知, 所用算法在最佳极性的搜索上相当有效. 与极性 0 时相比, 算法所得出的最佳极性, 其所对应的 XNOR/ OR 电路在开关活动性和面积上的节省最高分别达到 94. 4% 和 82. 2%, 而 10 个电路在开关活动性和面积上的平均节省也分别达到 68. 4% 和 34. 2%.

表 1 XNOR/ OR 最佳极性搜索实验数据

Circuit	Inputs	Polarity 0		Best Polarity			Save (%)		Time (s)
		SA_0	$Area_0(xnor/ or)$	Polarity	SA_{BP}	$Area_{BP}(xnor/ or)$	SA	Area	
suar5	5	11. 52	14/31	23	0. 64	3/5	94. 4	82. 2	~ 0
inc	7	16. 59	20/43	42	4. 97	11/26	70. 0	41. 3	~ 0
con1	7	18. 24	18/42	89	2. 53	11/24	86. 1	41. 7	~ 0
rd84	8	21. 74	36/28	190	10. 64	29/28	51. 1	10. 9	~ 0
sqr8	8	14. 38	24/77	32	11. 84	23/68	17. 1	9. 9	0. 03
9sym	9	127. 29	210/546	369	17. 56	171/464	86. 2	16. 0	0. 29
clip	9	55. 80	116/442	436	8. 63	85/356	84. 5	21. 0	0. 21
ex1010	10	118. 50	486/2010	228	61. 30	440/1878	48. 3	7. 1	3. 78
sao2	10	5. 96	116/602	996	1. 06	51/315	82. 2	49. 0	0. 99
t481	16	25. 79	39/68	26214	9. 16	11/28	64. 5	63. 6	4. 74

6 结论

在研究 XNOR/OR 逻辑展开式的基础上, 首先, 根据信号概率的传递算法, 提出了多输入 XNOR 门的低功耗分解算法, 并在此基础上建立了 XNOR/OR 电路的功耗估计模型; 然后, 结合该功耗估计模型实现了针对功耗和面积同时优化的最佳极性搜索算法. 该算法已用 C 语言加以实现, 并通过对 10 个 MCNC Benchmark 电路的测试, 结果表明该算法在最佳极性的搜索上相当有效.

参考文献:

- [1] E C Tan, H Yang. Optimization of fixed polarity reed-muller circuits using dual polarity property[J]. Circuits Systems Signal Process. 2000, 19(6) : 535– 548.
- [2] Hai zhou, D F Wong. Optimal low power XOR gate decomposition[A]. ACM/IEEE Design Automation Conference[C]. Las Angeles, USA, 2000. 104– 107.
- [3] Falkowski, Bogdan Jaroslaw; Lozano, Cicilia Claudia; Rahardja, Susanto. Column polarity matrix algorithm for ternary fixed polarity Reed Muller expansions[J]. Journal of Circuits, Systems and Computers. 2006, 15(2) : 243– 262.
- [4] L Wang, A E A Almaini. Exact minimization of large multiple

output FPRM functions[J]. IEE Proc Comput Digit Tech, 2002, 149(5) : 203– 212.

- [5] E C Tan, H Yang. Fast tabular techniques for fixed polarity reed-muller logic with inherent parallel process[J]. Int Journal of Electronics, 1998, 85(4) : 511– 520.
- [6] Wang Pengjun, Chen Xiexiong. Tabular techniques for OR coincidence logic[J]. Journal of Electronics(CHINA) . 2006, 23(2) : 269– 273.
- [7] David Nguyen, Abhijit Davare, Michael Orshansky. Minimization of dynamic and static power through joint assignment of threshold voltages and sizing optimization[A]. ISLPED' 03 [C]. Seoul, Korea, 2003. 158– 163.
- [8] 吴训威, 盛法生, M Pedram. 功耗估计中的多值行为几率算法[J]. 杭州电子工业学院学报, 2000, 20(6) : 1– 7.

作者简介:

汪鹏君 男, 博士, 教授, 硕士生导师, 中国电子学会高级会员, 中国计算机学会高级会员, 中国计算机学会多值逻辑与模糊逻辑专业委员会委员. 目前主要从事多值逻辑电路和低功耗集成电路理论及设计方面的研究工作. E-mail: wangpj@mail. nbptt. zj. cn

陆金刚 男, 硕士研究生. 主要从事多值逻辑电路和低功耗集成电路理论及设计方面的研究工作.