

# CMOS 射频集成电路的现状与进展

王志华, 吴恩德

(清华大学电子工程系, 北京 100084)

**摘 要:** 随着低功耗、可移动个人无线通信的发展和 CMOS 工艺性能的提高, 用 CMOS 工艺实现无线通信系统的射频前端不仅必要而且可能. 本文讨论了用 CMOS 工艺实现射频集成电路的特殊问题. 首先介绍各种收发器的体系结构, 对它们的优缺点进行比较, 指出在设计中要考虑的一些问题. 其次讨论 CMOS 射频前端的重要功能单元, 包括低噪声放大器、混频器、频率综合器和功率放大器. 对各单元模块在设计中的技术指标, 可能采用的电路结构以及应该注意的问题进行了讨论. 此外, 论文还讨论了射频频段电感、电容等无源器件集成的可能性以及方法. 最后对 CMOS 射频集成电路的发展方向提出了一些看法.

**关键词:** CMOS 射频集成电路; 收发器件系结构; 低噪声放大器; 混频器; 频率综合器; 功率放大器

**中图分类号:** TN409 **文献标识码:** A **文章编号:** 0372-2112 (2001) 02-0233-06

## A Review of the Research on CMOS Radio Frequency Integrated Circuits

WANG Zhi-hua, WU En-de

(Dept. of Electronic Engineering, Tsinghua University, Beijing 100084, China)

**Abstract:** With the development of low power mobile wireless personal communication and the improvement of performance of CMOS technology, to implement a RF front end of a wireless communication system using CMOS technology is not only necessary but also feasible. In this paper, special issues to implement the RF integrated circuits are discussed. Firstly, a variety of transceiver architectures are reviewed in comparison of their characteristics and kernel issues that should be addressed in transceiver design. Secondly, important building blocks of CMOS RF front end, including low noise amplifier, mixer, frequency synthesizer and power amplifier, are discussed. The core subject of such building blocks such as figure of merit, possible circuit schematics and others are presented. Thirdly, the possibilities and methods to integrate the inductor and capacitor in the RF band are figured out in this paper. And, finally a perspective for the development of CMOS RF integrated circuits are dressed out.

**Key words:** CMOS radio-frequency integrated circuits; architecture of transceivers; low noise amplifier; mixer; frequency synthesizer; power amplifier

### 1 引言

在过去的十年中, 寻呼机、无绳电话、模拟及数字蜂窝电话等个人通信系统以及数字电视、广播得到了迅猛发展, 对重量轻、体积小、功耗低、成本低的收发器的需求也迅速增加, 提高收发器的集成度无疑是满足上述需求的重要途径. 在以往的收发器中, 数字处理部分通常采用低成本的标准 CMOS 工艺, 射频前端一般采用 GaAs、Bipolar 或 BiCMOS 工艺. 由于数字处理部分的通常占到芯片面积的 75% 以上, 集成度及功耗等指标的要求使得不可能以 CMOS 以外的其他工艺实现, 所以只有实现 CMOS 集成射频前端, 才能实现单片集成的收发器并最终实现单片集成的移动通信产品. 目前随着 CMOS 工艺的发展, 它的单位增益截止频率已经接近 GaAs 水平, 同时出现了一些采用 CMOS 工艺实现的射频前端的单元电路及收发器<sup>[1-5]</sup>. 这也使得采用 CMOS 工艺实现移动通信产品的单

芯片集成成为可能.

与其它工艺相比, CMOS 工艺存在跨导小、频率特性差、噪声大及无源器件集成困难等不足. 为实现 CMOS 射频集成电路, 在系统级上需要研究收发器体系结构以尽量减少乃至消除收发器中所需无源器件, 降低系统对于射频前端的技术指标要求; 在电路级上需要研究能够工作在射频频段的高性能单元电路和高品质因数的无源器件.

本文将围绕以 CMOS 工艺实现射频集成电路的特殊问题, 综述收发器的体系结构, 关键单元电路和无源器件的研究现状, 并对该领域今后的发展方向作出预测.

### 2 收发器的体系结构

接收是收发器中的主要部分, 无线接收的最经典结构是超外差接收(或称中频接收), 它将带内信号从射频变换到固

定中频,然后在中频进行带通滤波、自动增益控制等处理.它使用大量高品质因数的分离元件构成单元电路来实现高选择性和高灵敏度,主要包括低噪声放大器、混频器、射频、中频和镜像频率抑制滤波器和压控振荡器等等.为采用 CMOS 工艺集成带来了困难.

宽带中频接收<sup>[4]</sup>是中频接收的一个变种,它利用固定本振将带内信号从射频变换到中频,然后进行低通滤波,而信道选择在第二次变频过程中完成.因此,第一次变频本振信号可以通过固定分频比的频率综合器产生.由于压控振荡器的相位噪声传输函数是高通函数,所以使用宽带频率综合器可以降低对压控振荡器的相位噪声要求.另外信道选择在第二次变频过程中完成,增加了系统的灵活性,适当选择第一本振信号的频率可以构成双频收发器<sup>[5]</sup>.

中频接收存在镜像频率干扰问题,即在下变频过程中,有用信号及其关于本振信号对称的镜像频率信号被变换到相同的频带内,形成干扰.为消除此干扰,前人提出了许多镜像频率抑制结构,最主要的有 Hartley 结构(图 1(a))、Weaver 结构(图 1(b))和双正交结构<sup>[4]</sup>(图 1(c)). Hartley 结构使用无源移相滤波器,只能实现窄带镜像频率抑制. Weaver 结构和双正交结构能够实现有源镜像频率抑制;利用第二中频进行信道选择,不需要  $Q$  带通滤波器,而且调整第一本振就可以构成多标准接收.第一本振与载频不相同,不存在直流失调问题.但是这两种结构均使用更多的混频器,因此会增功耗和失真.

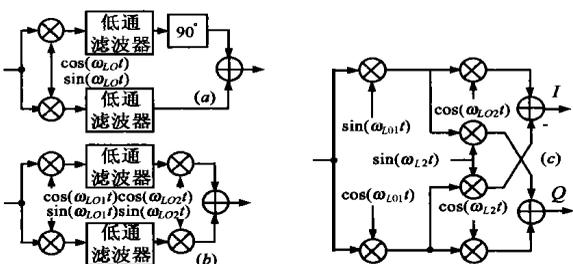


图 1 镜频抑制结构

零中频接收<sup>[2]</sup>使用一个混频器直接将带内信号从射频变换到基带,在理想情况下,不存在镜像频率干扰问题.它的困难在于需要设计射频频率综合器,而且由下面的讨论可见,频率综合器的性能对于零中频接收的影响很大.

零中频接收存在的最主要问题是直流失调.由于本振与接收信号的载波频率相同,在本振和混频器的射频输入端口之间不能理想隔离的情况下,造成本振信号泄漏到低噪声放大器和混频器的输入端,通过自混频形成直流失调.而从天线到模数转换器输出端间增益一般可以达到 100dB 以上,即使是很小的直流失调也可能对基带部分造成很大的干扰.

要消除直流失调,最简单的方法就是采用高通滤波器,但是通常信息调制方案产生的有用信号的频谱低端可以到几十赫兹,要求高通滤波器的通频带边缘频率非常低.这样不仅实现困难而且反应速度慢,很难消除变化较快的直流失调(比如越区切换时).较好的直流补偿方法是在基带进行数字处理后,在模拟信号通路减去调整量<sup>[6]</sup>;或者采用频谱结构不包含直流分量的调制方案,比如寻呼机系统<sup>[3]</sup>.

零中频接收还存在其它问题,比如在混频器自身对称性退化情况下,有效信道附近存在的两个较强干扰在下变频过程中可能混叠到基带中造成偶阶失真; $I$ - $Q$  两个正交通道的混频器失配造成对基带部分的干扰等.这些问题都可以通过基带的数字处理来消除<sup>[7]</sup>.此外本振泄漏还会从天线发射出去,对其它接收机造成干扰.

传统的接收中模数转换是在基带进行,因此前面需要模拟中频级.采样中频接收<sup>[8]</sup>(图 2(a))通过亚采样将中频信号变频至第二中频,然后由带通-模数转换器数字化,最后由数字混频器下变频至基带信号.这种方案提高了接收机的数字化程度,增加了灵活性,降低了功耗.

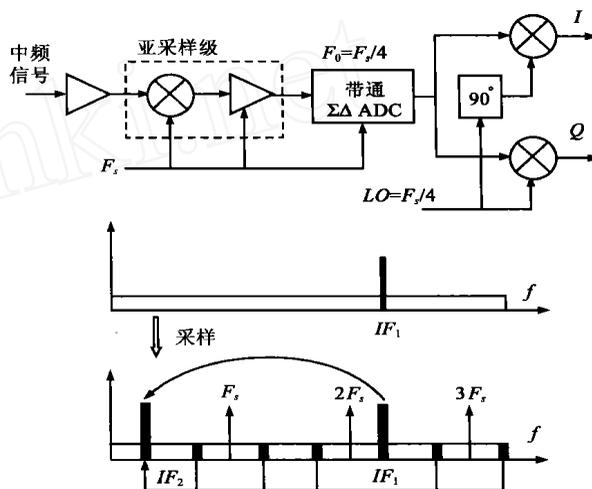


图 2 采样中频接收

采样中频接收存在的最主要问题是噪声混叠<sup>[14]</sup>(图 2(b)).在亚采样情况下,除了带内信号,宽带噪声以及无用分量都会混叠入有效带内.因此信噪比将恶化  $IF_1/IF_2$  倍,其中  $IF_1$ 、 $IF_2$  分别是第一和第二中频,这要求提高前级中频滤波器对带外信号抑制能力的要求.另外,亚采样级的采样时钟频率虽然较低,但是其时间抖动应该比第一中频信号的周期小得多.收发器中发射部分的体系结构大体可以分为两大类:基于混频器的和基于锁相环的.前者又分为两次上变频和直接上变频两种,基本与接收部分的体系结构类似.对于基于混频器的发射机,都需要不能集成的滤波器,比如,在两次上变频的发射机中就有功率放大器后接射频滤波器,混频器后接的镜像频率抑制滤波器以及调制器后接的中频滤波器.直接上变频发射机减少了镜像频率抑制滤波器,却将中频滤波器变为射频滤波器.这些滤波器无疑增加了集成的难度和功耗.基于锁相环的发射机能够减少两次上变频发射机中的中频滤波器的镜像频率抑制滤波器.实际上,基于锁相环的发射机是将调制和上变频器融合为一体,利用锁相环自身固有的滤波特性来抑制频率变换过程中产生的各种谐波与噪声.另外,在直接上变频和基于锁相环的发射机中,由于压控振荡器和功率放大器的工作频率接近,可能因为功率放大器的功率泄漏造成压控振荡器无法正常工作,对隔离的要求较高.

### 3 CMOS 射频集成电路中的功能单元\*

#### 3.1 低噪声放大器

低噪声放大器是收发器中接收部分的第一个模块,其重要的指标有两项:噪声指数——确定了最小可检测信号;三阶输入截止点——与噪声指数一起确定了无杂散输出动态范围.此外还有一些附加要求,比如适当的增益和低直流功耗等.

由于低噪声放大器的前一级通常是天线或带通滤波器,为了达到功率的最大传输,放大器的输入级最好与 50  $\Omega$  匹配;为了实现低噪声,还需要保证噪声匹配.目前,低噪声放大器主要有四种形式<sup>[9]</sup>:电阻端接,  $1/g_m$  端接,旁路电阻反馈和电感源极反馈.对于电阻端接形式,由于 50  $\Omega$  电阻与 50  $\Omega$  源电阻的噪声贡献相同,所以这种结构的噪声指数将超过 3dB.对于  $1/g_m$  端接形式,噪声指数为:  $1 + \frac{g_{m0}}{g_m}$ , 其中  $g_{m0}$  是 MOS 管的沟道热噪声系数,  $g_m$  是跨导,  $g_{m0}$  是零偏置漏极跨导.对于长沟道器件,  $\frac{g_{m0}}{g_m} = 2/3$ ,  $\frac{g_{m0}}{g_m} = 1$ , 此时噪声指数为 2.2dB, 当沟道长度小到 0.7  $\mu\text{m}$  时,  $\frac{g_{m0}}{g_m}$  可以为 2 至 3,  $\frac{g_{m0}}{g_m} \leq 1$ , 相应的噪声指数可以为 6dB.对于旁路电阻反馈,在相同噪声指数的情况下,相对于其它形式,它的功耗特别大.只有电感源极反馈形式可以在窄带情况下实现较好的噪声性能,因此目前应用最为广泛.

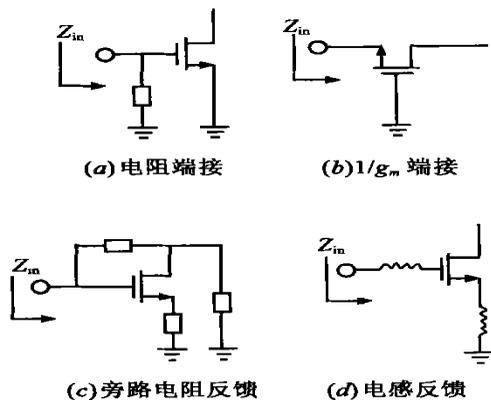


图3 低噪声放大器的四种形式

#### 3.2 混频器

混频器是射频前端最关键的模块,它实现了频率变换过程.混频器的设计要综合考虑线性度、转换增益、端口到端口的隔离度等指标,其中最关键的指标是线性度.

目前最常见、应用最为广泛的混频器结构是使用 Gilbert 乘法器.它工作原理简单,但是在没有预失真电路的情形下,本振的线性输入范围很小,所以乘法器型混频器通常工作在开关模式.这种方式有两个重要的缺陷.首先,为了使调制管几乎瞬时开关并防止大的三阶交调失真,必须使用大的本振方波信号.同时,大的本振信号会导致大的本振馈通问题.其次,在方波信号中,三次、四次谐波只分别比基波信号低 10dB 和 14dB.这样,就必须在混频器后接滤波器以满足带外信号特性.

对于便携设备,要求能够低电压、低功耗工作.文献[10]

在混频器中采用共源共栅的 N 沟道和 P 沟道器件,可以保证电流的再利用,从而降低功耗.但是由于使用 P 沟道器件,会降低混频器最高工作频率.通常认为 Gilbert 乘法器是堆叠形式的电路,要求电源电压较大.但是文献[11]以实验证明,采用 0.8  $\mu\text{m}$  CMOS 工艺的 Gilbert 乘法器既可以用于上变频器也可以用于下变频器.对于下变频器,在工作频率为 1.9 GHz 时,电源电压可以低至 1.8V;对于上变频器,在工作频率高达 5 GHz 时,电源电压可以低至 1.5V.另外可以采用新型乘法器结构进一步降低电源电压.文献[12]提出一种并行的四象限乘法器结构(图 4),它在电源与地之间只有一个管子,工作的电源电压可以低至 1.2V.

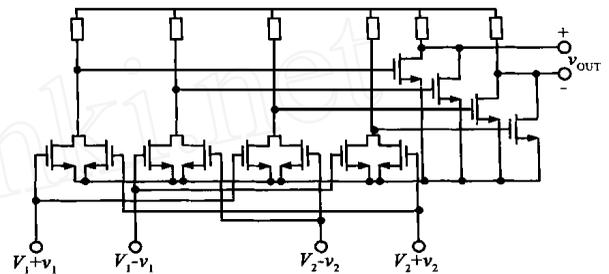


图4 并行乘法器

为了改善混频器的线性度,人们提出了一些新的混频器结构,其中最主要有交叉耦合型<sup>[13]</sup>和亚抽样型<sup>[14]</sup>.交叉耦合型混频器(图 5)利用输入信号或本振信号控制 MOS 管使其工作在线性区.为了保证混频器能够在较宽的频率范围内正确工作,必须保证图 5 中标出的两个电流加和点 X、Y 是虚拟地,这可以通过与运算放大器的输入端相连来实现.对于下变频器,利用反馈电容来滤除的增益带宽积限制了输出信号的频率范围,尤其是对于上变频器.更为重要的是输入 MOS 管的电阻热噪声使得混频器的输出噪声较大,减小混频器的动态范围.亚抽样混频器在理论上具有很好的线性度,但是正如采样中频接收部分所述,它存在噪声混叠和抽样时钟时间抖动要求高等问题.

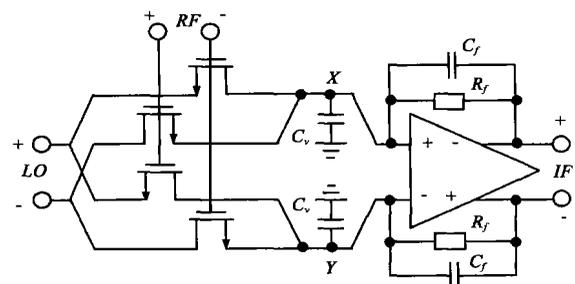


图5 交叉耦合型混频器

#### 3.3 频率综合器

频率综合器通过对一个具有较高频率稳准度的参考信号源施以加、减、乘、除四则运算来获得频率稳准度与参考源相同数量级的一系列频率,主要用于产生收发器中信道选择的

\* 如果没有特别声明,以下单元电路都是采用 CMOS 工艺

本振信号,是 CMOS 集成收发器中关键的单元电路。最常见的是锁相频率综合器,它主要的缺点是频率分频比大,可编程分频器的设计复杂,功耗大,频率切换时间长。

直接数字频率综合器在一定的时钟驱动下,按一定的间隔读出存储器中存储的数字正弦波形值,经数模转换器变为模拟信号,并由低通滤波器滤除高频杂散信号。直接数字频率综合器的优点是频率分辨率高,跳频时间短,但它工作频率一般限制在 100MHz 以下,而且杂散输出较大。目前主要的应用是与锁相频率综合器组成高分辨率的混合环型射频频率综合器。

另一种值得关注的频率综合器是分数- $N$  锁相频率综合器。它通过累加器的进位端控制锁相频率综合器的双模分频器,使其工作在两个分频比之间,平均分频比为  $N \cdot f$ ,其中  $f$  是分频比的小数部分。由于存在周期性的分频比跳变,所以会产生  $f \times x_{ref}$  的各次谐波,且这些谐波离散地覆盖整个频道。所幸的是这些谐波是可预知的,可以利用累加器加和端与鉴相/鉴频器输出相位误差间的互补关系消除由这些谐波产生的分数杂散输出。这种方法的主要缺点是结构复杂而且需要采用高精度的 D/A 转换器。最近,文献[15]采用  $\pi$  调制器对所需分频比进行调制,从而将离散谐波转化为有色噪声,并利用环路自身的低通特性进行滤除。这种方法在成本、体积和复杂度上都优于前一种误差校正方法。

各种频率综合器中只有压控振荡器和分频器工作于射频频段。不同类型的振荡器只有 LC 调谐振荡器和环形振荡器有可能工作在射频频段。LC 调谐振荡器集成的主要难点在于集成电感。LC 调谐振荡器中的电感所占面积较大,集成电路的工艺水平提高时,并不能减小电感面积。另外 LC 调谐振荡器的调谐范围较小,要求制造精度较高。在传统的环形振荡器中,延时不能小于一个反相器的延时,使得振荡频率受限。为提高振荡频率,文献[16]提出一种环形振荡器。它由三个反相器与三个跨导器组成,通过适当的组合使得输出信号的频率为  $f = 1/(2T_d)$ ,其中  $T_d$  是一个反相器的延时。这种结构最大的缺陷是延时单元的不匹配会导致输出端的抖动。文献[17]提出了一种单端负歪斜延时结构的环形振荡器。所谓负歪斜延时实际上就是引入超前通道来达到提高工作频率的目的。为了改善环形振荡器的相位噪声性能,文献[18]引入差分形式的延时单元并且采用拷贝偏置 (Replica bias) 来稳定偏置点、限幅管来限制输出幅度,差分结构可以抑制电源与衬底噪声;文献[19]中引入电流分配型延时单元,文献[17]中采用局部正向反馈来提高输出电压摆率,从而提高相位噪声特性。目前环形振荡器的相位噪声性能已经接近 LC 调谐振荡器<sup>[17]</sup>。

在锁相频率综合器中,分频器也是工作在射频频段的电路单元。可编程分频器能够处理所有的分频比,但无法工作在射频频段,所以要采用预分频器。预分频器分为三类结构:移位寄存器环<sup>[20]</sup>、时钟预处理<sup>[21]</sup>和相位选择<sup>[20]</sup>结构。后两种结构的主体均为异步计数器,其中只有一个寄存器工作在全速状态,工作频率比较高,但是它们的逻辑控制都比较复杂。构成分频器的最基本单元电路是 D 触发器或锁存器,有三种实现方式:静态逻辑、动态逻辑和电流模逻辑。静态逻辑 D 触

发器管子数目很多,只能稳定工作在低频频段;动态 D 触发器的工作速度较快,能够满幅度输出,但一般为单端形式,而且钟控管工作在开关模式,噪声相对较大;电流模逻辑 D 触发器工作速度最快,不易受电源或衬底噪声的影响,但是输出电压幅度受限,而且为常数功耗或者说功耗与信号无关,因此功耗就比较大。

### 3.4 功率放大器

功率放大器是收发器中主要的大功耗单元。为了提高功率附加效率 (Power-added efficiency),一般采用非线性功率放大器(包括 D 类、E 类和 F 类等)。但是非线性功率放大器仅适用于恒包络调制方案。为了提高频谱利用率,通常采用多电平调制方案,这就要求要对非线性功率放大器进行非线性补偿。

CMOS 工艺自身的一些特性是实现 CMOS 集成功率放大器的主要障碍。随着 CMOS 工艺的发展,器件尺寸越来越小,能够工作在射频频段,但是同时栅氧层也越来越薄,使得输出电压摆幅受限。另一方面,CMOS 器件的电流驱动能力低,只有采用大尺寸器件才能实现较大的驱动电流。而大尺寸器件不仅使得前级的电容负载较重,而且使得功率放大器的匹配网络中电感值较大,难以集成。所以 CMOS 功率放大器的电压、电流驱动能力都较小。由于功率放大器输出大电压或大电流摆幅的信号,在实现单片集成时必然通过衬底耦合影响其它电路模块的工作。

文献[22]给出的 E 类功率放大器采用差分工作方式,不仅减少衬底噪声而且使得输出摆幅加倍;采用模式锁定减少输入驱动。它工作在 1.98 GHz,输出功率为 1 瓦,功率附加效率达到 48%。

功率放大器的非线性补偿可以在功率放大器内部实现,也可以通过系统级进行补偿。任何 CMOS 放大器在平衡输入情况下能够非常有效地抑制二阶失真,因此二阶失真通常比三阶失真影响小,对于短沟道 MOS 管更是如此。在文献[23]中利用 MOS 管在线性区和饱和区三阶失真系数符号相反的特性,使用不同偏置的 MOS 管并联,减小放大器的三阶失真,提高线性度。系统级补偿方案主要有 Cartesian 环、自适应基带预失真和自适应前馈补偿等等,它们的讨论已经超出本文的范围,这里不再赘述。

## 4 无源器件

目前 CMOS 工艺主要用于数字系统,在数字电路中一般不采用电阻、电容与电感等无源器件。所以在 CMOS 射频集成电路设计中,一方面需要研究新型的体系结构尽量减少乃至消除电路中所需的无源器件,另一方面要研究如何采用标准 CMOS 工艺集成实现高  $Q$  值的电感、电容等无源器件。

无源电感有焊线电感和平面螺旋电感两种形式。

焊线电感<sup>[20]</sup>是或者在芯片上的两个焊盘点间焊接金属线或者在焊盘点与封装及封装与封装间焊接金属线。焊线对于任何一种工艺均适用,可以认为是标准 CMOS 工艺。但是焊线电感在制作过程会产生垂直及水平方向的长度偏差及金属线直径偏差,从而导致总电感量的变化,所以焊线电感的可重复性差。

平面螺旋电感<sup>[20]</sup>是用金属层在硅片上绕制电感. 它存在许多寄生效应: 首先与衬底间的寄生电容使得自谐振频率受限; 其次由于趋肤效应及其它电磁场效应, 计算出的串联电阻与实际电阻略有偏差; 最后重掺杂衬底将导致品质因数恶化与电感值的减小. 目前平面螺旋电感的研究集中在减小串联电阻和衬底损耗. 主要的方法有: 使用厚金属层; 多金属层并联; 在后处理中, 从硅片的顶部或底部刻蚀去除硅材料, 使用厚介电材料, 在物理上将电感与损耗性硅衬底隔离. 这些方法都会增加工艺流程. 文献<sup>[20]</sup>通过对以上三种寄生效应进行有限元方法仿真后, 得出在标准 CMOS 工艺中制作平面螺旋的基本原则: (1) 限制金属导线的宽度: 由于趋肤效应, 宽导体的中部没有电流流过, 所以采用宽金属线是不划算的; (2) 不要在线圈中央填充电感: 由于高频的涡流效应内圈的电阻增大, 而电感值减小, 导致品质因数下降; (3) 限制线圈所占的面积: 高频时磁场贯通线圈电感在衬底中产生电流, 这将导致额外的阻性损耗, 电感值减小. 而小线圈的磁场贯穿衬底不深, 影响较小.

片上集成电感的  $Q$  值一般在 10 以下, 为了有效滤波, 需要  $Q$  值增强电路. 其基本原理是在电感旁并联一个负电导以补偿电感的电阻损耗. 负电导可以通过正反馈网络来产生, 比如图 6 所示电路<sup>[24]</sup>, 其负电导为:  $-G_n = -(g_{m1} \cdot g_{m2}) / (g_{m1} + g_{m2})$ , 其中,  $g_{m1}$ 、 $g_{m2}$  为别是  $M1$  和  $M2$  管的跨导,  $M3$  管主要用来调节  $g_{m1}$  和  $g_{m2}$ .

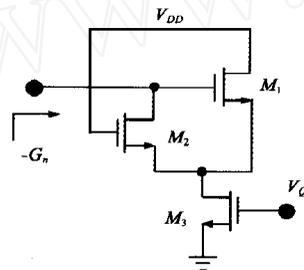


图 6 负阻抗电路

片上电容设计的基本目标是使串联电阻尽可能地小, 保证  $Q$  值最大; 使单位面积的电容量大; 并减小寄生电容. 实现集成电容的方法有四种: 栅极电容, 结电容, 金属层间或金属层与多晶硅间电容和薄绝缘层电容. 由于栅氧层很薄, 单位面积的栅极电容电容量大, 但是栅极电容是非线性的, 需要设定直流偏置电压, 击穿电压较小,  $Q$  值经优化设计可以达到 100 以上<sup>[25]</sup>. 结电容高度非线性, 需要设定偏置电压, 对工艺的变化敏感, 受温度影响大,  $Q$  值低, 不适用于射频集成电路. 金属层间或金属层与多晶硅层间电容是线性的, 受温度的影响小,  $Q$  值很大, 但是单位面积的电容小, 底板与衬底间的寄生电容大.

文献<sup>[26]</sup>中提出的分形电容 (Fractal capacitor) 的基本原理是利用金属层边缘间的横向电场来实现电容, 而通过分形图案实现大的单位面积电容. 与传统集成电容相比, 分形电容具有以下一些优点. 随着工艺尺寸的减小, 单位面积的电容增加. 将氧化层厚度的匹配转化为版图间的一致性, 而由于分形图案的伪随机特性, 版图间的偏差很小. 随着纵向电场的减小, 底板与衬底间的寄生电容也相应减小. 设计分形电容的最大困难在于需要专门的软件来设计分形图案.

## 5 今后可能的发展方向

目前在 CMOS 射频集成电路存在的发展方向:

### 5.1 新器件、新的单元电路和新的体系结构

在 CMOS 射频集成电路发展中, 最迫切的和最困难的是要发展高性能的新器件和新的单元电路, 它们是实现单片 CMOS 集成射频前端的基础. 其中包括: 高  $Q$  值的无源器件 (如电感、电容和变容管等等)、低相位噪声的压控振荡器和高附加效率、高线性度的功率放大器等等.

随着数模混合电路工作速度的提高, 尤其是模数转换器工作速度的提高, 在收发器体系结构中, 数字化进程是不可逆转的, 从零中频到数字化低中频、数字化高中频, 乃至最终实现的软件无线电, 正是这一发展趋势的体现.

### 5.2 多标准收发器

在目前数字移动通信标准众多的情况下, 能够兼容多种标准的收发器实际为用户提供更多的选择. 但是, 多标准收发器也带来一些新的困难, 它要求所有的单元电路都能够工作在宽频带情况下, 而且性能要尽可能达到最优. 对于消费类产品, 还存在价格的要求.

### 5.3 射频 CAD

CMOS 射频集成电路的兴起不过是最近十几年, CMOS 工艺在射频频段的模型、衬底耦合干扰的精确预测、封装模型、布线电感等分布参数的提取以及适合于 CMOS 射频集成电路的仿真工具的研究都还处于刚刚起步阶段.

### 5.4 开发更高频段的收发器, 重新构想适合于集成的标准

随着数字移动通信向着更高频段发展以及 CMOS 标准工艺水平的不断提高, 需要开发设计更高频段的收发器. 在这一进程, 不仅需要研究新工艺所带来的新特性, 而且在制定数字移动通信标准时, 需要在起步阶段注意考虑 CMOS 集成问题.

### 5.5 功率自适应收发器

由于数字移动通信设备一般是采用电池供电, 那么显然要求低功耗、低电压工作. 但是在一定情况下, 要实现一定的功能是需要一定功耗的. 比如在接收信号较强的情况下, 可以降低低噪声放大器和压控振荡器的功耗, 达到相同的信噪比. 因此要根据环境的变化, 动态地控制增益、动态范围等性能指标在各个单元电路间的分配, 达到最佳功耗的目的.

## 参考文献:

- [1] P. R. Gray and R. G. Meyer. Future directions in silicon ICs for RF personal communication [J]. IEEE Custom Integrated Circuits Conference, 1995: 83 - 90.
- [2] B. Razavi. Challenges in portable RF transceiver design [J]. IEEE Circuits and Devices, Sep. 1996, 12 - 25.
- [3] A. A. Abidi. Low-power radio-frequency IC's for portable communications [J]. Proceedings of the IEEE, Apr. 1995, 83(4): 544 - 569.
- [4] Jacques C. Rudell et al. A 1.9GHz wide-band if double conversion CMOS receiver for cordless telephone application [J]. IEEE Journal of Solid-state Circuits, Dec. 1997, 32(12): 2071 - 2087.
- [5] Stephen Wu and Behzad Razavi. A 900MHz/1.8GHz CMOS receiver for dual-band applications [J]. IEEE Journal of Solid-state Circuits, Dec. 1998, 33(12): 2178 - 2185.
- [6] D. Haspelagh et al. BBTRX: a baseband transceiver for a Zero-if GSM portable station [A]. Proceeding of CICC 1992, 10.7.1 - 10.7.4

- [ 7 ] Felix Aschwenden, Direct conversion-how to make it work in TV tuners [J]. IEEE Transactions on Consumer Electronics, Aug. 1996, 42(3) : 729 - 738.
- [ 8 ] A. Hairapetian. An 81-MHz if receiver in CMOS [J]. IEEE Journal of Solid-state Circuits, Dec. 1996, 31(12) :1981 - 1986.
- [ 9 ] Derek K. Shaeffer et al. A 1.5V, 1.5GHz CMOS low noise amplifier [J]. IEEE Journal of Solid-state Circuits, May 1997 :745 - 759.
- [ 10 ] Andrew N. Karanicolas. A 2.7V 900MHz CMOS LNA and mixer [J]. IEEE Journal of Solid-state Circuits Dec. 1996, 31(12) :1939 - 1944.
- [ 11 ] P. J. Sullivan et al. Low voltage performance of a microwave CMOS Gilbert cell mixer [J]. IEEE Journal of Solid-state Circuits, July 1997, 32(7) :1151 - 1155.
- [ 12 ] Shuo-Yuan Hsiao and Chung-Yu Wu. A parallel structure for CMOS four-quadrant analog multipliers and its application to a 2GHz RF downconversion mixer [J]. IEEE Journal of Solid-state Circuits, June 1998, 33(6) :859 - 869.
- [ 13 ] Jan Corls and Michel S. J. Steyaert. A 1.5GHz highly linear CMOS downconversion mixer [J]. IEEE Journal of Solid-state Circuits, July 1995, 30(7) :736 - 742.
- [ 14 ] P. Y. Chan et al. A highly linear 1-GHz CMOS downconversion mixer [A]. Proceeding of the European Solid State Circuits Conference, 1993 :210 - 211.
- [ 15 ] Brian Miller et al. A multiple modulator fractional divider [J]. IEEE Transactions on Instrument and Measurement, June 1991, 40(3) :578 - 583.
- [ 16 ] Y. Sugimoto, T. Ueno, and T. Tsuji. Design of a low-voltage, low-power, high-frequency CMOS current-mode VCO circuit by using 0.6 $\mu$ m devices [J]. IEICE Trans. on Fundamentals, Feb. 1997, E80-A(2) :
- [ 17 ] C.-H. Park and B. Kim. A low-noise, 900MHz VCO in 0.6 $\mu$ m CMOS [J]. IEEE Journal of Solid-state Circuits, May 1999, 34(5) :586 - 591.
- [ 18 ] S.-T. Yan, and H. C. Luong. A 3V 1.3-to-1.8GHz CMOS voltage-controlled oscillator with 0.3ps jitter [J]. IEEE Trans. on Circuits and Systems II, Jul. 1995, 45(7) :876 - 880.
- [ 19 ] H. C. Yang, L. K. Lee, and R. S. Co. A low jitter 0.3-165MHz CMOS PLL frequency synthesizer for 3V/5V operation [J]. IEEE Journal of Solid-state Circuits Apr. 1997, 32(4) :582 - 586.
- [ 20 ] J. Craninckx and M. Steyaert. Wireless CMOS Frequency Synthesizer design [M]. Boston: Kluwer Academic, 1998.
- [ 21 ] P. Larsson. High-speed architecture for a programmable frequency divider and a dual-modulus prescaler [J]. IEEE Journal of Solid-state Circuits, May 1996, 31 :744 - 748.
- [ 22 ] K.-C. Tsai and P. R. Gray. A 1.9GHz, 1W CMOS class-E power amplifier for wireless communications [J]. IEEE Journal of Solid-state Circuits, July 1999, 34(7) :962 - 968.
- [ 23 ] S. Tanaka, F. Behbahani, et al. A linearization technique for CMOS RF power amplifiers [A]. IEEE Symposium on VLSI Circuits, 1997 :93 - 94.
- [ 24 ] Chung-Yu Wu et al. The design of a 3V 900MHz CMOS bandpass amplifier [J]. IEEE Journal of Solid-state Circuits, Feb. 1997, 32(2) :159 - 168.
- [ 25 ] Chih-Ming Hung et al. High-Q capacitors implemented in a CMOS process for low-power wireless application [J]. IEEE Transaction on Microwave Theory and Techniques, May 1998, 46(5) :505 - 510.
- [ 26 ] H. Samavati et al. Fractal capacitor [J]. IEEE Journal of Solid-state Circuits, Dec. 1998, 33(12) :2035 - 2041.

#### 作者简介:



王志华 1960年出生,分别于1983年、1985年和1990年在清华大学取得学士、硕士和博士学位。现在清华大学电子工程系任教授。IEEE会员,IEEE固态电路学会中国分会主席。研究方向为电路与系统,包括数模混合信号集成电路的设计与测试、集成电路CAD设计、最优化技术等。



吴恩德 1973年出生,1997年毕业于清华大学电子工程系,获学士学位,同年免试直读清华大学电子工程系博士学位。主要兴趣是集成电路设计。