

基于 Verilog AMS 的数字射频电荷采样混频器的混合信号建模与仿真

潘 云, 葛 宁, 董在望

(清华大学电子工程系, 北京 100084)

摘 要: 本文给出了数字射频电荷采样混频器的一般性理论公式表达, 并提出了一种基于 Verilog AMS 语言和电路宏单元的混合信号建模方法, 对多抽头直接采样混频器进行了建模与仿真. 在建模过程中, 给出了一种基于分频器、抽样器和相位调整单元的数字逻辑控制单元新结构, 解决了在 SpectreRF 仿真环境下用 Verilog AMS 语言建模时所遇到的射频频域仿真算法的状态隐藏问题.

关键词: 数字射频; 电荷采样混频器; 混合信号; 建模; Verilog AMS; SpectreRF

中图分类号: TN773 **文献标识码:** A **文章编号:** 0372-2112 (2008) 10-2030-05

Mixed Signal Modeling and Simulation for a Digital RF Charge Sampling Mixer Based on Verilog AMS

PAN Yun, GE Ning, DONG Zaiwang

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: This paper presents the general formalizations of a Digital RF charging sampling mixer in theory, and a mixed signal modeling method based on Verilog AMS language and circuit-based macro models in SpectreRF. Using the method, a mixed signal model of the multi-tap direct sampling mixer is constructed and simulated. In order to use RF-oriented algorithms in SpectreRF, the paper presents a new structure based on frequency dividers, decimators and phase adjustment units to solve the hidden state problem when constructing the digital control unit using Verilog AMS language.

Key words: digital RF; charge sampling mixer; mixed signal; modeling; Verilog AMS; spectreRF

1 引言

目前, 无线通信技术已经极大的改变并丰富了我们的日常生活, 已有的无线通信协议种类繁多, 如无线局域网 (WLAN) 的 802.11a/b/g^[1], 无线个域网 (WPAN) 的蓝牙 (Bluetooth)^[2]、超宽带 (UWB), 手机移动通信的 GSM、WCDMA 标准等. 由于无线通信协议数量众多而且更新换代速度快, 使得无线接收机需要具备同时支持若干个无线通信协议的能力, 并且在不同的无线通信网络切换时都能正常的工作. 通常的办法是把支持不同协议的多个接收机单元堆叠在一个芯片上以支持多种无线通信协议并存的网络, 但是这种方法消耗的片上资源较大, 运行功耗也较高.

源自软件无线电思想的数字射频技术 (Digital RF)^[3-6]是近几年出现的一种射频前端电路新技术, 该技术提高了射频前端模拟电路的数字化程度和可配置性. 基于数字射频技术的多模式多频段软定义无线电接收机 (Software Defined Radio Receiver)^[7]根据所需要处理

的无线接收协议, 尽可能共享共同的数字基带处理单元和数字化的射频前端单元, 通过软件配置实现接收不同频段不同模式的射频信号, 很好的解决了多种无线通信协议并存情况下的接收问题. 由于 CMOS 工艺的限制, 射频前端电路全数字化还难以实现^[8]. 数字射频技术采用离散域的信号处理技术实现了射频前端电路的部分数字化. 基于数字射频技术的射频前端电路工作在离散时间域, 有利于和后端的数字基带处理部分实现单片集成, 提高了片上系统的集成度.

基于数字射频技术的无线接收机核心电路单元为电荷采样混频器^[5-7], 本文给出了电荷采样混频器电荷积分采样过程的一般性理论公式表达. 针对数字射频电路主要工作于离散域的特点, 本文提出一种基于 Verilog AMS 语言^[9, 10]和电路宏单元的用于数字射频电路仿真的混合信号建模方法, 并在 Cadence 的 SpectreRF 仿真环境中^[11], 用该方法对 TI 公司提出的多抽头直接采样混频器 (Multi-Tap Direct Sampling Mixer, MTDSM) 进行了建模与仿真.

收稿日期: 2007-12-25; 修回日期: 2008-05-07

基金项目: 国家“863”高技术研究发展计划 (No. 2007AA01Z2b3); 国家自然科学基金 (No. 90407011)

2 电荷采样混频器的理论公式表达

电荷采样混频器主要由跨导放大器、电容开关矩阵和数字逻辑控制单元三部分构成,其单端的电路结构如图 1 所示。电荷采样混频器的工作机制是把接收到的射频信号首先经过跨导放大器后由电压信号变为电流信号,然后用数字逻辑控制单元输出的采样时钟对电流信号进行积分采样获得电荷信号,电荷信号通过电容开关矩阵进行滤波后输出。由于电荷采样混频器集成了数字逻辑控制单元,提高了射频前端电路的数字化与可配置程度,通过对数字逻辑控制单元的逻辑功能与时序功能的不同设置,可以针对不同的接收频段产生不同的基本采样时钟和滤波函数,为软定义无线电接收机的多模式多协议可配置接收提供了射频前端硬件电路上的支持。

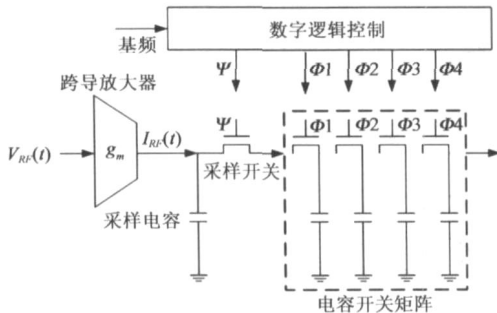


图 1 单端的电荷采样混频器电路结构示意图

电荷采样混频器的核心部分是对接收到的射频电流信号进行电荷积分并分段采样,通过该过程得到的电荷值与接收到的射频电压信号有如下关系:

$$Q(nT_s - T_s + \sigma) = \frac{g_m}{C_s} \int_{nT_s - T_s}^{nT_s - T_s + \sigma} V_{RF}(t) dt, 0 \leq \sigma \leq T_s \quad (1)$$

其中, $V_{RF}(t)$ 表示接收到的射频电压信号, g_m 为跨导增益, C_s 是采样电荷, T_s 是采样频率的周期, σ 为电荷分段读取的持续时间, 即在每个 T_s 周期中控制开关导通进行电荷积分的时间, $Q(t)$ 为电荷采样值。引入中间变量 $h(t)$, 表示为:

$$h(t) = \begin{cases} 1, & 0 \leq t \leq \sigma \\ 0, & \text{其它} \end{cases} \quad (2)$$

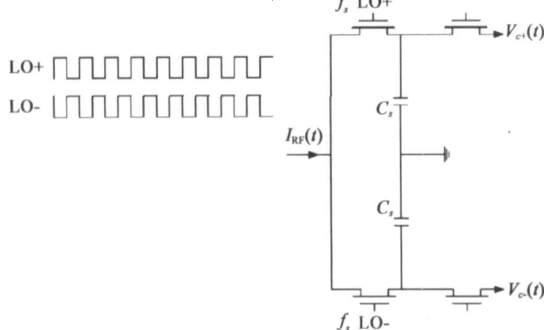


图 2 伪差分结构的电荷积分分段采样

那么, 表达式(1)利用卷积的性质可进一步推导为:

$$Q(t) = \frac{g_m}{C_s} (V_{RF}(t) \odot h(t)) \cdot \sum_{n=-\infty}^{+\infty} \delta(t - nT_s - \sigma) \quad (3)$$

因此, 单端电路的电荷积分分段采样过程的频域传递函数为:

$$H(f) = \frac{g_m}{C_s} \cdot \frac{1 - e^{-j2\pi f \sigma}}{j2\pi f} \quad (4)$$

为了抑制直流增益, 电荷采样混频器通常采用伪差分的电路结构, 如图 2 所示, 这时 σ 的取值为 $T_s/2$, 引入中间变量 $h_{pd}(t)$, 表示为:

$$h_{pd}(t) = h(t) - h(t - \sigma) \quad (5)$$

同理, 电荷采样值可以表示为:

$$Q(t) = \frac{g_m}{C_s} (V_{RF}(t) \odot h_{pd}(t)) \cdot \sum_{n=-\infty}^{+\infty} \delta(t - nT_s) \quad (6)$$

因此, 伪差分结构的电荷积分分段采样过程的频域传递函数为:

$$H_{pd}(f) = \frac{g_m}{C_s} \cdot \frac{(1 - e^{-j2\pi f \sigma})^2}{j2\pi f} \quad (7)$$

3 电荷采样混频器的混合信号模型

3.1 多抽头直接采样混频器的电路结构

TI 公司在蓝牙数字化射频接收机中采用了一种新型的多抽头直接采样混频器^[4-6], 其信号流程框图如图 3 所示。该混频器的开关电容矩阵电路部分的伪差分结构连接关系如图 4 所示, 各开关的控制脉冲时钟组 Ψ , ΦM 与 N 由数字逻辑控制单元产生, 其中采样电容为历史电容(History Capacitor) V_H 和旋转电容(Rotating Capacitor) C_R 的并联, 用于中频电荷输出的为缓存电容(Buffer Capacitor) C_B 。每个旋转电容由两个开关控制, 一个用于输入电荷, 一个用于读出电荷, 开关的时序控制保证了任何时候有且仅有一个旋转电容与历史电容并联。

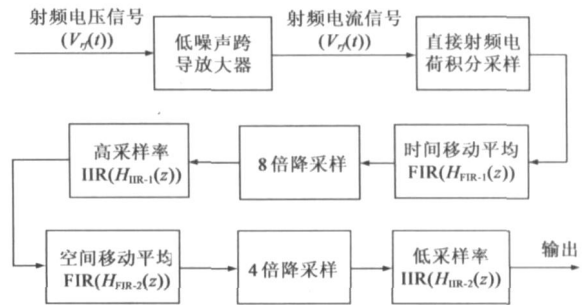


图 3 直接电荷采样混频器的信号流程框图

3.2 数模混合信号的建模

MTDSM 电路的有用数据信息为各级电容上存储的电荷值, 而控制信号则是各级开关上的时钟脉冲信号, 电路工作在模拟连续域和离散域上, 是一个数模混合电路。通常情况下, 在行为级对电容开关矩阵进行建模往往只限于理想状态下的电路, 这种行为级的建模会丢失

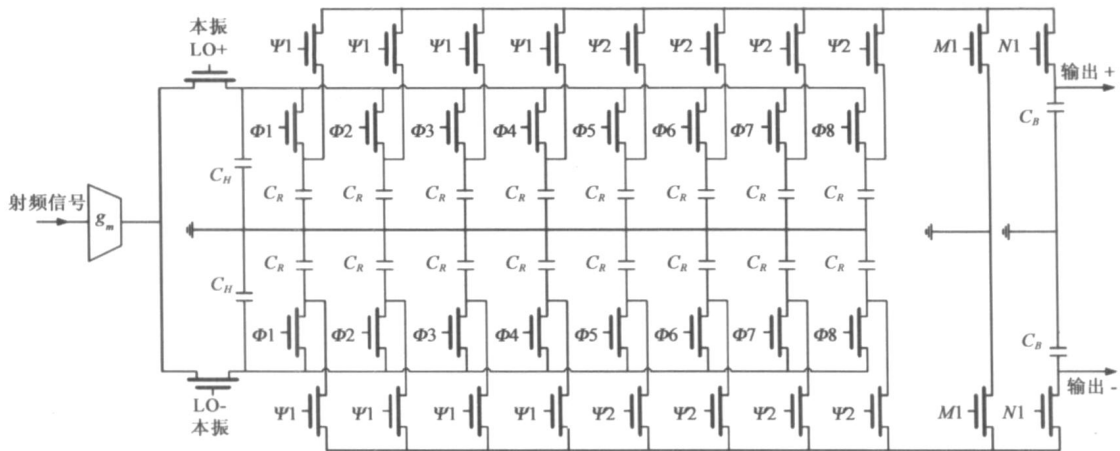


图4 伪差分结构的开关电容矩阵连接关系示意图

相当一部分的电路非理想信息. 为了能够在行为级建模时具有更高的精确性, 需要详细描述电路的非理想性. 对开关电容电路各项参数的理论公式推导得越精确, 行为级建模所能反映的电路信息就越多, 但是这建立在大量的理论推导和公式化表达的工作基础之上, 增加了行为级建模的复杂度. 电容开关矩阵电路的结构本身非常简单, 基本元件只有电容和开关, 因此, 相比行为级的建模方法, 从电路晶体管级或者宏单元级描述要方便与简洁很多. MTDSM 的数字逻辑控制单元电路部分用于产生丰富的多频多相时钟脉冲, 该数字电路单元主要起控制作用, 可灵活配置, 适合用行为级的方式进行建模.

针对电荷采样混频器的这些特点, 本文对产生控制信号的数字逻辑控制单元使用 Verilog-AMS 语言来描述, 对工作在模拟域上的电容开关电路采用电路宏单元来构建, 实现对混频器的混合信号建模. 这种方法相比晶体管级建模具备优越很多的仿真时间, 同时保留了行为级描述难以表达的部分电路非理想特性, 在仿真的速度和精度之间取得了折中. 数字逻辑控制单元由于采用了 Verilog-AMS 语言来描述和建模, 可以产生各种组合的脉冲时钟信号, 同时有利于研究时钟信号发生诸如抖动、时延等非理想情况时的电路特性.

3.3 数字逻辑控制单元的 VERILOG AMS 建模

一种简单的数字逻辑控制单元电路结构是由计数器和组合逻辑单元构成, 如图5所示. 计数器工作在一个基准频率上, 利用计数器各位的组合逻辑输出不同节拍和相位的数字时钟. 用行为级的 Verilog-AMS 语言描述计数器:

```
Count = Count + 1;
```

用 CASE 语句描述组合逻辑部分, 在端口输出各路时钟的工作电平:

```
V(vCLK[i]) < CLK[i] ? HIGH_LEV : LOW_LEV;
```

从而实现基于基频时钟节拍的简单数字逻辑控制

单元的建模.

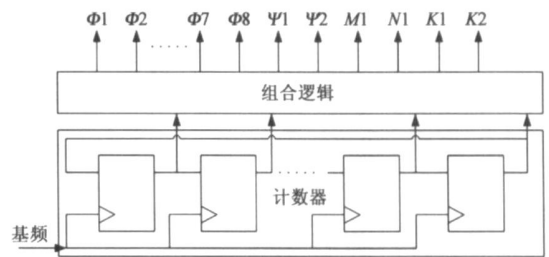


图5 简单的数字逻辑控制单元行为级模型

行为级的计数器描述使用基于时钟节拍的事件驱动的状态变量. 在当前时钟节拍下获得的计数器的状态变量 Count 的值, 会一直保存到下一个时钟节拍才发生改变. 这种基于事件驱动方式的状态变量描述简单而易于理解, 适用于在 SpectreRF 环境中进行时域瞬态仿真的建模.

由于射频接收系统在时域瞬态仿真时, 需要在时域上进行过采样. 这对窄带的射频接收机, 会造成仿真时间的冗余开销太大, 因此窄带射频系统的分析通常在频域上进行. SpectreRF 仿真器的射频频域仿真算法不支持 Verilog-AMS 语言描述的基于事件驱动的状态变量, 状态变量的状态值对射频频域仿真算法是不可见的(Hidderr State)^[9,12]. 为了能够利用射频频域仿真算法, 需要对基于事件驱动行为级描述的简单数字逻辑控制单元 Verilog-AMS 模型进行改进.

Verilog-AMS 语言除了支持行为级的状态变量的描述外, 能够很好的支持微分方程的电路描述^[9,10]. 基于基尔霍夫定律所构造的电路表达式中的变量值, 如表达式(8)所示, 可以实时的由计算方程得到, 这对射频频域仿真算法是可见的.

$$f(v, t) = \frac{dq(v, t)}{dt} + i(v, t) = 0, v(0) = v_0 \quad (8)$$

文献[12]给出了一种基于开关电容电路结构采用微分方程描述的分频器, 电路的电压信号通过可计算

方程式避免了状态不可见的问题, 兼容了射频频域仿真算法. 本文在该分频器的基础上, 同样利用电路方程设计抽样器、反相器和移位延时单元, 各单元时序关系如图 6 所示. 抽样器的电路方程原理与分频器相同. 反相器和移位延时单元共同组成脉冲时钟的相位调整单元, 其中反相器通过电压的门限判断来完成:

@ (above (V (in) - threshold)) vin = 0; @ (above (threshold - V (in))) vin = 1;

V (out) < + vin? HIGH_LEV : LOW_LEV;

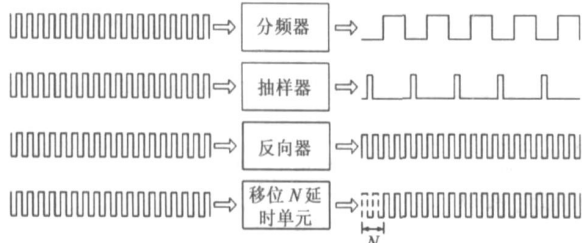


图 6 分频器、抽样器、反相器与延时单元的时序关系

利用分频器、抽样器和相位调整单元构成 MTDSM 的数字逻辑控制单元新结构, 其具体的参数配置如图 7 所示. 这种新结构的数字逻辑控制单元, 通过内部的分频器、抽样器和相位调整单元的配置能够产生灵活的多频多相脉冲时钟, 同时避免了在 SpectreRF 中的状态隐藏问题, 可以直接调用射频频域仿真算法, 如 PSS、PXF、PNOISE 等.

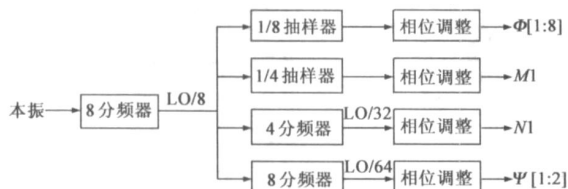


图 7 支持射频频域仿真算法的数字逻辑控制单元新结构

4 仿真结果与分析

在 Cadence 的 SpectreRF 环境中, 用上述基于 Verilog AMS 语言与电路宏单元的数字射频电路混合信号建模方法对伪差分结构的 MTDSM 进行了建模与仿真验证. 在仿真器中设置参数 $f_s = 2.4\text{GHz}$, $g_m = 30\text{mS}$, $N = 8$, $M = 4$, $C_H = 15.425\text{pF}$, $C_R = 0.5\text{pF}$, $C_B = 13.925\text{pF}$, $R_{on} = 1\text{k}\Omega$.

通过时域瞬态仿真, MTDSM 的第一级时间移动平均 FIR 与 IIR 滤波过程的历史电容和旋转电容上的电压信号时域波形如图 8 所示. 在电容取值满足充电时间大于时间常数 $\tau = C_H C_R R_{on} / (C_H + C_R)$ 的 5 倍情况下, 该模型实现了历史电容上 FIR 滤波功能的 8 个采样电荷的叠加, 以及与旋转电容构成的 IIR 滤波功能的电荷转移.

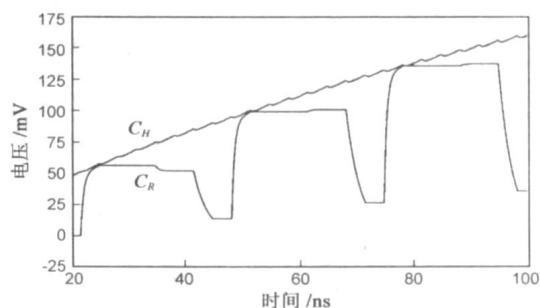


图 8 历史电容和旋转电容上的电压时域瞬态值

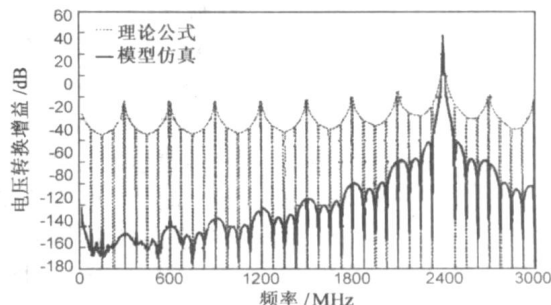


图 9 混合信号模型的频域电压转换增益曲线与理论公式计算结果的比较

对于窄带射频接收机, 频域仿真的效率远高于时域. 该混合信号模型支持基于频域仿真算法的 PSS、PXF、PNOISE 仿真工具. 不同于传统混频器的仿真, 由于使用了 Verilog AMS 语言描述的数字逻辑控制单元, PSS 仿真工具不能直接读取模型的时钟频率. 因此, 在 PSS 的仿真环境中设置仿真基频 (Beat Frequency) 时, 需要手工计算数字逻辑控制单元所产生的各脉冲时钟以及单元内部各中间级的基准频率, 然后和电路中可见的所有频率一同取最大公倍数, 获得 MTDSM 的 PSS 仿真基频. 图 9 是使用 PSS 和 PXF 工具获得的该模型的频域电压转换增益曲线, 图中虚线为完全理想情况下的理论公式计算结果. 由于电路的伪差分结构, 直流增益得到了抑制, 降到了 -80dB 以下. 仿真结果表明, 该混合信号模型符合理论公式所推导的各极零点, 具有一致的混频和抗混叠特性. 由于电路结构中电荷搬移不可能完全充分, 电路宏单元存在着电路噪声等非理想因素, 该模型的电压转换增益曲线相比完全理想情况下的理论公式计算结果存在一定程度的衰减. 图 10 是混合信

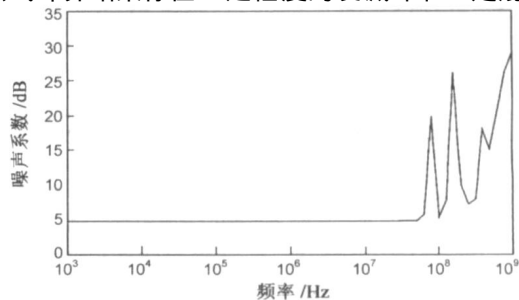


图 10 混合信号模型的噪声系数

号模型的噪声系数,建模过程中没有考虑 $1/f$ 噪声的影响,因此,图中低频部分的曲线是平坦的。

5 结论

本文给出了数字射频接收机核心单元电荷采样混频器的电荷积分采样过程的一般性理论公式表达。为了解决数字化射频电路的建模与仿真问题,本文提出了一种基于 Verilog-AMS 语言和电路宏单元的混合信号建模方法,并对多抽头直接采样混频器进行了建模与仿真。在建模过程中,给出了一种基于分频器、抽样器和相位调整单元的数字逻辑控制单元新结构。该结构解决了在 SpectreRF 仿真环境下用 Verilog-AMS 语言建模时所遇到的射频频域仿真算法的状态隐藏问题,同时该结构各子单元的参数灵活可调可设置,能够很方便地配置产生不同频率相位的脉冲时钟。基于数字逻辑控制单元新结构的电荷采样混频器模型能够利用射频频域仿真算法进行仿真验证,相比过采样的时域仿真,提高了仿真效率。

参考文献:

- [1] IEEE 802 LAN/MAN Standards Committee [OL]. <http://www.ieee802.org>, 2007.
- [2] Bluetooth SIG [OL]. <http://www.bluetooth.com/bluetooth>, 2007.
- [3] K Muhammad, R B Staszewski, D Leipold. Digital RF processing: toward low-cost reconfigurable radios[J]. IEEE Communications Magazine, 2005, 43: 105–113.
- [4] R B Staszewski, K Muhammad, D Leipold, H Chih-Ming, H Yσ Chuol, J L Wallberg, C Fernando, K Maggio, R Staszewski, T Jung, K Jinseok, S John, D Irene Yuanying, V Sarda, O Moreira Tamayo, V Mayega, R Katz, O Friedman, O E Eliezer, E de Obaldia, P T Balsara. All digital TX frequency synthesizer and discrete time receiver for Bluetooth radio in 130-nm CMOS[J]. IEEE Journal of Solid State Circuits, 2004, 39: 2278–2291.
- [5] K Muhammad, R B Staszewski. Direct RF sampling mixer with recursive filtering in charge domain[A]. In Proceedings of the 2004 International Symposium on Circuits and Systems[C]. 2004, vol. 1, 577–580.
- [6] R B Staszewski, K Muhammad, D Leipold. Digital RF processor (DRPTM) for cellular phones[A]. In IEEE/ACM International Conference on Computer Aided Design[C]. 2005, 122–129.
- [7] R Bagheri, A Mirzaei, S Chehrizi, M Heidari, M Lee, M Mikhmar, W Tang, A A Abidi. An 800 MHz–6 GHz software-defined wireless receiver in 90 nm CMOS[J]. IEEE Journal of Solid State Circuits, 2006, 41 (12): 2860–2876.
- [8] A A Abidi. RF CMOS Comes of Age[J]. IEEE Journal of Solid State Circuits, 2004, 39: 549–561.
- [9] B Troyanovsky, P O' Halloran, M Mierzewski. Analog RF model development with Verilog-A[A]. In 2005 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium[C]. 2005, 287–290.
- [10] K Kundert, O Zinke. The Designer's Guide to Verilog-AMS[M]. Kluwer Academic Publishers, 2004.
- [11] Cadence SpectreRF[OL]. <http://www.cadence.com>, 2007.
- [12] K Kundert. Hidden State in SpectreRF[OL]. <http://www.designers-guide.org>, 2006.

作者简介:



潘 阳, 1980 年出生于浙江省杭州市, 清华大学电子工程系博士研究生, 研究方向为 SoC 片上通信, 数字射频技术, 超大规模集成电路等。

E-mail: panyun02@mails.tsinghua.edu.cn

葛 宁 男, 1971 年出生于陕西省西安市, 清华大学电子工程系教授, 通信与微波研究所所长, 研究方向是 SoC 片上系统, 数字射频技术, 高速时钟恢复, 超大规模通信专用集成电路等。

E-mail: gening@mail.tsinghua.edu.cn

董在望 男, 1937 年生于河北省, 清华大学电子工程系教授, 博士生导师, 主要研究方向为模拟、数字集成电路设计, 数字音频信号处理技术, 数字音频广播技术等。

E-mail: dzw-ee@mail.tsinghua.edu.cn