

# 一种专用可重配置的 FPGA 嵌入式存储器模块的设计和实现

余 慧,王 健

(复旦大学专用集成电路与系统国家重点实验室,上海 200433)

**摘 要:** 本文设计了一种满足 FPGA 芯片专用定制需求的嵌入式可重配置存储器模块.一共 8 块,每块容量为 18Kbits 的同步双口 BRAM,可以配置成  $16K \times 1\text{bit}$ 、 $8K \times 2\text{bits}$ 、 $4K \times 4\text{bits}$ 、 $2K \times 9\text{bits}$ 、 $1K \times 18\text{bits}$ 、 $512 \times 36\text{bits}$  六种不同的位宽工作模式;write\_first、no\_change 两种不同的写入模式.多个 BRAM 还可以通过 FPGA 中互连电路的级联来实现深度或宽度的扩展.本文重点介绍实现可重配置功能的电路及 BRAM 嵌入至 FPGA 中的互连电路.采用 SMIC 0.13 $\mu\text{m}$  8 层金属 CMOS 工艺,产生 FDP-II 芯片的完整版图并成功流片,芯片面积约为  $4.5\text{mm} \times 4.4\text{mm}$ .运用基于 March C+ 算法的 MBIST 测试方法,软硬件协同测试,结果表明 FDP-II 中的 BRAM 无任何故障,可重配置功能正确,证实了该存储器模块的设计思想.

**关键词:** 嵌入式存储器;可重配置;FPGA;互连;灵敏放大器

**中图分类号:** TP338.4 **文献标识码:** A **文章编号:** 0372-2112 (2012) 02-0215-08

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2012.02.002

## The Design and Implement of a Special Reconfigurable FPGA Embedded BRAM

YU Hui, WANG Jian

(ASIC and System State Key laboratory, Fudan University, Shanghai 200433, China)

**Abstract:** A customized reconfigurable embedded Block RAM module for FPGA chip is proposed. The number of BRAM is eight and each module is a synchronous dual-port memory cell with the capacity of 18Kbits. The BRAM can be configured as six bit width modes including  $16K \times 1\text{bit}$ 、 $8K \times 2\text{bits}$ 、 $4K \times 4\text{bits}$ 、 $2K \times 9\text{bits}$ 、 $1K \times 18\text{bits}$ 、 $512 \times 36\text{bits}$ ; two write modes such as write-first、no-change. Several BRAM can be cascaded through interconnect circuit to achieve the expansion in depth or width. This paper focuses on the circuit that can realize the reconfiguration function. SMIC 0.13 $\mu\text{m}$  8-layer metal CMOS process is applied to produce the complete layout of FDP-II chip and then tape-out. The chip area is about  $4.5\text{mm} \times 4.4\text{mm}$  and tested by cooperating with its software system which applies March C+ algorithm based MBIST test method. The test results show that BRAM in FDP-II has no fault and the function of reconfiguration work correctly, the design theory of such memory are verified.

**Key words:** embedded memory; reconfigurable; FPGA; interconnect circuit; sense amplifier

## 1 引言

FPGA 的集成度越来越高,将专用可重配置存储器模块(Block RAM, BRAM)内嵌至 FPGA 中,抗干扰能力强、具有更灵活的可配置性、节省了宝贵的 I/O 资源、比片外 RAM 的存取速度快好几倍.正是由于 BRAM 在 FPGA 中的出现,使得 FPGA 在通信、数据处理、网络、仪器、工业控制、军事和航空航天等众多领域得到了广泛应用.

BRAM 作为高性能 FPGA 中的一个重要功能模块,

在新型的 FPGA 中需要重新设计.目前国外对 FPGA 中 BRAM 的研究较多,例如国际知名的 FPGA 供应商 Xilinx、Altera 和 Lattice 均在其各个系列的 FPGA 中集成了 BRAM<sup>[1~3]</sup>,BRAM 向着大容量、低功耗和高性能的方向发展.大容量是 FPGA 市场中 BRAM 发展的焦点,2007 年 Xilinx 推出了业界首款 65nm FPGA Virtex-5, BRAM 单块容量为 36Kbits,总容量超过 5Mbits<sup>[4]</sup>;2008 年 Altera 推出了业界首款 45nm FPGA Stratix-IV, BRAM 的总容量高达 22.4Mbits<sup>[2]</sup>;Lattice 最新的 ECP3 系列,拥有 6.8Mbits 的 BRAM<sup>[3]</sup>.Xilinx 在 Virtex-5 中集成的 BRAM 采用了存

存储器分区访问的方法来降低 BRAM 的功耗<sup>[5]</sup>,其中还集成有 FIFO 和 ECC(位检错误和纠错)的控制逻辑以方便用户进行功能扩展<sup>[6,7]</sup>.

FPGA 的相关产品和关键技术均被国外所垄断,国内目前对 FPGA 中的 BRAM 研究较少,与国外的差距明显.为了构筑具有自主知识产权的 FPGA<sup>[8]</sup>,有必要对应用于高性能 FPGA 中的 BRAM 进行深入研究.

FDP-II(FuDan Programmable device)是由复旦大学设计开发的具有自主知识产权的 FPGA 芯片.主要由四种基本模块构成:逻辑模块(Tile)<sup>[9]</sup>、输入输出模块(IOB)、布局布线模块和存储器模块(BRAM).

FDP-II 中内嵌的 BRAM 总共 8 块,是专用存储器模块,每块 18Kbits,即总容量为 144Kbits.如图 1.

BRAM 有着大量的输入/输出信号(地址信号、输入/输出数据和各种控制信号),为了保证 BRAM 周边有足够的可编程互连资源,同时也为了 FDP-II 布线的规整性以方便配置电路的设计<sup>[10]</sup>,在 FDP-II 的架构设计上采用每块 BRAM 跨越 4 个 Tile 的高度,如图 1 所示.

本文所设计的嵌入式 BRAM 是 FDP-II 芯片的一部分,其功能、结构、布局都为整个芯片服务.每块 BRAM 都支持六种位宽模式和两种写入模式,实现各种配置的电路设计方法将会重点介绍.

## 2 存储器模块的结构设计

FDP-II 中的 BRAM 是一个可重配置的同步双端口存储器,主要模块包括图 2 所示的 SRAM 阵列、写入缓冲器、读出锁存器、一级行/列译码器、二级行/列译码器、灵敏放大器、脉冲生成器、输入/输出位宽调整电路.输入/输出位宽调整电路是 BRAM 嵌入 FDP-II 芯片内的专用定制需求,保证 BRAM 能以 36 位、18 位、9 位、4 位、2 位或 1 位的位宽模式工作.如图 2.

下面介绍几个部分的具体设计及实现.

### 2.1 六种位宽工作模式

作为嵌入至 FDP-II 中的 BRAM,区别于普通的存储器阵列,其具有独特的可重配置特性,可以实现输入/输出数据位宽可重配置的功能.

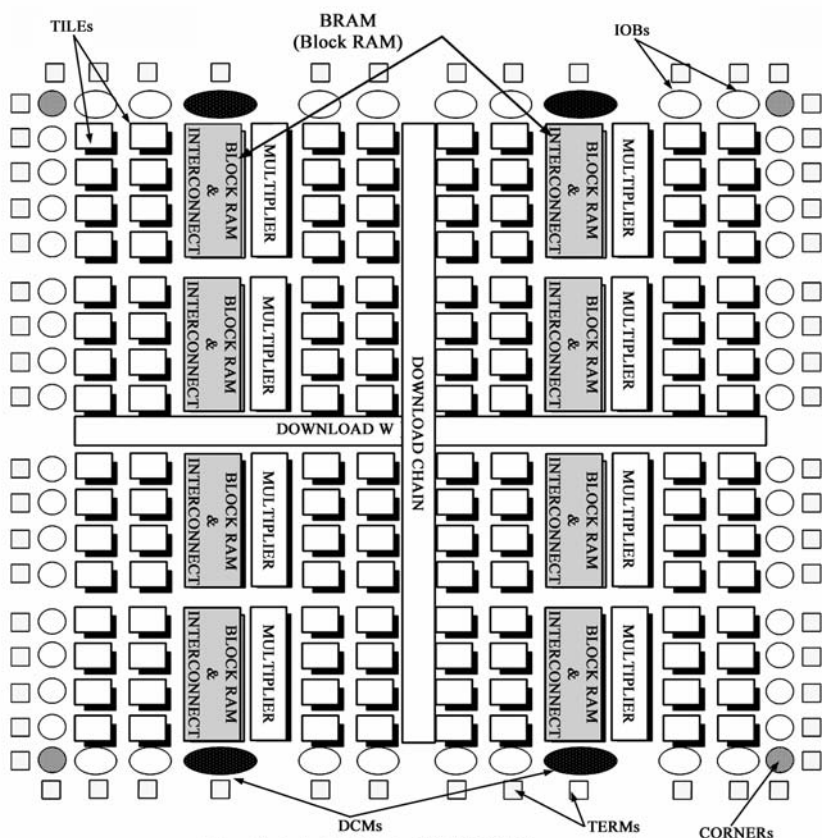


图1 包含专用嵌入式存储器模块的FPGA结构

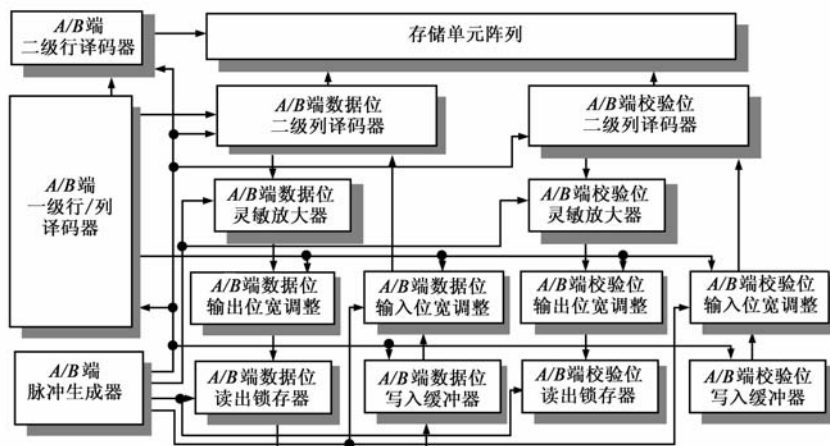


图2 BRAM的体系结构

BRAM 所特有的六种不同位宽工作模式,需要依靠嵌入至存储器模块中的输入/输出数据位宽调整电路来实现.它所存储的数据宽度和深度可以根据不同的需要进行调整.实现位宽可配置的基本思想是:通过控制输入/输出位宽调整电路中的编程点信息,实现不同位宽的 BRAM.

下面分析数据位的输入输出位宽调整是如何实现的.奇偶校验位的位宽调整电路与之类似.

#### 2.1.1 输入数据位宽调整

输入为 1bit 工作模式时,地址位全部有效,将低位数据  $DI < 0 >$  复制到输出端的每一位上;输入为 2bits 工作模式时,地址位  $ADDR < 13:1 >$  有效,将低位数据  $DI < 1:0 >$  两位两位的复制到输出端上;输入为 4bits 工作模式时,地址位  $ADDR < 13:2 >$  有效,将低位数据  $DI < 3:0 >$  四位四位的复制到输出端上,依次类推。

表 1 输入数据位宽调整真值表

| 控制信号 |    |    |    |    |    | 输出信号 |                                     |
|------|----|----|----|----|----|------|-------------------------------------|
| WEN  | A4 | A3 | A2 | A1 | A0 | 位宽模式 | 输出 $DW < 31:0 >$                    |
| 1    | /  | /  | /  | /  | /  | /    | $\{0, \dots, 0\}$                   |
| 0    | 0  | 0  | 0  | 0  | 0  | 32 位 | $\{DI < 31:0 >\}$                   |
|      | 1  | 0  | 0  | 0  | 0  | 16 位 | $\{DI < 15:0 >, DI < 15:0 >\}$      |
|      | 0  | 1  | 0  | 0  | 0  | 8 位  | $\{DI < 7:0 >, \dots, DI < 7:0 >\}$ |
|      | 0  | 0  | 1  | 0  | 0  | 4 位  | $\{DI < 3:0 >, \dots, DI < 3:0 >\}$ |
|      | 0  | 0  | 0  | 1  | 0  | 2 位  | $\{DI < 1:0 >, \dots, DI < 1:0 >\}$ |
|      | 0  | 0  | 0  | 0  | 1  | 1 位  | $\{DI < 0 >, \dots, DI < 0 >\}$     |

实现输入数据位宽调整功能主要依靠位宽调整电路,  $A < 4:0 >$  是输入数据位宽调整电路的控制端,输入数据位宽调整电路中共有 32 个如图 3 所示的单元电路,实现位宽调整的关键在于将 32 个单元连接起来的外围互连电路,如图 4 所示。

将 BRAM 中的 32 位数据位分为四段  $BRAM < 3:0 >$ ,

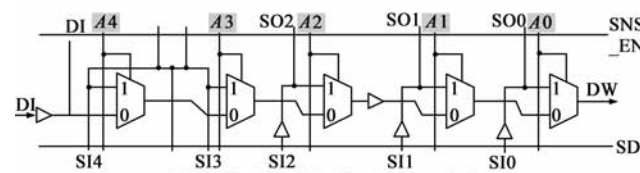


图3 单比特数据输入位宽调整电路

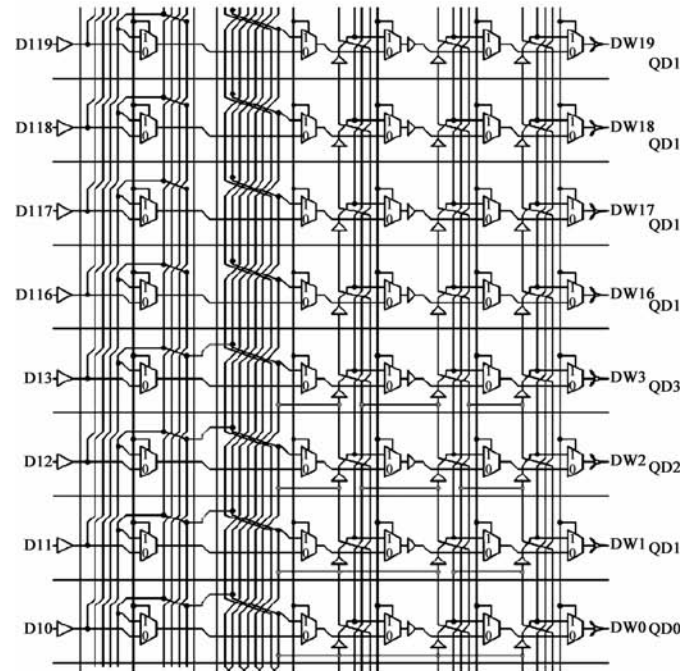


图4 BRAM0的输入位宽调整电路

每段 8 位.这里列出 BRAM0 的输入位宽调整 and 输出位宽调整电路,见图 4. BRAM1, BRAM2, BRAM3 的原理与之类似。

例如实现 4 位位宽输入模式时,  $A4A3A2A1A0 = 00100$ ,  $DW = SI2$ . 通过设计每个数据位的外部连接电路,使得  $SI2 < 19:16 > = SI2 < 3:0 > = SI4 < 3:0 > = DI < 3:0 >$ ,从而实现了  $DW < 19:16 > = DW < 3:0 > = DI < 3:0 >$ 。

2.1.2 输出数据位宽调整

输出为 1bit 工作模式时,有效数据  $SD < 1 >$  从低位输出;输出为 2bits 工作模式,有效数据为低位数据  $SD < 3:2 >$ ;输出为 4bits 工作模式时,有效输出数据为低位数据  $SD < 7:4 >$ ;最低位为奇偶校验位,依次类推。

输出位宽调整电路中共有 32 个如图 5 所示的单元电路.实现位宽调整的关键在于将 32 个单元连接起来的外围电路,如图 6. 例如实现 8 位输出模式时,  $A4A3A2A1A0 = 01000$ ,  $QD = SI3$ . 通过设计每个数据位的外部连接电路,使得  $SI3 < 31:24 > = SI3 < 23:16 > = SI3 < 15:8 > = SI3 < 7:0 > = SO4 < 15:8 > = SD < 15:8 >$  从而实现了  $QD < 31:24 > = QD < 23:16 > = QD < 15:8 > = QD < 7:0 > = SD < 15:8 >$ 。

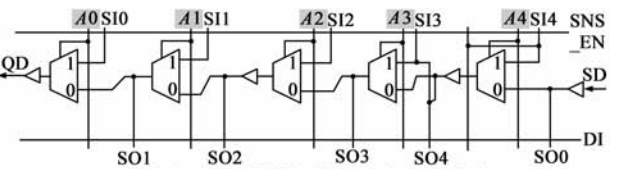


图5 单比特数据输出位宽调整电路

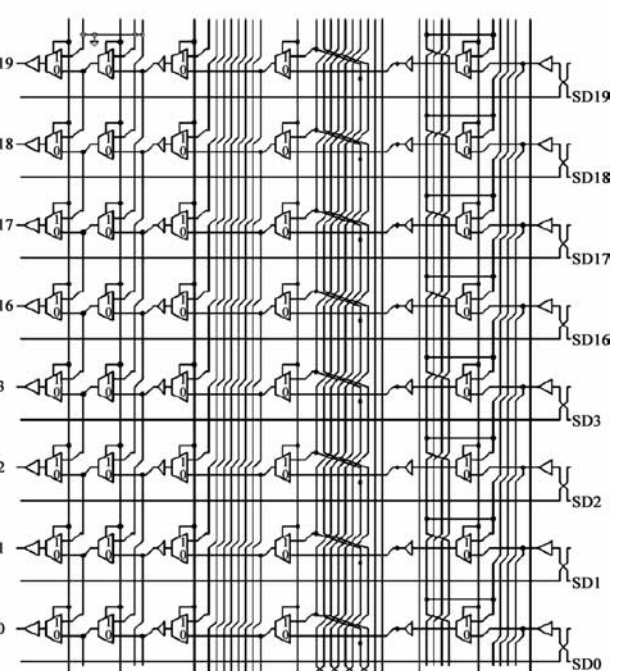


图6 BRAM0的输出位宽调整电路

## 2.2 两种写入模式

为了最大化存储器的利用率,嵌入至 FPGA 中的存储器模块有两种写入模式,对应进行写操作时输出端口的两种状态.两种不同的写入模式决定一个有效的写时钟边沿来临时,输出端的数据是什么.

Write-First 表示写入的数据同时也是读出的数据; No-change 表示在写操作过程中输出端口状态保持不变.

### 2.2.1 Write-first

Read after write 是默认的写入模式.在这种写入模式下,在输入端的数据位 DI, DIP 写入特定位置的存储单元时,同时也出现在输出端 DO, DOP 上.

### 2.2.2 No-change

No read on write.在这种写入模式下,输入端的数据位 DI, DIP 写入特定位置的存储单元,输出端 DO, DOP

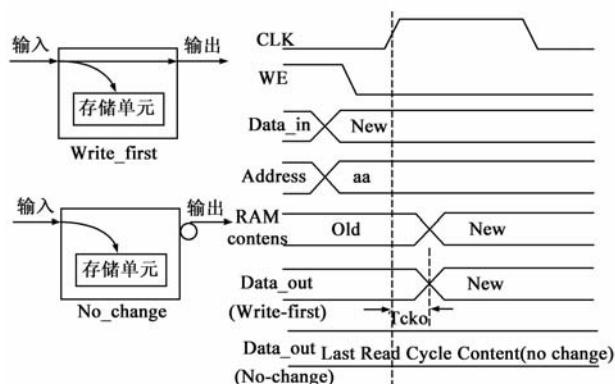


图7 两种写入模式示意图

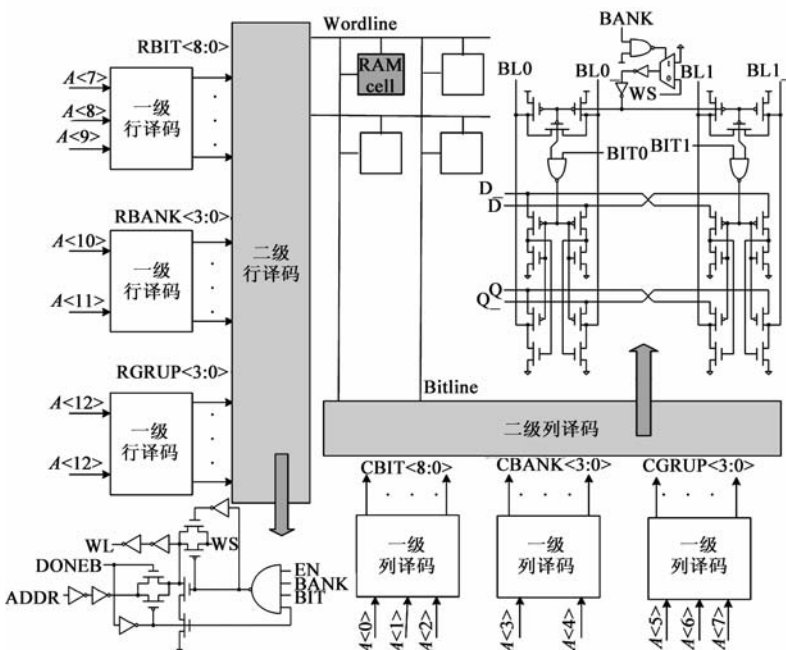


图8 二级行/列译码器

上的数据维持不变.数据输出端还是上个读出周期的数据,并且不会被写入操作所影响.

两种写入模式的功能主要由输出模块实现.如图 7 所示.通过输出数据缓冲器的编程点控制为哪种写入模式.

## 2.3 两级行/列译码器的设计

采用两级译码有许多优点:

(1)比起单级译码,大大减少了所需晶体管的数目.

(2)延迟与扇入之间成平方关系,传播延迟比起单级译码大大减小.

(3)在每个第一级译码器中增加一个选择信号就能在一个存储器块未被选择时禁用该译码器,可以大大节省功耗.

(4)采用两级译码形式可以使字线和位线的长度保持在一定的界限内,使得存取速度加快.

为了建立起快速且省面积的译码器,采用两级译码器.地址的各段在第一级译码器中进行预译码,第二层逻辑门产生最终的字线信号.

将 14 位的输入地址分成两部分,分别作为一级行译码器和一级列译码器的输入端.二级行译码的输入来自一级行译码的输出,最终输出为字线(wordline);二级列译码的输入来自一级列译码的输出,最终输出为位线(bitline).

数据位存储单元的阵列大小为:128 × 128, 奇偶校验位的存储单元阵列大小为:128 × 16.存储单元阵列总大小为:128 × 144.即每行 128 个存储单元,每列 144 个存储单元.图 8 详细描述了数据位的二级行译码器和二级列译码器的电路实现.

## 2.4 灵敏放大器的设计

设计存储器阵列时,常常降低位线上的电压摆幅至明显低于电源电压,这样可以降低传播延迟和功耗.而与外部接口连接时,则要求将内部电压摆幅放大到电源至地的全幅度,这就需要灵敏放大器(sense amplifier)来实现.

灵敏放大器的拓扑结构很大程度上取决于存储器的类型、电压大小以及存储器的整体结构<sup>[11,12]</sup>.锁存型灵敏放大器具有速度快、器件尺寸容易设计且结构简单的特点,非常适合内嵌至 FPGA 芯片的 BRAM 中.

采用一对交叉耦合的 CMOS 反相器作为灵敏放大器,如图 9,当一个 CMOS 反相器处在过渡区时将表现出很高的增益.

两条位线输入通过下拉图 9 的预充电

电路中的 1 结点,预充电至  $V_{DD}$ ,同时  $M1$  导通,以保证两条位线上的初始电压相同,也称为均压,是为了防止灵敏放大器在导通时出现错误的偏移。

关断预充电器件和均压器件并启动一条字线开始读操作,其中一条位线被所选择的存储单元下拉,一旦建立起一个足够大的差分信号,灵敏放大器启动,位线上的差分输入信号通过放大器被放大,并最终在输出端产生一个全摆幅的输出。

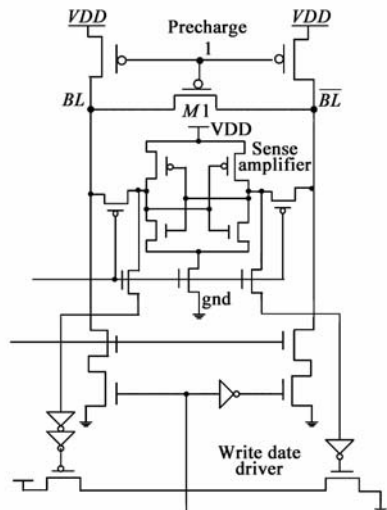


图9 FDP-II中灵敏放大器的电路结构

### 3 BRAM 嵌入至 FPGA 的互连结构设计

FDP-II 中包括 8 块 18Kbits 的 BRAM,将 BRAM 作为一个 IP 核使用. BRAM 的互连结构采用通用 IP 互连,这样做的好处是 BRAM IP 核的全局互连资源可以和 Tile 的互连采用同一种结构,不但节省电路设计和版图设计的周期,同时统一的结构使得电路延时更具可测性,为静态时序分析及时序驱动布线提供硬件便利。

与学术界采用的传统岛状 FPGA 互连结构不同的是, FDP-II 芯片中不再包含 CB (Connection box) 和 SB (Switch box),取而代之的是 GRB (General Routing Box)<sup>[13]</sup> 用来实现互连线之间的连接. 这种新颖的互连架构与学术界使用的模型有很大不同. 在保证互连资源的高度灵活性和布通率的前提下,对编程点和驱动器的实现方式进行优化,同时也优化了版图面积. 在通用布局布线工具 VPR 中对这种互连架构进行建模,结果显示这种新型的互连架构平均能减少关键路径延迟 12.5%,减少面积 5.6%,减少静态功耗 16.7%<sup>[13]</sup>。

BRAM 中完整的可编程互连资源 (Programmable Routing) 由 GRB、IMUX 以及 OMUX 组成. IMUX 是将来自 GRB 的互连信号经过选择送至 BRAM 的输入端,包含 32 个 36 选 1MUX, 8 个 32 选 1MUX, 6 个 24 选 1MUX, 10 个 16 选 1MUX; OMUX 是将 BRAM 的输出信号有选择的

反馈到 GRB 中,包含 16 个 24 选 1MUX;而 GRB 则是实现不同互连资源之间的连接,由 40 个 16 选 1MUX, 40 个 12 选 1MUX, 4 个 4 选 1MUX, 4 个 10 选 1MUX 组成. 如图 10 所示。

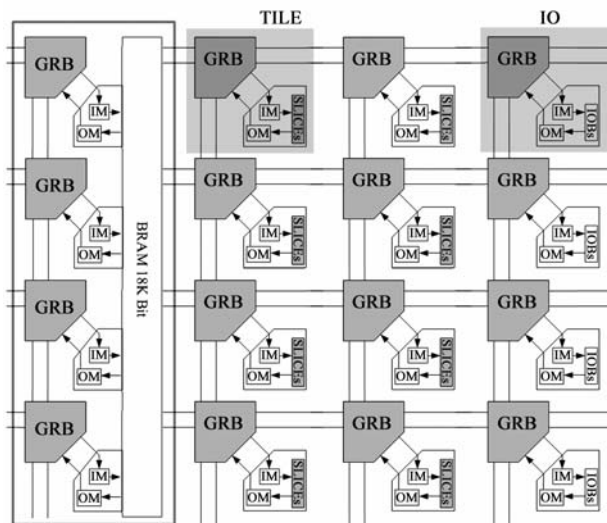


图10 BRAM互连结构示意图

一个 BRAM 在版图上占 4 个 TILE 的高度,也就意味着竖直方向上有 4 个 GRB 用于 BRAM 的互连,见图 11。

BRAM 中的互连资源主要包括长线,六倍线和两倍线. 经过流片和功能验证,发现对于大多数电路都有很高的布通率。

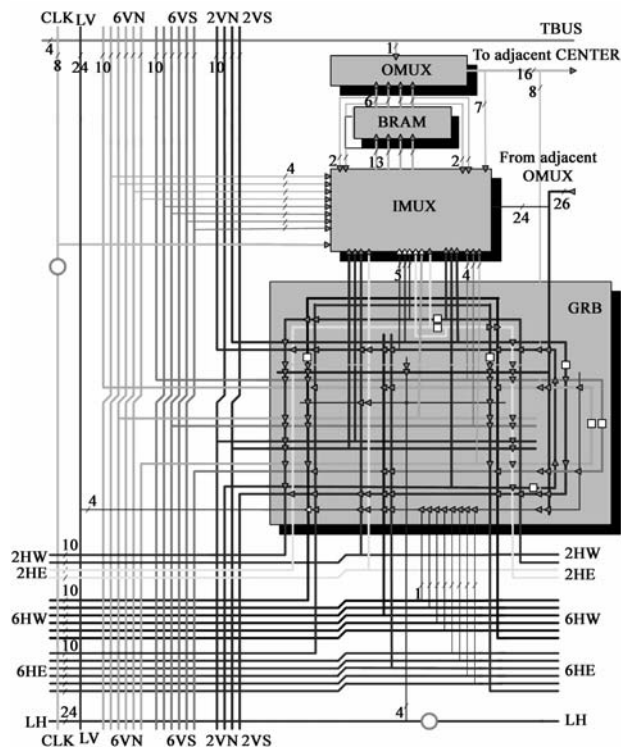


图11 BRAM的互连结构分布图

三种互连线中,长线的延时预测性较好,远距离连接时优势明显,但其面积利用率相对较低且负载比较大.六倍线和两倍线可以弥补长线的缺点,对于短距离的传输,两倍线就可以充分体现出其负载小,速度快的优点;而对于中距离的传输六倍线的速度表现就明显优于两倍线和长线.互连线采用全缓冲器(BUFFER)驱动以提高信号的可预测性.

(1)N(North)、S(South)、E(East)、W(West),分别表示来自四个方向.

(2)6VN/6VS表示竖直方向的六倍线(Hex line):跨越6个TILE,在水平或竖直方向的第6个TILE结束,均为单向驱动线.

(3)2VN/2VS表示竖直方向的两倍线(Double line):跨越2个TILE,在水平或竖直方向的第2个TILE结束,

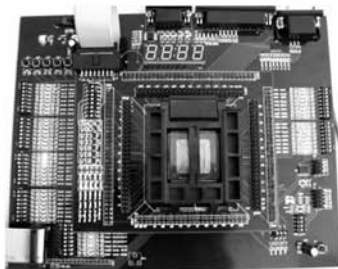
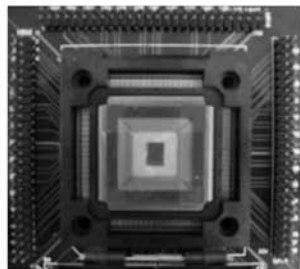
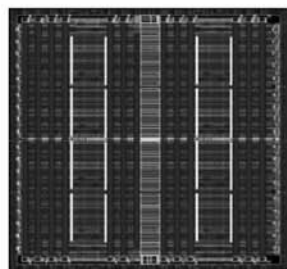


图12 (a) FDP-II的版图;(b) FDP-II芯片;(c) FDP-II的测试板

为测试 FDP-II 芯片中 BRAM 模块的功能及性能,搭建了相应的硬件测试平台,如图 13 所示.其中,待测的 FDP-II 芯片采用 FPQ208 的封装形式,通过插座和子板与 PCB 测试板母板相连.测试平台的硬件部分包括 FDP-II 测试电路板及子板、信号发生器(Agilent 33120A)、高精度示波器(Agilent 54622D Mixed Signal Oscilloscope)、数字万用表(VICTOR VC9801A)、稳压电源(MOTECH LPS305)、PC 机等.

FDP-II 的功能是由 FPGA 的相关 CAD 软件实现的,一个完整的 CAD FDE(FPGA Design Environment)工具包括网表转换,划分,工艺映射,布局布线,位流文件生成模块等.存储器模块必须同 FDE 软件<sup>[14]</sup>协同测试,并通过图 14 的测试流程实现 BRAM 测试的自动化.

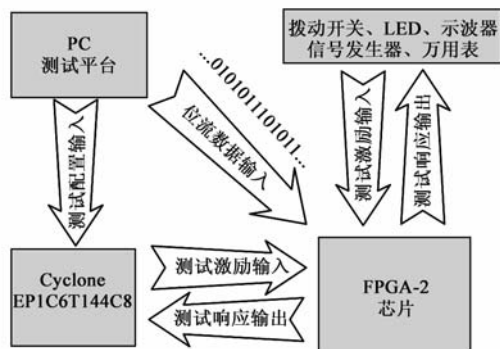


图13 FDP-II芯片测试平台结构示意图

也为单向驱动线.

(4)6HW/6HE表示水平方向的六倍线(Hex line).

(5)2HW/2HE表示水平方向的两倍线(Double line).

(6)LV表示竖直长线(Long line):贯穿整个芯片.

(7)LH表示水平长线(Long line).

(8)时钟线(CLK:Clock).

## 4 版图及测试结果

采用 SMIC 0.13 $\mu$ m Logic 1P8M Salicide 1.2V/3.3V 工艺,对 FDP-II 芯片进行了版图实现,如图 12(a),并进而流片.芯片共包含 1024 个 LUT、192 个用户可用 I/O、8 块 18 位乘法器以及 8 块 18Kbits BRAM 等.一个 BRAM 在版图上占 4 个 TILE 的高度.FDP-II 的面积约为 4.5mm $\times$ 4.4mm.

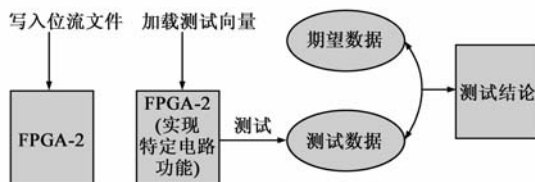


图14 FDP-II芯片测试流程

### 4.1 BRAM 的故障测试

存储器的故障主要指存储单元阵列的故障,主要表现为:数据间的扰动,包括行、列和单元间的数据相互影响,对测试序列的图形具有敏感性.存储阵列的故障模型主要包括:固定型故障、开路故障、转换故障、耦合故障、地址译码故障、维持故障、相邻模式敏感故

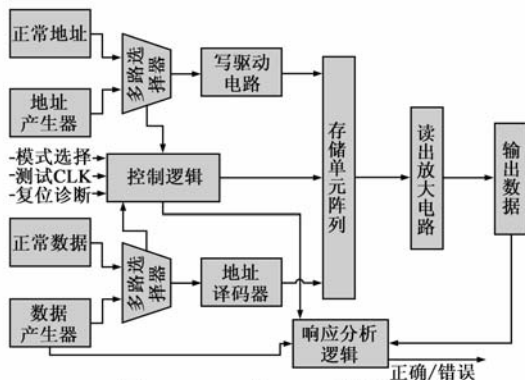


图15 BRAM的MBIST测试电路

障等。

在 March C+ 测试算法的基础上,采用存储器内建自测试 MBIST(Memory Built In Self Test)<sup>[15,16]</sup> 的测试方法,在 FDP-II 内部下载控制电路进行测试,然后用少量 IO 引脚显示测试结果即可。

对 FDP-II 中的 BRAM 进行故障遍历测试,测试结果表明:在各种配置模式下均通过了 March C+ 的测试, BRAM 无任何故障。

4.2 BRAM 的功能及性能测试

编写 Verilog 代码,完成初始化后将 BRAM 分别配置成单口和双口 SRAM,地址产生加 1 计数器,其低位作为数据的信号.对每种位宽模式的读写操作进行测试,通过示波器观察结果,并测试 BRAM 的最高读写频率。

从表 2 的测试结果可知,FDP-II 中的存储器模块可以实现单口或双口 BRAM 功能,六种不同的位宽工作模式均能正常工作,支持两种写入模式.读写功能均正确,测试结果证实了这种存储器电路的设计思想。

表 2 BRAM 的测试结果

| 读写结果<br>配置模式  | 读写功能<br>(单口 BRAM) |      | 读写功能<br>(双口 BRAM) |      | 读写频率  |       |
|---------------|-------------------|------|-------------------|------|-------|-------|
|               | Write             | Read | Write             | Read | Write | Read  |
| 16K * 1bit    | ✓                 | ✓    | ✓                 | ✓    | 71MHz | 71MHz |
| 8K * 2bist    | ✓                 | ✓    | ✓                 | ✓    | 67MHz | 73MHz |
| 4K * 4bits    | ✓                 | ✓    | ✓                 | ✓    | 71MHz | 72MHz |
| 1K * 18bits   | ✓                 | ✓    | ✓                 | ✓    | 71MHz | 73MHz |
| 1K * 18bits   | ✓                 | ✓    | ✓                 | ✓    | 71MHz | 73MHz |
| 512K * 36bist | ✓                 | ✓    | ✓                 | ✓    | 69MHz | 72MHz |

Xilinx 的基于 0.13 $\mu$ m 芯片 Virtex-II 中同样含有嵌入式存储器模块 BRAM,其实现的功能与 FDP-II 类似,将 FDP-II 输出端至时钟输入端的延迟与之相对比.最后的测试结果表明,FDP-II 的测试结果与 Virtex-II 的结果以及仿真结果均接近。

表 3 各种情况下延时的比较

| Chip       | Clock to Output | Delay  |
|------------|-----------------|--------|
| FDP-II(测试) | TBCKO           | 2.76ns |
| FDP-II(仿真) | TBCKO           | 2.72ns |
| XILINX     | TBCKO           | 2.65ns |

5 结论

描述了一种含有 8 块 18Kbits 的基于 0.13  $\mu$ m CMOS 工艺的 FPGA 芯片中的可重构的双端口嵌入式存储器模块.可以配置成单口或者双口存储器,有 6 种数据宽度,2 种写操作模式可供选择.重点介绍了实现 6 种数据宽度的输入输出位宽调整电路以及该 BRAM 嵌入至 FDP-II 中的互连电路.测试结果证实了该存储器模块的设计思想,并与 Xilinx 的类似芯片 Virtex-II 进行比较,结果与之接近。

参考文献

[1] Xilinx Inc. Virtex/Virtex-II/Virtex-4/Virtex-5/Spartan/Spartan-II/Spartan-3 FPGA Family Complete Data Sheet[M/OL]. www.xilinx.com,2008-2009.

[2] Altera Corp. Stratix/Stratix-II/Stratix-III/Stratix-IV/Cyclone/Cyclone-II/Cyclone-III Device Handbook[M/OL]. www.altera.com.cn,2008-2009.

[3] Lattice Semiconductor Corp. Lattice ECP3/ECP/EC Family Data Sheet[M/OL]. www.lattice.com,2008-2009.

[4] Xilinx Inc, Virtex-5 FPGA User Guide[M/OL]. www.xilinx.com,2008.

[5] Derek Curd. Power Consumption in 65nm FPGA, Virtex-5 FPGA White Paper[R/OL]. www.xilinx.com, February 2007, WP246.8-10.

[6] Peter Affke. FIFOs in Virtex-5 FPGAs, Virtex-5 FPGA White Paper[R/OL]. www.xilinx.com, March 2008, WP333.1-3.

[7] Simon Tam. Single Error Correction and Double Error Detection, Virtex-5 FPGA Application Notes[R/OL]. www.xilinx.com, August 2006, XAPP645.1-5.

[8] 侯慧,马晓骏,来金梅,童家榕,孙■,陈利光.适用于数据通路的可编程逻辑器件 FDP100K[J].电子学报,2006,34(8):1372-1375.

Hou Hui, et al. Programmable logic device FDP100K for datapath application[J]. Acta Electronica Sinica, 2006, 34(8): 1372-1375. (in Chinese)

[9] 潘光华,来金梅,陈利光,王元,王键,童家榕. FPGA 可编程逻辑单元时序功能的设计实现[J].电子学报,2008,36(8):6-10.

Pan Guang-hua, et al. The design and implementation of sequential circuits in FPGA configurable logic block[J]. Acta Electronica Sinica, 2008, 36(8): 6-10. (in Chinese)

[10] Brian D. Small, Andrew K. Chan. RAM with Configurable Depth and Width[P]. United States Patent, June 2003, US Patent NO.6578104.18-22.

[11] Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic 著,周润德,译.数字集成电路——电路、系统与与设计第二版[M].北京:电子工业出版社,2005.

[12] Chun-Lung Hsu, Mean-Ho. High-speed sense amplifier for SRAM applications[A]. The 2004 IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS 2004)[C]. Taiwan: Tainan, 2004.6-9.

[13] Fang Wu, Huowen Zhang. A delay-optimized universal FPGA routing architecture[A]. 14th Asia and South Pacific Design Automation Conference (ASP-DAC 2009)[C]. Japan: Pacifico Yokohama, 2009.19-22.

[14] 谢丁,邵■,来金梅,等.现代层次化可编程逻辑器件软件系统 FDE2009[J].电子学报,2010,38(5):1136-1140.

Xie Ding, et al. FDE2009 software system for programmable

logic device with hierarchical architecture[J]. Acta Electronica Sinica, 2010, 38(5): 1136 – 1140. (in Chinese)

- [15] 陆思安, 严晓浪, 等. 嵌入式存储器内建自测试的原理及实现[J]. 固体电子学研究进展, 2004, 24(2): 205 – 208.

Lu Si-an, et al. Principle and implementation of embedded memory built-in self-test[J]. Research & Progress of SSE, 2004, 24(2): 205 – 208. (in Chinese)

- [16] 张力, 罗胜钦. SOC 中嵌入式 SRAM 的 BIST 测试方法研究[J]. 电子与封装, 2007, 7(11): 27 – 30.

Zhang Li, Lou Sheng-qin. Research of Embedded SRAM Build-in Self-test in SoC[J]. Electronics & Packaging, 2007, 7(11): 27 – 30. (in Chinese)

## 作者简介



余 慧 女, 1985 年生于江西, 汉族, 复旦大学信息科学与工程学院微电子学系博士研究生, 主要研究方向为 FPGA 芯片的设计方法, 测试方法及 CAD 研究.

E-mail: hui\_yu@fudan.edu.cn

王 健 男, 1981 年生于上海, 汉族, 复旦大学微电子研究院微电子学系博士研究生, 主要研究方向为 FPGA 芯片的设计方法.

E-mail: 081021004@fudan.edu.cn