

多比特增量-总和调制器中的降噪环路

王正宏, 凌燮亭

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘 要: 在单级多比特增量-总和调制器中, 量化器的规模是与其比特数成指数增长的, 当比特数增加时, 量化器会很快变得难以实现. 本文提出了一种新结构: 降噪环路 (Noise Reducing Loop), 能够利用较少比特的量化器获得较多比特量化器的效果, 在获得高信噪比的同时, 大大地减小了电路规模. 在此基础上应用动态量化 (Dynamic Quantization) 算法, 可以使调制器在很宽的工作范围内具有较高的性能.

关键词: 增量-总和调制器; 多比特量化器; 动态量化

中图分类号: TN911 **文献标识码:** A **文章编号:** 0372-2112 (2001) 08-1013-05

Noise-Reducing Loop in Multi-bit $\Sigma\Delta$ Modulator

WANG Zheng-hong, LING Xie-ting

(ASIC & Systems State Key Lab., Fudan University, Shanghai 200433, China)

Abstract: In a single stage multi-bit $\Sigma\Delta$ modulator, the implementation of the multi-bit quantizer is often size and power consuming. When the bits of the quantizer increase, the scale of the circuit increases exponentially and soon becomes practically impracticable. In this paper, a new architecture, Noise-Reducing Loop, is proposed. It employs a quantizer with only a few bits and achieves much better performance that can only be achieved by using a huge quantizer in the conventional structure. Accompanied with the Dynamic Quantization algorithm, the modulator can trace the change of the input signal and achieve the near optimal performance adaptively.

Key words: $\Sigma\Delta$ modulator; multi-bit quantizer; dynamic quantization

1 引言

在各种结构的增量-总和调制器当中, 单级多比特结构具有很多优点: 拓扑结构简单; 在相对低的过采样率下可以获得较高的信噪比; 有利于消除 idling tone; 在开关电容实现中明显降低对运放某些特性如压摆率的要求等等. 然而, 由于量化器的规模, 包括面积、功耗, 通常是和其比特数成指数关系, 所以当比特数增加时很快就变得难以实现. 目前已有的报道中多比特量化器的比特数一般为 2~4 比特. 为了降低实现多比特量化器所付出的代价, 人们已经提出了如两步量化^[1]等方案, 但改进仍然有限. 如两步量化仍然需要两个 M 比特的量化器来实现 2M 比特的量化效果, 同时还需要额外的数模转换器^[1].

本文提出了一种新结构 Noise-Reducing Loop (NRL), 并结合动态量化 (DQ) 的概念, 在附加很少的硬件条件下, 用单个较少比特的量化器获得较多比特量化器的量化效果, 大大地提高了调制器的信噪比. 本文的第二部分将对多比特量化器做简要的分析和说明, 给出必要的概念以利于进一步的陈述; 第三部分详细介绍了降噪环路 NRL 的结构并进行了定量分析; 第四部分引入动态量化概念, 给出了具体算法和性能估

计; 数值模拟结果将在第五部分给出; 第六部分对本文的主要思想进行了总结.

2 多比特量化器

2.1 多比特量化器的分析

描述一个均匀量化的量化器一般需要两个参数: 量化间隔和量化阶数. 图 1 给出了一个 2 比特均匀量化的量化器, 量化间隔为 Δ , 量化阶数为 4. 在不过载的条件下, 量化噪声由量化间隔 Δ 决定. 通常, 人们近似地认为量化噪声为在 $(-\Delta/2, \Delta/2)$ 中均匀分布的白噪声, 这时噪声功率可表示为^[2]:

$$e_{ms}^2 = \Delta^2/12 \quad (1)$$

当量化间隔 Δ 一定时, 量化器的输入范围由量化阶数 M 决定, $V_{max} = (M-1)\Delta$. 由此可以看出, 要想降低量化噪声, 必须减小量化间隔 Δ , 但为了保证原有的输入幅度, 付出的代价是更多的量化阶数, 而量化阶数通常正比于实现该量化器所需要的硬件规模.

2.2 多比特量化器的实现

多比特增量-总和调制器中的量化器通常采用 Flash 结构^[2], 如图 2 所示. 可以看到, 若量化器比特数为 3, 则量化阶

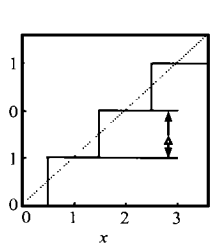


图1 2比特量化器

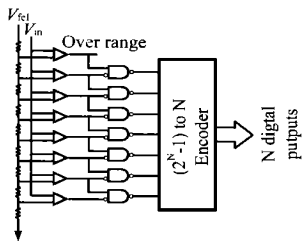


图2 3比特Flash量化器

数为 $2^3 = 8$, 而比较器的个数等于量化阶数, 是与量化器比特数成指数关系的, 因此实际应用在增量-总和调制器中的Flash量化器一般都少于5比特。

另外, Flash结构的量化器的量化间隔是由参考电压经过电阻分压产生, 所以可以通过改变参考电压方便地调整量化间隔 Δ , 这也是动态量化(DQ)算法实现的物理基础。

3 降噪环路

3.1 原理

通过前面的分析可以看到, 虽然减小量化间隔可以减小量化噪声, 但在量化阶数不变的条件下, 输入信号的幅度必须相应减小以避免过载。因此在一般情况下, 要想通过缩小量化间隔来降低量化噪声, 必须增加硬件实现更多的量化阶数来保证输入信号的最大幅度。如前所述, 若采用Flash结构, 硬件规模将随量化器的比特数成指数增长。

为了解决这个矛盾, 我们提出了降噪环路NRL, 其基本结构如图3所示: 通过减小量化器(图3中的ADC)的输入信号幅度, 使在一定的量化阶数下能够使用更小的量化间隔, 从而降低量化噪声。并且在后面的讨论中可以看到, 实现NRL所付出的代价仅仅是少量的数字电路和一个要求不高的DAC(甚至可以省去)。

图3中 H_1, H_2 的选择应满足以下两个原则: (1) NRL的存在应不影响原有系统的基本特性, 包括稳定性、噪声调制特性等等。(2) NRL应使量化器的输入信号幅度明显小于未使用NRL时量化器的输入信号幅度。

首先, 为了保证不影响原系统的基本特性, H_1, H_2 的选取应使NRL的传递函数满足

$$H_{DA}(z) = D(z)/A(z) \approx 1$$

即

$$\frac{H_1(z)}{1 + H_1(z)H_2(z)} = 1$$

由此可以推出

$$H_2(z) = 1 - \frac{1}{H_1(z)} \quad (2)$$

其次,

$$H_{BA}(z) = \frac{B(z)}{A(z)} = \frac{1}{1 + H_1(z)H_2(z)} = \frac{1}{H_1(z)} \quad (3)$$

A点信号在进入量化器之前其主要功率应受到衰减, 即由A到B的传递函数 H_{BA} 应衰减主要功率所在的频段。由图3可以得到, A点信号可以表示为

$$S_A(z) = \frac{L(z)}{1 + L(z)} U(z) - \frac{L(z)}{1 + L(z)} e_o(z) \quad (4)$$

式中 e_o 为将NRL视为一个等效的多比特量化器时所引入的量化噪声。在多比特量化的情况下, 前一项的功率往往远大于后一项, 故衰减频段应在信号所在的频段。可以选择低通形式的传递函数

$$H_1 = \left[\frac{1}{1 - z^{-1}} \right]^n \quad (5)$$

并由式(2)得

$$H_2 = 1 - (1 - z^{-1})^n$$

使用以上传递函数的NRL不仅衰减效果良好, 而且数字实现也简单方便。

根据式(5), 我们可以估计出信噪比的改善。通过简单推导, 由图3(b)可以得到 e_i 到输出点D的传递函数为 $H_{eD}(z) = 1/(1 + L(z))$, 这与传统形式的调制器的噪声传递函数相同。因此信噪比的改善为:

$$SNR_{impr}(\text{dB}) = 10 \log \left[\frac{P_{econ}}{P_{eNRL}} \right] (\text{dB})$$

式中 P_{econ} 和 P_{eNRL} 分别为传统结构下和使用NRL结构的量化噪声功率。若采用均匀分布白噪声假设^[2], 量化器的量化阶数相同, 则上式可化为

$$\begin{aligned} SNR_{impr}(\text{dB}) &= 10 \log \left[\frac{\frac{\Delta_{con}^2}{12}}{\frac{\Delta_{NRL}^2}{12}} \right] = 20 \log \left[\frac{\Delta_{con}}{\Delta_{NRL}} \right] \\ &= 20 \log \left[\frac{V_{ref_{con}}}{V_{ref_{NRL}}} \right] (\text{dB}) \end{aligned} \quad (6)$$

由于 V_{ref} 往往正比于最大输入电压 V_{max} , 而对带宽有限的信号而言, 可以近似认为 V_{max} 正比于最大输入功率 P_{max} , 不妨设

$$V_{ref} = V_{max} = \alpha \sqrt{P_{max}} \quad (7)$$

式中 α 为与信号类型相关的系数。设 P_{max} 为调制器的最大输入功率, 则传统结构和NRL结构的调制器中量化器的 V_{rf} 应分别为

$$\begin{aligned} V_{rf_{con}} &= \alpha \sqrt{P_{max A}}, \\ \text{以及} \quad V_{rf_{NRL}} &= \alpha' \sqrt{P_{max B}}, \end{aligned} \quad (8)$$

式中的下标A和B分别代表A点和B点。若设 $H_{BA \max}(f)$ 为 $H_{BA}(f)$ 中的最大值, 则有

$$V_{rf_{NRL}} = \alpha' \sqrt{P_{max B}} \leq \alpha' |H_{BA \max}(f)| \sqrt{P_{max A}}$$

则

$$SNR_{impr} = 20 \log \left[\frac{V_{rf_{con}}}{V_{rf_{NRL}}} \right] \geq 20 \log \left[\frac{1}{|H_{BA \max}(f)|} \right] + 20 \log \left[\frac{\alpha}{\alpha'} \right] \quad (9)$$

对于单频正弦输入(频率为 $H_{BA \max}$ 所在频率), 上式取等号且 $\alpha = \alpha'$ 。若以式(5)给出的公式为例, 取

$$V_{rf_{NRL}} = V_{rf_{con}} |H_{BA \max}| = V_{rf_{con}} \frac{\pi}{OSR}$$

这时有

$$SNR_{impr} = n \cdot 20 \log \frac{1}{|2 \sin \pi f_0 / f_s|} = n \cdot 20 \log \frac{OSR}{\pi} \quad (10)$$

式中 $OSR = f_s / 2f_0$ 为过采样率, $n = 1, 2, \dots$ 。从式(10)中可以看

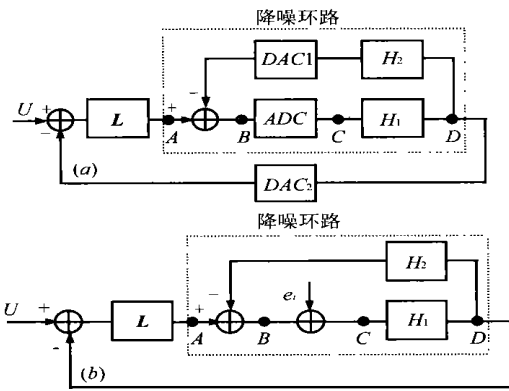


图 3 降噪环路 NRL(图中虚线框内部分)

(a) 结构框图; (b) 线性等效模型

到, 当 n 取得很大时, 应该可以获得很高的信噪比改善。然而在下一部分的讨论中可以看到, 通常 n 只取 1 或者 2。

3.2 进一步的讨论

前一部分讨论了降低量化噪声的原理与方法, 这里我们将进一步讨论 NRL 的跟踪性能, NRL 的各个模块的非理想特性对性能的影响以及调制器阶数、 H_1 的阶数对系统性能的影响。

事实上, 我们可以将 NRL 看成是一个信号跟踪模块, 当量化器的量化阶数有限时, NRL 也只能跟踪有限斜率的信号。以 $H_1 = (1 - z^{-1})^{-1}$ 为例, 设量化器的参考电压为 V_{rf} , 量化阶数为 M , 则量化间隔 $\Delta = V_{rf}/(M - 1)$, NRL 最大输出斜率为 $K = (M - 1)\Delta = V_{rf}$ 。而当输入最高频率为 f_0 的带限信号时, 其最大斜率为 $K_{max} = A 2\pi f_0 / f_s = A \pi / OSR$, A 为输入信号幅度。若要使 NRL 能够跟踪信号的变化, 则需 $V_{rf} > A \pi / OSR$ 。否则将导致量化器过载, 整个系统也会不稳定。

对于 NRL 中量化器、DAC 的非理想特性, 图 4 给出了其线性等效模型。图 4 给出了其线性等效模型。此时, 不难得出输出信号中的噪声项为

$$e(z) = \frac{1}{1+L} (e_1 + e_{d1}) - \frac{L}{1+L} e_{d2}$$

很明显, NRL 中的 DAC1 的非线性噪声会受到整个环路的调制, 因此对系统的影响很小。因此如果 H_2 用模拟电路实现比实现 DAC1 更经济的话, 我们可以省去 NRL 内的 DAC1。例如当 $H_1 = (1 - z^{-1})^{-1}$, $H_2 = z^{-1}$ 时, 利用模拟电路对 DAC2 的输出延时一拍非常简单。这时实现 NRL 所需要的硬件仅仅是一个数字积分器和一个模拟延迟, 而调制器的信噪比却大大地提高了。当然, 与所有其他多比特反馈的 $\Sigma\Delta$ 调制器一样, 使用 NRL 的调制器同样需要高线性度的反馈 DAC2, 这可以采用动态单元匹配技术^[3~5]或者数字校正技术^[5]加以解决, 这里不再详述。

另外, 在前面的讨论中, 我们都假设信号功率远大于噪声功率。然而在实际应用中, 我们往往使用 2~3 比特, 甚至单比特的量化器, 则当调制器阶数以及 H_1 的阶数比较高时噪声对 NRL 的影响就不容忽视了。不难证明, e_1 到 B 点的传递函数为

$$H_{dB} = - \left[\frac{L}{1+L} + \frac{1 - 1/H_1}{1+L} \right] = - \left[1 - \frac{1}{H_1(1+L)} \right] \quad (11)$$

当调制器阶数以及 H_1 的阶数比较高时, H_{dB} 在高频处的增益将会很大, 如当调制器阶数为 3, 即 $1/(1+L) = (1 - z^{-1})^3$, H_1 取 $1/(1 - z^{-1})^2$ 时, $|H_{dB}|$ 在 $z = -1$ 处的增益将达到 31, 则输入量化器中的信号幅度将不再由信号决定, 而受噪声影响很大。若此时采用 5 比特以下的量化器, 调制器将不再稳定。通常, 当调制器阶数小于 3, 量化器比特数大于 1 比特, H_1 取 $1/(1 - z^{-1})^n$, $n = 1, 2$ 时, 调制器都是稳定的。当调制器阶数大于等于 3 时, 可以应用类似于高价单比特调制器的噪声传递函数, 降低噪声在高频处的增益, 则使用 $1/(1 - z^{-1})^2$ 作为 H_1 时, 调制器也能稳定工作。

4 动态量化

4.1 动态量化的基本概念

在前一部分的讨论中我们已经看到, 若在保证调制器正常工作, 必须有 $V_{rf} \geq A \pi / OSR$ 。因此若采用固定的 V_{rf} , 则必须保证在极端工作条件下调制器仍能正常工作, 而这往往是一种很大的浪费, 因为在大多数情况下并不需要这么大的 V_{rf} 来保证稳定。针对这个问题, 我们引入了动态量化的概念, 根据已有的量化值对下一时刻可能的最大幅度进行预测, 自适应地调节量化器的量化间隔, 保证了系统的稳定性, 同时获得最优的信噪比。

4.2 动态量化(DQ)算法

在本节中, 我们提出了一种简单有效的自适应算法, 能够在很宽的工作范围之内获得较好的结果。由于增量-总和调制器的过采样特性, 我们感兴趣的信号被限制在较窄的频带内, 因此其相邻时刻间的变化不大, 利用前一时刻的信号可以较好地预测下一时刻的值。基于这个思想, 我们给出了如下算法:

设 $V_{rf}(n)$ 和 $Q(n)$ 分别为 n 时刻的参考电压和量化器输出, 则预测算法为:

若 $Q(n) < Q_L$, 则 $V_{rf}(n+1) = a(V_{rf}(n))$,
 $V_{rf}(n+1) > V_{min}$

若 $Q_L \leq Q(n) < Q_H$, 则 $V_{rf}(n+1) = V_{rf}(n)$,

若 $Q(n) \geq Q_H$, 则 $V_{rf}(n+1) = b \cdot V_{rf}(n)$,
 $V_{rf}(n+1) < V_{max}$

式中, $0 \leq Q_L \leq Q_H \leq M - 1$, $0 < a < 1$, $b > 1$ 。通常为了数字实现方便, 取 $a = 0.5$, $b = 2$ 。不难看出, 整个算法所需要存储的量只有 $V_{rf}(n)$ 。

图 5 给出了实现 V_{rf} 调节的电路实例, 包括一个简单的电阻分压网络, 一个驱动器和一些开关, 以及相应的控制逻辑。通过前面的分析不难看出, 实现动态量化的 NRL 所需要的硬件也十分经济、简单。

4.3 性能估计

在本节中,我们将对前面提出的算法进行分析,并给出性能估计公式.为了利于问题的简化,我们首先做两个假设.

假设 1 在正常工作时,该算法给出的 $V_{ref}(n)$ 能对输入 $V_B(n)$ 较好地跟踪,即近似的有, $V_{ref} \propto V_B$,不妨设 $V_{ref} = \eta V_B$

假设 2 量化噪声是与输入无关且均匀分布在 $(-\Delta(n)/2, \Delta(n)/2)$ 中的白噪声.

由假设 1 可以得到量化间隔 $\Delta(n)$ 的表达式.

$$\Delta(n) = \frac{V_{ref}(n)}{M-1} = \frac{\eta V_B(n)}{M-1} \quad (12)$$

式中 M 为量化器的量化阶数.由假设 2 知量化噪声 $e(n)$ 是均匀分布在 $(-\Delta(n)/2, \Delta(n)/2)$ 中的白噪声.如果将 $\Delta(n)$ 视为 $e(n)$ 可变的幅度系数,则 $e(n)$ 可以写为两部分的乘积.

$$e(n) = \Delta(n) \cdot e_0(n) \quad (13)$$

式中 $e_0(n)$ 是均匀分布在 $(-1/2, 1/2)$ 中的白噪声.结合式(12),上式可进一步写为

$$e(n) \approx \frac{\eta}{M-1} V_B(n) \cdot e_0(n) \quad (14)$$

由于 $e_0(n)$ 是与 $V_B(n)$ 无关的白噪声,不难证明, $e(n)$ 也是白噪声.其功率 P_e 为

$$\begin{aligned} P_e &= E[e^2(n)] = \frac{\eta^2}{(M-1)^2} E[V_B^2(n)] E[e_0^2(n)] \\ &= \frac{\eta^2}{(M-1)^2} \cdot \frac{1}{12} P_{V_B} \end{aligned} \quad (15)$$

而传统结构的量化噪声功率 $P_{e_{con}}$ 为

$$P_{e_{con}} = \frac{1}{(M-1)^2} \cdot \frac{V_{ref}^2}{12} \quad (16)$$

因此信噪比的改善为

$$SNR_{impr}(\text{dB}) = 10 \log \frac{P_{e_{con}}}{P_e} = 10 \log \frac{V_{ref}^2}{\eta^2 P_{V_B}} \quad (17)$$

若采用归一化的电压,令 $V_{ref} = 1$,上式化为

$$SNR_{impr}(\text{dB}) = 10 \log \frac{1}{\eta^2 P'_{V_B}} \quad (18)$$

若以式(5)给出的公式为例,输入归一化幅度为 A ,频率为 f_0 的正弦波,则由式(3), (4)可得

$$P'_{V_B} = \frac{A^2}{2} |H(f_0)|^2 = \frac{\pi^2 A^2}{2} \left(\frac{2f_0}{f_s} \right)^{2n} \quad (19)$$

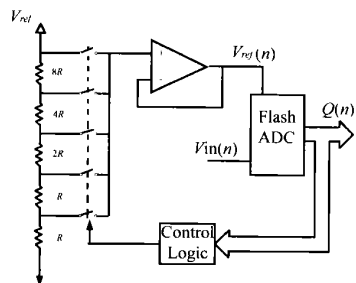


图5 动态量化的Flash量化器

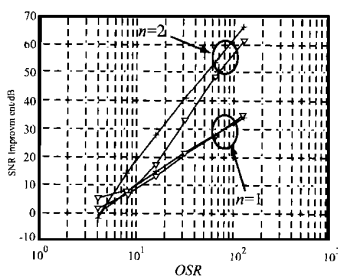


图6 信噪比改善与OSR的关系曲线。“- - -”理论值;“- · - ·”传统结构;“- ∇ -”模拟结果

则信噪比的改善为

$$SNR_{impr}(\text{dB}) = 10 \log \left[\frac{2}{\eta^2 \pi^2 A^2} OSR^{2n} \right] \quad (20)$$

式中的 η 是与算法相关的量,在模拟中按下式估计

$$\eta = \frac{1}{E[V_B/V_{ref}]} \quad (21)$$

由式(18),式(20)可以看到,信噪比的改善是与输入信号幅度的平方成反比的.因此,若其他条件不变,当改变输入信号幅度时,调制器输出的信噪比却并不发生变化,而在传统结构中,调制器输出信噪比是随着输入信号幅度的减小而降低的.在实际应用当中,动态量化器的 V_{ref} 不可能无限减小下去,在这种情况下,在 V_{ref} 没达到最小值之前,调制器输出的信噪比保持不变.而当 V_{ref} 已经达到最小值时,调制器输出信噪比将随输入信号的减小而降低.

5 模拟结果

5.1 参考电压固定的NRL结构

表1列出了不同过采样率下不同结构的NRL中量化器参考电压 V_{ref} 的取值和相应的输出信噪比.调制器阶数为2;量化器为5level的ADC,最大输出为 ± 1 ; H_1 、 H_2 采用式(5)给出的形式, n 分别取1和2;输入信号为峰-峰值 $= \pm 0.821$ 的正弦信号

当 $H_1 = (1 - z^{-1})^{-1}$ 时,可以看到,过采样率每提高一倍, V_{ref} 就可以降低一倍,这也意味着量化间隔缩小到原来的一半,即等效比特数多了1比特.这与式(10)是一致的.然而,当 $H_1 = (1 - z^{-1})^{-2}$ 时,只有在过采样率不大于16时模拟结果与式(10)一致,即每提高一倍采样率,等效比特数多2比特.当过采样率大于16时,由于NRL的衰减作用使得量化器的输入中与输入信号对应的那部分功率变得很小,这时噪声功率逐渐占据了主导地位,因此与式(10)产生了偏差.但是即便如此,NRL结构对信噪比的改善也是十分明显的,可以看到,当采用5level的量化器, $n=2$ 时,在16倍过采样率的条件下就可以获得高达22dB的信噪比改善.如果采用传统结构,达到相同的信噪比需要使用65level的量化器,它的硬件规模要远远大于实现NRL结构所需要付出的代价.

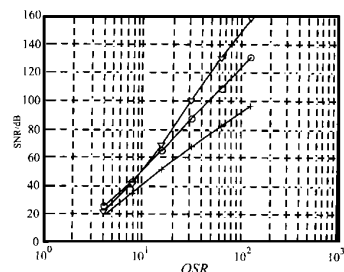


图7 调制器输出信噪比与OSR的关系曲线。“- · - ·”传统结构;“- o -”NRL结构, $n=1$;“- ∇ -”NRL结构, $n=2$

5.2 应用 DQ 算法的 NRL 结构

模拟条件: 2 阶调制器, 9level 量化器, 输入过采样率为 32 的正弦波. DQ 算法中 $Q_L = Q_{\max}/4$, $Q_H = Q_{\max}$, $a = 0.5$, $b = 2$. 在 DQ 算法中, 为了把注意力集中在 NRL 的性能改善上, 我们没有对 V_{ref_min} 做限制, 但在实际实现中, DAC2 的规模以及 Flash ADC 中比较器的非理想限制将决定最小的量化间隔, 即 V_{rf} 应存在一个最小值. 改变过采样率以及 NRL 中 H_1 、 H_2 的阶数, 图 6 给出了数值模拟与理论估计式(10)的比较结果. 在 $n = 1$ 时, 二者吻合得很好, $n = 2$ 时有一定偏差, 但大致趋势是一致的. 模拟结果表明, 采用 NRL 结构并结合 DQ 算法, 单级多比特增量-总和调制器可以以很小的硬件代价获得很高的信噪比改善.

表 1

过采样率 OSR		4	8	16	32	64	128
H_1 取 $(1-z^{-1})^{-1}$	SNR (dB)	20.7	37.0	60.4	79.1	101	125
	V_{rf}/VO	1/2	1/2	1/4	1/8	1/16	1/32
H_1 取 $(1-z^{-1})^{-2}$	SNR (dB)	13.6	42.3	68.2	92.3	115	137
	V_{rf}/VO	1	1/4	1/16	1/32	1/64	1/128
传统结构 调制器	SNR (dB)	13.6	32.2	46.1	64.7	79.1	91.1
	V_{rf}/VO	1	1	1	1	1	1

6 结论

在前面的几章中我们对降噪环路 NRL 以及动态量化 DQ 算法进行了讨论、分析和模拟验证. 总的来说, 这种结构和算法主要有以下几个特点:

- (1) 降噪环路 NRL 改变了以往的多比特量化器的概念, 不再需要很多的量化阶数来保证足够的输入信号幅度, 因此量化器的规模可以大大缩减, 而信噪比可以保持不变甚至提高. 虽然这时量化器的输出也很小, 但与传统结构不同的是, 量化器的输出不再直接作为调制器的输出, 而是通过一定处理, 如积分, 再输出, 这样就保证了输出的幅度, 实现了对输入信号的跟踪.
- (2) 实现 NRL 虽然也需要增加一些模块, 但如前所述, 增加的模块都是非常简单, 易于实现的: 数字部分中, H_1 可以采用积分器形式, 这样所需要的硬件只是累加器. H_2 也仅需要

进行加法操作. 在模拟部分中, 如果 H_2 用数字电路实现, 则需要一个 DAC. 通常情况下, H_2 可以用很简单的模拟电路实现, 这时这个 DAC 就可以省去了. 这样, 利用 NRL 结构, 只需很少的硬件就能获得以往需要庞大的量化器才能达到的性能, 节省了面积, 降低了功耗.

(3) DQ 算法的采用扩展了 NRL 的工作范围, 使调制器能自适应地调节量化器的参考电压, 在各种工作条件下都能取得较好的性能.

总之, NRL 结构以及 DQ 算法降低了实现单级多比特增量-总和调制器的硬件要求, 提高了它的性能, 将有力地推动该领域内工作的进展.

参考文献:

[1] Saska Lindfors, Kari Halonen. Two step quantization in multi-bit $\Delta\Sigma$ -modulators [A]. Proc. IEEE ISCAS [C], 1999.

[2] David A Johns, Ken Martin. Analog Integrated Circuit Design [M]. John Wiley & Sons, Inc. 1997: 487- 573.

[3] Dario Cini, Carlo Samori, Andrea L Laccaita. Double Index Averaging: A novel technique for dynamic element matching in $\Sigma\Delta$ A/D Convertors [J]. IEEE Trans. on CAS-II, April 1999, 46(4): 353- 358.

[4] Akira Yasuda, Hiroshi Tanimoto, Tetsuya Iida. A third-order $\Delta\Sigma$ modulator using second-order noise-shaping dynamic element matching [J]. IEEE J. Solid State Circuits, December 1998, 33(12): 1879- 1886.

[5] Steven R Norsworthy, Richard Schreier, Garbo C Temes. Delta Sigma Data Convertors: Theory, Design and Simulation [M]. New York: IEEE Press, 1997: 244- 281.

作者简介:

王正宏 男. 1975 年 12 月出生辽宁省. 复旦大学电子工程系硕士研究生, 从事模拟与数模混合集成电路的分析、设计与模拟等领域的研究.

凌雯亭 男. 1932 年生于江苏常州. 复旦大学教授、博导, 从事电路容差分析、集成电路分析与设计、信号盲识别与盲分离、滤波器设计理论、神经网络以及混沌理论与应用等领域的研究.