

基于两层流水线结构的 FIR 滤波器设计

王 沁,李占才,齐 悦

(北京科技大学计算机系,北京 100083)

摘 要: 本文提出了一种基于两层流水线体系结构的 FIR 滤波器的实现方案(2HPFIR).采用比输入采样频率快几倍的内部时钟频率,实现了乘加器件的高度复用,进而缩减了芯片面积.根据滤波器的抽头数目 N 和内部时钟快于采样频率的倍数 M ,在二层流水线结构的抽头链中,加入 $N/M - 1$ 个抽头把运算分成 N/M 个组.在流水线结构的组内形成 M 个阶段,组间形成 N/M 个阶段.随着抽头数量的增长,此结构很容易扩展,且不会增加关键路径的延时.此方法可以灵活应用到其它类似的专用滤波器设计中.

关键词: 数字信号处理; FIR 滤波器; 集成电路; 流水线; 乘累加器

中图分类号: TP302 **文献标识码:** A **文章编号:** 0372-2112 (2005) 02-0367-03

FIR Filters Design Based on Two-Hierarchy Pipeline Structure

WANG Qin, LI Zhan-cai, QI Yue

(Computer Science Department, University of Science & Technology Beijing, Beijing 100083, China)

Abstract: This paper introduces a two-hierarchy pipeline structure for FIR filters design. It is a flexible ASIC architecture for user specified symbol rate. By adopting the inner clock several times faster than the input data sampling rate, multiplying and adding component can be highly shared to reduce the area. In light of the number of taps of the filter N and the multiple of inner clock frequency to sampling rate M , $N/M - 1$ taps should be added in the chain of taps in this two-hierarchy pipeline architecture, which separate computations into N/M groups. The two hierarchies of pipeline are in-group with M stages and between-group with N/M stages respectively. As the number of taps of filter increases, the structure can be easily extended without increasing the delay of critical path. This method is flexible and can be adopted in other similar application specific filters design.

Key words: DSP(digital signal processing); FIR filter; IC(integrated circuit); pipeline; multiply-add

1 引言

有限长滤波器具有稳定性和易于实现等优点,广泛使用在 DSP 的各种应用中,如信号处理、视频卷积函数和通讯等.滤波器设计中的重要问题就是大量的乘法运算将导致芯片面积和功耗的增加,以前的研究工作主要有:把乘法分解为加、减、移位等简单的操作,并复用那些相同的子表达式^[1],减少延迟和加法器的数量^[2],在缩短乘法器位数和运算精度之间进行折衷处理^[3].另外,专用的 FIR 滤波器也经常采用嵌入式 RAM 在 FPGA 上实现^[4].

本文提出一种适用于电路设计的专用滤波器实现新方法:两层流水线(2HP)结构设计,对于用户指定的符号率它是一种灵活的 ASIC 体系结构.通过采用比输入数据采样频率高几倍的内部时钟,高度复用乘加器件,实现了大吞吐量,同时减小了面积.根据滤波器的抽头数目 N 和内部时钟快于采样频率的倍数 M ,在这个二层流水线结构的抽头链中,加入 $N/M - 1$ 个抽头把运算分成 N/M 个组.这样在流水线结构的组内就有 M 个阶段,组间有 N/M 个阶段.用户可以根据系统的

性能要求自定义 N 和 M .

本文的结构如下:第二部分简要地介绍了有限长滤波器的一般结构,第三部分详细描述了本文提出的滤波器结构和流水线设计,第四部分是电路结构和仿真结果,最后对全文总结.

2 FIR 滤波器结构介绍

一个具有 N 抽头的 FIR 滤波器计算公式如下:

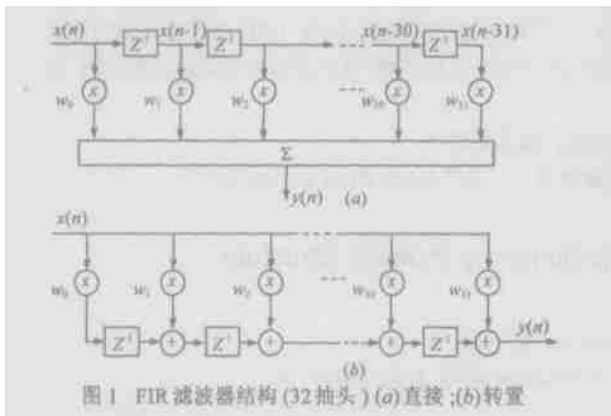
$$y(n) = \sum_{k=0}^{N-1} w_k x(n-k)$$

其中 x 表示输入数据流, w_k 表示第 k 抽头的系数, y 是输出数据流,这可以看作是输入流 $x(n)$ 和冲击响应 $h(n)$ 的离散卷积.一般来讲, FIR 滤波器有两种常用的实现方式:直接方式和转置方式,如图 1 所示.在直接方式下,延迟单元在乘法器之间,同一时刻,当前滤波器的输入 $x(n)$ 和前 $N - 1$ 个输入被送到相应的乘法器中,滤波器的输出就是每一个乘法器的乘积和.而在转置方式下,延迟单元被放在加法器之间,这样可以同时给乘法器输入.一般地,直接方式更适合于

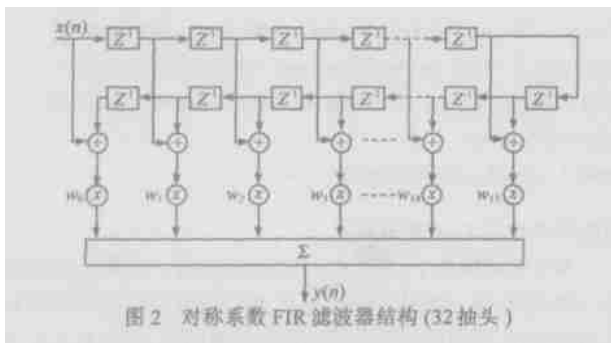
收稿日期:2004-04-28;修回日期:2004-10-12

基金项目:北京市科技计划重大项目“交互式有线数字电视信道传输核心技术开发”

高频的情况,但和转置方式相比它的执行时间长.另外,每个时钟周期都有新的采样数据更新,在整个抽头链上每一个乘法器的输入都发生变化,这就会在乘法器内引起高翻转率,最终导致过高的功耗.在转置方式下,整个滤波器的所有乘法器的输入是相同的,减少了翻转率,因此缩减了功耗.但是,输入的信号在单一的流水阶段进行乘法、加法和求和计算,这就限制了时钟频率.而且,这种实现方式有一个缺点:即在实现时要求输入 $x(n)$ 提供大的扇出.



如果系数是关于抽头的中心对称的,即 $w_i = w_{N-1-i}$, 就可以象图 2 所示那样把滤波器“折叠”成一半的长度,减少乘法和加法器的数量.

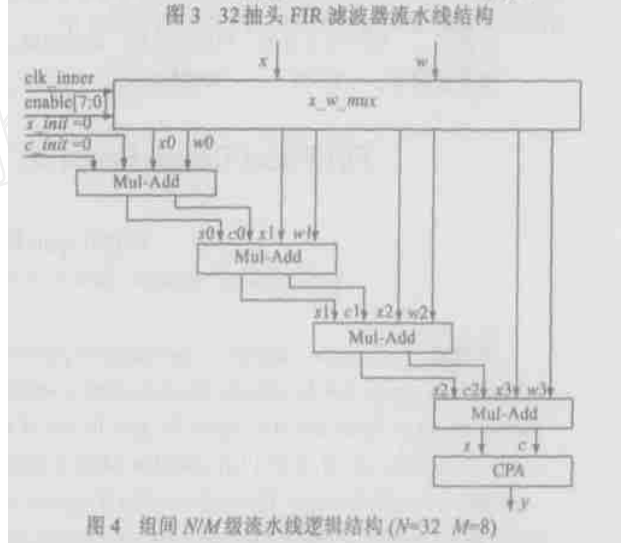
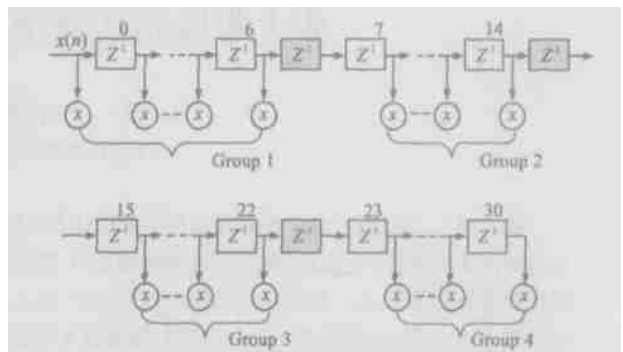


3 2HPFIR 的结构和流水线设计

在特定项目中,采样频率是用户定义的,输入数据的变化率比系统时钟频率相对较低.为了节约资源,采用比系统时钟快 M 倍的内部时钟,也就是说,一个系统时钟周期包括 M 个内部时钟周期,在一个系统时钟周期的一个操作被分成 M 个子操作.因此,每个内部时钟周期的使能信号通过 one-hot 编码方式来实现,对每个子操作进行控制.

在通常方式下,一个 N 抽头的 FIR 滤波器总共需要 N 次乘法和 $N-1$ 次加法来实现.由于使用了更快的时钟, N 个乘法器可以被分成 N/M 组,并在抽头链上增加 $N/M-1$ 个抽头.这样在一个系统时钟周期,每组完成 M 次乘法和相关的加法.有了快速的内部时钟, M 次乘法就可以在一个系统时钟周期做完.因此,每组复用同一个乘加器件——Mul-Acc 模块,这样只需要 N/M 个 Mul-Acc 模块.不失一般性(如图 3 所示),一个 32 抽头 FIR 滤波器被分成 4 组,另加了 3 个抽头.这就构成了一个两层的流水线,第一层是组内,有八个阶段,第

二层是组间,有 4 个阶段.



FIR 滤波器的电路结构如图 4, x_w mux 模块是输入数据流 x 和系数 w 的选通器,由内部时钟和使能信号控制.系数 w 存储在嵌入式 RAM 中.在 Mul-Acc 模块中,由于 w_i (10-bit) 一般是固定值而且比 x_i (8-bit) 位数长,取 w_i 为被乘数, x_i 为乘数, s_{i-1} 和 c_{i-1} 是从前一阶段传过来的“和”和“进位”.在第一阶段, s_{init} 和 c_{init} 被置为 0,经过 4 个阶段完成乘累加计算,形成最终的“和”(Sum)和“进位串”(Carry).这里,需要一个 CPA (carry propagate adder) 来得到滤波器的输出 y .

FIR 电路设计的时序关系如图 5.



4 乘累加和模块的设计与仿真实验

FIR 滤波器中大量的乘法带来额外的面积和功耗,所以以前很多研究都关注于如何去减小它们.如果 FIR 滤波器的系数是常数,可以考虑将乘法分解,这是比研究乘法器更有效的方法.系数可以限制成 2 的整数次幂的形式,目的是减少每个系数乘法中加减法的数量^[5].

本文的设计中,采用的乘累加方案可以用于变化的系数,也可以用于常数。Mul-Acc 模块结构如图 6 所示。根据 Booth 算法,由 w_i 和 x_i (都以 2 进制补码表示) 先形成部分积 AS 、 $P0$ 、 $P1$ 、..... 整个部分积压缩阵列 (Wallace tree) 由部分积、 S_x 、 C_x 组成,其中 S_x 、 C_x 是在组内的计算结果和前一个模块的结果之间选通。在组内流水线的第一阶段 ($enable[0]$ 有效),多路选择器选择前一组的计算结果 S_{i-1} 和 C_{i-1} ,在组内流水线的其它阶段,Mul-Acc 模块完成它自己的乘累加运算。

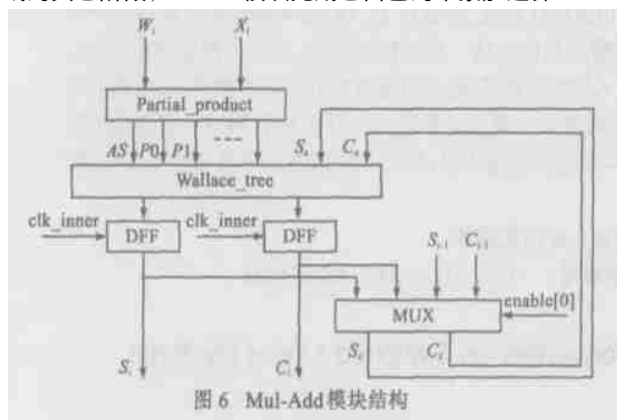


图 6 Mul-Acc 模块结构

如图 4 所示那样,当组内和组间的流水线都结束后,最终形成两个数据串 S 和 C ,然后由一个 CPA 完成最后的加法。假设 N 不能被 M 整除,在最后一组的组内就会有空的阶段,这样一个简单的行波进位加法器就够了。否则,就使用超前进位加法器。

本电路是用 Verilog 语言描述,采用 Artisan 0.25 标准单元库在 Cadence VLSI 工具下实现的。用 Cadence 的 Verilog-XLTM 仿真器仿真验证,综合工具是 Cadence 的 AmbitTM。结果和性能参数如表 1 所示。

表 1 FIR 滤波器统计数据

抽头数	延迟(ns)	面积(ASIC)	Cell	Mul-Acc 数量
32	7.81	176060.16	2408	4
24	7.75	133240.32	1815	3
20	8.02	129162.24	1833	3
16	7.78	91330.56	1307	2
12	7.87	83928.96	1246	2
其它参数	采样频率(MHz) = 15			
	内部时钟频率(MHz) = 120			
	数据宽度(bits) = 8			
	系数宽度(bits) = 10			
	有/无符号 = 有符号数			

5 结论

本文主要提出了一个两层流水线结构的 FIR 滤波器,它增强了总体结构的灵活性,减少了复杂度。该研究结果不仅通过仿真验证,而且,依托于高速数字宽带调制解调芯片得到验证。

从上述仿真结果可以看到,随着 FIR 滤波器的抽头数量的增多,关键路径的延迟时间基本保持稳定,电路的面积和单

元数目几乎是与 Mul-Acc 模块数成线性增长的。用户可以根据系统的性能、面积、功耗及功耗密度约束等,自定义内部时钟频率和采样频率的压缩比、或者组内和组间之流水的数目。

本方法对于其它专用 FIR 滤波器的设计同样是简单有效的。

致谢 作者衷心的感谢陆成勇博士对原稿细心的审阅和给予的宝贵意见。

参考文献:

- [1] Y C Lim, J B Evans, B Liu. Decomposition of binary integers into signed power-of-two terms[J]. IEEE Trans Circuits Syst, June 1991, 38:667 - 672.
- [2] Hyeon-Ju Kang, In-Cheol Park. FIR filter synthesis algorithms for minimizing the delay and the number of adders[J]. IEEE Trans Circuits Syst. II, Aug 2001, 42:770 - 777.
- [3] E G Walters III. Design tradeoffs using truncated multipliers in FIR filter implementations[D]. Seattle, Proceedings of SPIE, 2002. v. 4791. 357 - 368.
- [4] L Mintzer. FIR Filters with FPGA[J]. Journal of VLSI Signal Processing, 1993, 6:119 - 127.
- [5] Samueli, H. An improved search algorithm for the design of multiplier-less FIR filters with powers-of-two coefficients[J]. IEEE Transactions on Circuits and Systems July 1989, 36(7):1044 - 1047.

作者简介:



王 沁 女,教授,博士生导师,主要研究方向:计算机体系结构、集成电路设计、智能控制芯片。E-mail:wangqin@ies.ustb.edu.cn.



李占才 男,副教授,硕士生导师,主要研究方向:集成电路设计。



齐 悦 女,北京科技大学信息学院博士研究生,主要研究方向:集成电路设计。