

SDH 系统 E1 接口定时的高质量恢复

王 旭, 王一超, 冯重熙

(清华大学电子工程系, 北京 100084)

摘 要: SDH 传输网中由指针调整带来的低频抖动和漂移已经成为 SDH 传输网与其它传输网互通的障碍. 这一问题可以通过在 SDH 系统的边界支路输出口处采用极低带宽的锁相环对 SDH 网络指针调整带来的抖动和漂移进行平滑来得到改善和解决. 本文介绍了一种捕捉速度快、带宽窄、适合于多支路大规模集成的用于 SDH 系统 E1 支路接口的二阶全数字锁相环路.

关键词: 接入网; 同步数字系列 (SDH); 锁相环; 抖动; 漂移

中图分类号: TN919.3 TN47 **文献标识码:** A **文章编号:** 0372-2112 (2000) 07-0040-05

A High Quality Solution for E1 Tributary Clock Recovery in SDH System

WANG Xu, WANG Yi-chao, FENG Chong-xi

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: Low frequency jitters and wanders caused by pointer adjustments in SDH networks have been found to be a big obstacle for the interconnection between SDH and non-SDH networks. This problem can be solved or improved by using a very narrow bandwidth Phase-Locked Loop for jitter and wander suppression at the output tributary interface in SDH systems. An all digital Phase-Locked Loop characterized with a very narrow bandwidth and a wide frequency capture range is presented in this paper. With a simple structure, this PLL is quite feasible for multi-PLL integration for E1 interfaces in an SDH system.

Key words: AN; SDH; PLL; jitter; wander

1 引言

90 年代中期以来, 电信主干传输网已经完成了从准同步数字传输 (PDH) 体制向同步数字传输 (SDH/SONET) 体制的转变. 同步数字传输体制正在从主干传输网进一步向用户接入网领域扩展. 用户接入速率已经从早期的 64Kbps 向 E1 (2Mbps)/T1 (1.544Mbps) 甚至更高速率发展, 这就要求 SDH 接入设备能够提供更大的接入能力. 通信电路制造商已经开始设计和提供能够支持上下 21 个以上 E1/T1 支路的 SDH 支路接口芯片.

从网络发展演变的角度来看, SDH 网与非 SDH 网将在相当长的时期内共存. 因此 SDH 网不仅有自己的网络接口性能规范, 而且在当前 SDH 网、PDH 网以及 GSM 蜂窝移动通信网共存的环境下, SDH 传输网必须在 SDH/非 SDH 网络边界处满足相应的非 SDH 网络的接口性能要求. 例如, SDH 系统可以迅速灵活地为蜂窝移动通信系统提供 2Mbps 通道, 因此近两年来发展极其迅速的蜂窝移动通信系统非常适合于采用 SDH 系统作为传输手段. 但是由于 SDH 系统的指针调整会引起很大的相位跃变并给净负荷带来很大的低频抖动和漂移, 因此定时信号无法通过 SDH 系统的 2Mbps 通道透明传送. 这一点对于需要从 2Mbps 通道提取高质量载频时钟的 GSM 系

统来说是无法容忍的. 其它要求通过 SDH 系统透明传送定时信号的业务也会遇到这一问题. 可见低频抖动和漂移已经成为 SDH 传输网与其它传输网互通的障碍. 考虑到 SDH 系统应用环境的复杂性, ITU-T 和 ETSI 正在对 1994 年发布的 SDH 网络接口建议和测试建议重新进行修订, 拟于 1999 年上半年公布新的关于抖动的网络接口规范. 新建议会将 E1 支路输出抖动测试所要求的高通滤波器 f_L 的频率^[1]由 20Hz 移向更低频率. 目前克服 SDH 传输网低频抖动和漂移问题的途径有两种: 其一是在 SDH 系统的边界 E1 支路接口处利用与 SDH 网络时钟同步的 SDH 设备时钟 (SEC) 和一定长度的缓存器对 E1 支路信号进行再定时 (retiming) 处理. 这一方法的优点是接口的输出定时可以和 SDH 网络标准时钟取得同步, 从而避免漂移带来的影响. 但是因为 E1 支路信号是准同步信号, 所以这一方案实际上是将抖动、漂移带来的损伤完全转换成了滑动损伤. 同时这一方案对接入网来说缺少灵活性, 因为并不是每一个非 SDH 系统 (如前文提到的 GSM 站点) 都能很方便地提供网同步时钟; 另一个办法是在 SDH 系统的边界 E1 支路输出口处采用极低带宽的锁相环来平滑由指针处理带来的抖动和漂移. 这一方法的主要优点是不需要另外提供网同步时钟, 在满足抖动和漂移抑制要求的前提下, 如何实现极低带宽的

收稿日期: 1999-06-15; 修订日期: 1999-12-23

基金项目: 国家自然科学基金 (No. 69896242) 资助项目

锁相环的快速锁定是这一方案面临的主要困难. 第一种方案在电路上极易实现, 在本文不做讨论. 本文要介绍的是第二种解决方案, 它是一种可以快速锁定的极低带宽的锁相环.

为满足 SDH 系统在集成度和可靠性方面的要求, SDH 系统 E1 支路接口的低带宽锁相环宜采用数字电路实现, 这样有利于将其集成到专用大规模集成电路中实现多支路处理. 当锁相环路带宽很窄时, 一阶锁相环对频率阶跃输入会产生很大的静态相差. 基于一阶锁相环的相位泄漏电路必须对静态相差进行单独控制, 这将增加相位泄漏控制的复杂性. 采用理想二阶环则可以使环路对输入频偏保持静态相差为零, 能够实现从正常同步到劣化模式的平滑过渡.

国际市场上已经有低集成度的 E1 支路接口芯片, 如 LevelOne 公司的 SXT6282, 其中集成了 8 个 2Hz 带宽的数字锁相环. LevelOne 公司正在开发更高集成度的 E1/T1 支路接口芯片. 本文介绍的是北京华环公司与清华大学电子工程系共同开发成功的专用集成电路 HTP9021, 其中集成了 21 个带宽小于 0.4Hz 的可以快速锁定的低带宽二阶数字锁相环.

本文第一部分为引言, 介绍了 SDH 在接入网领域的发展状况及遇到的新问题. 第二部分给出了锁相环的实现方案. 第三、第四部分分别就锁相环的指标和原理进行了深入分析, 给出了锁相环的快速锁定方案. 第五部分给出了实测结果. 第六部分做一总结.

2 锁相环实现方案

数字锁相环有两种基本的实现方式, 一种是基于数字信号处理 (DSP) 算法的锁相环, 一种是基于电路的直接处理式锁相环. 基于 DSP 的锁相环不利于实现多支路处理的大规模集成, 在本文中不做讨论. 本文介绍的是一种基于电路的直接处理式二阶全数字锁相环. 这种锁相环不仅能够满足抖动平滑的要求, 而且结构比较简单, 适合于 SDH 系统多支路的大规模集成.

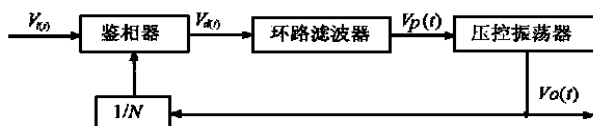


图 1 锁相环原理

数字锁相环路与模拟锁相环路的基本工作原理是相同的. 锁相环路是一种反馈控制系统, 它由鉴相器、环路滤波器和压控振荡器组成^[3], 如图 1 所示.

鉴相器的输出信号 $v_d(t)$ 是输入信号 $v_i(t)$ 和压控振荡器的输出信号 $v_o(t)$ 之间相位差的函数. 它经环路滤波器滤除高频分量后, 成为压控振荡器的控制电压 $v_p(t)$. 在 $v_p(t)$ 的作用下, 压控振荡器输出信号 $v_o(t)$ 的频率将发生相应变化并反馈到鉴相器.

本文介绍的全数字二阶锁相环路结构如图 2. 这是一个直接处理式的锁相环, 数控振荡器 (相当于模拟锁相环的压控振荡器) 的振荡频率由积分器 (相当于模拟锁相环的环路滤波器) 的输出 DATA 控制. 在稳态工作时, 鉴相信号 pd 保持半占空状态, 积分器保持稳定的输出, 锁相环没有静态相差. 为保

证锁相环稳定工作, 同时还需用鉴相信号经 $1/N$ 计数器后的进位信号控制数控振荡器的使能端, 增加二阶环路的阻尼系数.

为便于实现, 可以将锁相环的中心频率适当调高, 从而对数控振荡器的控制只包括延迟控制而不必使输出相位超前. 采用半脉宽延迟技术, 可以把一个脉冲的扣除过程分解为两部分, 从而使锁相环的固有输出抖动减小一半而不影响对环路性能的分析^[5]. 不仅如此, 还可以令脉冲扣除电路工作在 f_{local} 的 2 倍频上, 进一步减小固有输出抖动.

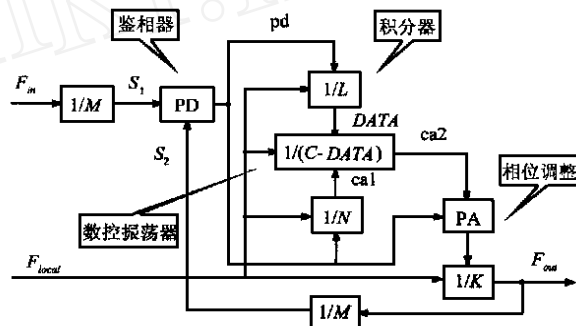


图 2 全数字锁相环路框图

3 指标要求

数字锁相环与模拟锁相环的基本工作原理是相同的. 二阶低通滤波器的传递函数为^[3]

$$H(s) = \frac{2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

其中 ζ 为阻尼系数, ω_n 为自然频率. 根据文 [4] 10.4.4 的分析, 与最大抖动增益系数 $|H(f)|_{\max}$ 之间的关系为

$$= \frac{\sqrt{1 - 1/|H(f)|_{\max}^2}}{\sqrt{2(1 - 1/|H(f)|_{\max}^2)}}$$

为了达到带内增益不超过 0.5dB 的要求^[1,2], 即 $|H(f)|_{\max} < 1.059$, 应不小于 1.76. TU-12 上的一次指针调整将引起 8UI 的输出抖动, 这是一个阶跃函数

$$J_i(s) = J_0/s, J_0 = 8$$

根据 ITU-T G 783 建议^[1], E1 支路输出信号抖动测试要先通过一组滤波器. 测试时附加的高通滤波器的传递函数为 $H(s) = s/(s + c)$, $c = 40$. 因此锁相环的剩余抖动为

$$J_o(s) = J_0 \times \frac{2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \times \frac{1}{s + c}$$

进行反拉氏变换, 得到最大输出剩余抖动^[5]

$$\max(J_o(t)) = 2\zeta\omega_n J_0/c$$

取 $\zeta = 1.76$, 为使 $\max(J_o(t)) < 0.4\text{UI}^{[1]}$, 应小于 1.78. 二阶环的 3dB 带宽可表示为^[3]

$$B_{3\text{dB}} = \frac{\omega_n}{2} \times \sqrt{(2\zeta^2 + 1) + ((2\zeta^2 + 1)^2 + 1)^{1/2}}$$

式中: $\zeta = 1.76$, $\omega_n < 1.78$ 时相应的 3dB 带宽约为 1Hz. 另外, 锁相环的捕捉带应大于 E1 口支路信号的频率容限 $\pm 50\text{ppm}$. 考虑到参考时钟的频率容限, 这里设定锁相环的捕捉带为 $\pm 150\text{ppm}$.

综上所述,锁相环的指标要求为 $>1.76, 3\text{dB}$ 带宽小于 1Hz , 捕捉范围大于 $\pm 150\text{ppm}$.

4 锁相环原理分析

4.1 鉴相器

鉴相器采用单 D 触发器, $K_d = 1$, 频率锁定后两个输入信号反相, pd 维持半占空比.

$$pd = K_d \times (S_1 - S_2)$$

稳态工作时, pd 为半占空比方波, 定义 $pd = 0$. pd 的取值范围 $pd \in (-0.5, +0.5)$

4.2 环路滤波器

环路滤波器采用积分器和 $1/N$ 计数器实现, 积分器的输出为

$$DATA = \frac{2}{L} f_{local} \times pd \times dt$$

$1/N$ 计数器只计加不计减, 输出的进位信号可表示为

$$ca1 = -pd / N + 1 / (2N)$$

稳态工作时 $ca1 = 1/2N$.

4.3 数控振荡器

数控振荡器由一个可控分频比的计数器实现, 其分频数由积分器的输出 $DATA$ 控制. 该计数器输出的进位信号用作对目标频率进行脉冲扣除操作的控制信号, 可表示为

$$ca2 = \frac{1}{C - DATA} \times (1 - ca1)$$

可控分频比计数器工作在 f_{local} 下, 而脉冲扣除电路的目标频率为 2 倍 f_{local} , 因此锁相环输出信号的相位为

$$\theta_{out} = \frac{1}{K} \left(2 \times f_{local} - \frac{f_{local}(1 - ca1)}{C - DATA} \right) dt$$

稳态工作时

$$\theta_{out} = \frac{1}{K} \left(2 \times f_{local} - \frac{f_{local}(1 - 1/2N)}{C - DATA_0} \right) dt$$

从而锁相环输出信号频率为

$$f_{out} = \frac{d\theta_{out}}{dt} = f_{local} \times \left(2 - \frac{1 - 1/2N}{C - DATA_0} \right) \times \frac{1}{K}$$

其中 $DATA_0$ 是锁相环锁定时的 $DATA$ 值.

4.4 相位传递数学模型

锁相环路输出相位为

$$\theta_{out} = \frac{1}{K} \left(2 \times f_{local} - \frac{f_{local}(1 - ca1)}{C - DATA} \right) dt, \text{ 而}$$

$$\frac{1}{C - DATA} = \frac{1}{C - DATA_0} + \frac{DATA - DATA_0}{(C - DATA_0)^2},$$

$$1 - ca1 = 1 - \frac{1}{2N} + \frac{pd}{N}$$

从而

$$\begin{aligned} \theta_{out} = & \frac{1}{K} \left(2 \times f_{local} - f_{local} \times \frac{1 - 1/2N}{C - DATA_0} \right) dt - \frac{1}{K} f_{local} \times \\ & \frac{DATA - DATA_0}{(C - DATA_0)^2} \times \left(1 - \frac{1}{2N} \right) dt - \frac{1}{K} f_{local} \times \frac{pd}{N} \times \\ & \frac{1}{C - DATA_0} dt - \frac{1}{K} f_{local} \times \frac{pd}{N} \times \frac{DATA - DATA_0}{(C - DATA_0)^2} dt \end{aligned}$$

在构建锁相环路相位传递函数模型的时候, 上式第一项为常数项积分, 可不考虑; 最后一项为高阶无穷小, 可忽略.

第二项和第三项中

$$DATA = \frac{1}{L} \int 2 \times f_{local} \times pd \times dt$$

$$pd = (\theta_{out} - \theta_{in}) / M$$

因此, 得到锁相环路相位传递模型, 如图 3.

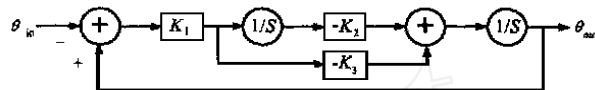


图 3 锁相环相位传递模型

图中: $K_1 = 1/M$; $K_3 = f_{local} \times \frac{1}{K} \times \frac{1}{N} \times \frac{1}{C - DATA_0}$;

$$K_2 = 2 \times f_{local} \times \frac{1}{K} \times \frac{1}{L} \times \left(1 - \frac{1}{2N} \right) \times \frac{1}{(C - DATA_0)^2}$$

传递函数为

$$H(s) = \frac{K_1 K_3 s + K_1 K_2}{s^2 + K_1 K_3 s + K_1 K_2} = \frac{2 \times n s + \frac{2}{n}}{s^2 + 2 \times n s + \frac{2}{n}}$$

$$n = \frac{f_{local}}{C - DATA_0} \sqrt{\frac{2}{M} \times \frac{1}{L} \times \frac{1}{K} \times \left(1 - \frac{1}{2N} \right)},$$

$$= \sqrt{\frac{1}{M} \times \frac{1}{K} \times L \times \frac{1}{(2N - 1)N}},$$

$$B_{3dB} = \frac{\omega_n}{2} \times \sqrt{(2 \times n^2 + 1) + ((2 \times n^2 + 1)^2 + 1)^{1/2}}$$

4.5 参数选择

为满足 SDH 的 E1 接口要求, 参数选择如下: 锁相环路工作频率 $f_{local} = 32.776\text{MHz}$; 锁相环路脉冲扣除目标频率 $2 \times f_{local} = 65.552\text{MHz}$; 锁相环路中心频率标称值 $f_0 = 2.048\text{MHz}$; 积分器最大计数值 $I = 2^{23}$; 积分器积分系数 $1/L = 2^{-20}$; 数控振荡器数控范围 $DATA = 0 \sim 7167$; 数控振荡器最大分频比 $C = 2^{13}$; 数控振荡器分频比范围 $C - DATA = 1024 \sim 8192$;

鉴相周期 $M = 128$;

$1/N$ 计数器分频比

$N = 4$; 锁相环路输

出分频 $K = 32$.

计算得出

$n = 0.3692$;

3.0237 ; $B_{3dB} =$

0.365Hz .

锁相环幅频特

性如图 4 所示.

图 4 锁相环幅频特性

稳态下, 当锁相环输出频率 f_{out} 等于标称频率 f_0 时, 可求出

$$DATA_0 = 6400, C - DATA_0 = 1792$$

锁相环路动态范围由 C 和 $DATA$ 决定,

$$f_{out}(\max) = f_{local} \times \left(2 - \frac{1 - 1/2N}{(C - DATA)(\max)} \right) \times \frac{1}{K}$$

$$f_{out}(\min) = f_{local} \times \left(2 - \frac{1 - 1/2N}{(C - DATA)(\min)} \right) \times \frac{1}{K}$$

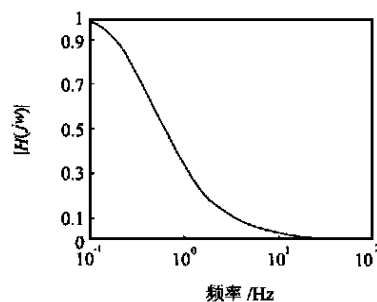
得出动态范围为 $(-183.2\text{ppm} + 190.7\text{ppm})$.

根据文[3]10-3-2 的分析, 锁相环捕捉时间为 $T_p = \frac{1}{2} \times \frac{1}{n^2}$

快捕带(不发生跳周)为 $L = 2 \times n$

对于 100ppm 的频偏, 锁相环的捕捉时间将长达 63 天, 其快捕带仅为 0.35Hz . 这在实际应用中是无法容忍的.

4.6 快捕特性的改善



为改善锁相环的快捕特性,给相差设定两个门限.当相差超出门限时,数控振荡器对目标信号的脉冲扣除操作将加快一倍或减慢一半,环路阻尼系数自动减小.考虑到输入信号的抖动比较大,因此门限的宽度不能太窄,以免正常工作状态下引入附加的抖动.

另外,当相差越界时还可以显著提高 $1/L$ 的值,例如使 $1/L$ 的值从 2^{-20} 增加到 2^{-13} ,这样相当于进一步降低了锁相环路的阻尼系数,大大展宽了环路滤波器的带宽.对于 150ppm 的频偏,捕捉时间可以降低到小于 10 秒,比完全的线性滤波减少近 6 个数量级.

采用以上非线性措施之后,在原来锁相环稳定工作的频率范围内的频率跳变都可以实现无跳周锁定,从而大大展宽了锁相环的快捕范围.快捕带可表示为

$$f = f_{\text{local}} \times \left(\frac{1 - 1/2N}{(C - \text{DATA})_{\text{min}}} - \frac{1 - 1/2N}{(C - \text{DATA})_{\text{max}}} \right) \times \frac{1}{K}$$

得出 $f = 700\text{Hz}$,比原来增加 2000 多倍,达 3 个数量级,完全可以满足设计要求的 300ppm 的频率容限要求.

以输入时钟频率比锁相环输出的中心频率高出 150ppm 为例,从锁相环的相平面图可以明显地看出改进后的效果.图 5 是锁相环的相平面图,横纵坐标分别取相差 pd 和可控分频器的分频比 $D = C - \text{DATA}$.图中按照完全线性化模型得出的状态轨迹中的一段 pd 值大于 0.5,这在实际电路中是无法实现的,因而是没有意义的.采用相差门限控制以后,锁相环的状态轨迹变成了图中的实线,完全落在可实现区域内,从而扩大了锁相环的快捕带.图 5(a) 中的曲线是在进行相差门限控制时不改变 L 值的状态轨迹,图 5(b) 的曲线是在进行相差门限控制的同时减小 L 值的状态轨迹.

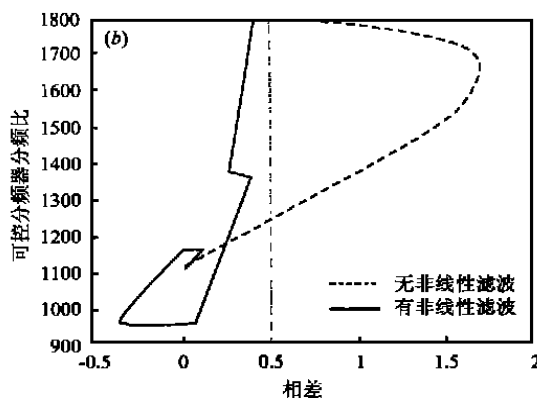
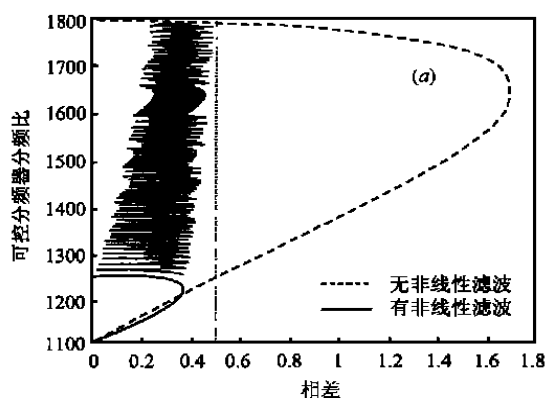


图 5 锁相环相平面图

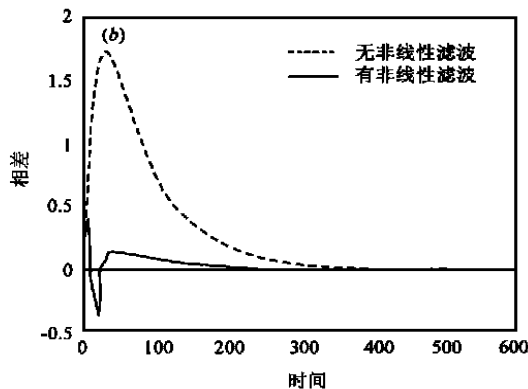
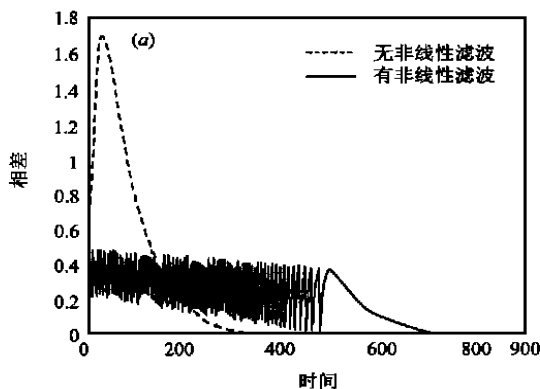


图 6 相差变化曲线

锁相环捕捉时间上的变化在图 6 中示出,其中时间轴的单位间隔为 0.0625ms.图中按照完全线性化模型得出的曲线在实际电路中是无法实现的.图 6(a) 中的实线对应的是在相差越界时 L 值不改变的锁相环,(b) 中的实线对应的是在相差越界时减小 L 值的锁相环.可以看出锁相环捕捉速度上的改进是很显著的.

4.7 锁相环的带宽与电路规模

二阶锁相环的 3dB 带宽是由锁相环的阻尼系数和自然频率 ω_n 决定的^[13].

$$\begin{aligned} B_{3\text{dB}} &= \frac{\omega_n}{2} \times \sqrt{(2^2 + 1) + ((2^2 + 1)^2 + 1)^{1/2}} \\ &= \sqrt{\frac{1}{M} \times \frac{1}{K} \times L \times \frac{1}{(2N - 1)N}} \\ \omega_n &= \frac{f_{\text{local}}}{C - \text{DATA}_0} \sqrt{\frac{2}{M} \times \frac{1}{L} \times \frac{1}{K} \times (1 - \frac{1}{2N})} \end{aligned}$$

从以上三个表达式可以看出, M 值对锁相环的 3dB 带宽有很大影响. M 值与锁相环 3dB 带宽的关系在图 7 中给出.

另外, M 值还与 E1 接口解同步器缓冲存储器 (FIFO) 的容量相对应,而缓冲存储器的容量在很大程度上决定着集成

电路的规模. 根据 ITU-T 的建议 G 783^[1], SDH 系统 E1 支路接口解同步器中的缓冲存储器容量最小为 32 比特. 增大 M 值可以减小锁相环的带宽, 但同时也将带来 FO 容量的增长, 从

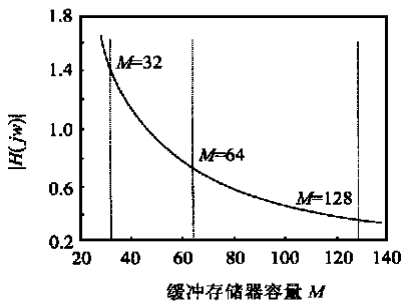


图 7 M 值与锁相环带宽

而导致集成电路规模加大. 在具体实现时可以在电路规模和锁相环带宽之间作出折中, 选择一个合适的 M 值.

5 实测指标

实际测试中采用的方案是先对从 TU-12 中分接出的 E1 信号的高频抖动进行匀滑, 将高频抖动的峰值降至 1UI, 然后利用本文介绍的锁相环进行进一步的匀滑处理.

根据 ITU-T G 783 建议^[1], 在出现 a (极性相反的单指针)、 b (规则单指针加一个双指针)、 c (少一个指针的规则单指针) 三种指针调整序列下 E1 支路输出抖动应满足建议要求. 选用 WG 公司 ANT20SDH 测试仪进行测试, 实测结果为表 1 所示.

表 1

指针序列	输出抖动	
	$f_1 - f_4$	$f_3 - f_4$
极性相反的单指针	0.054UI	0.015UI
规则单指针加一个双指针	0.054UI	0.015UI
少一个指针的规则单指针	0.043UI	0.015UI

结果完全满足 G 783 建议^[1]要求.

6 总结

本文介绍的全数字锁相环路已经在北京华环电子公司的 H9MO-155 SDH 设备中得到应用. H9MO-155 SDH 设备的 E1 支路接口芯片 HTP9021 中集成了 21 个上述全数字锁相环路以及相应的 HDB3 编解码电路, 实现了包括相位平滑、HDB3 编

解码和 LOS、AIS 检测在内的 E1 支路接口功能. 芯片采用 0.35 微米 CMOS 工艺, 采用标准单元实现. HTP9021 的逻辑部分共 48023 个基本单元 (basic cell), 片内另有 21 组 $128 \times 1\text{bit}$ 的双口 DRAM. HTP9021 采用 240 脚 QFP 封装, 供电电压为 3.3V. HTP9021 芯片输出抖动在 20Hz 至 100kHz 频带内小于 0.1UI, 在 18kHz 至 100kHz 频带内小于 0.02UI, 完全满足 ITU-T G 783 建议要求. 与国外相同类型的接口芯片相比, HTP9021 的相位平滑性能更优, 价格更低.

全数字锁相环的设计实践表明, 专用集成电路在通信系统中的应用不但可以提高系统性能, 而且可以大大降低系统成本, 提高产品竞争力.

参考文献

- [1] ITU-T Recommendation, G. 783
- [2] ITU-T Recommendation, G. 742
- [3] 董在望, 肖华庭. 通信电路原理. 北京: 高等教育出版社, 1989 年
- [4] 韦乐平. 光同步数字传输网. 北京: 人民邮电出版社, 1998 年
- [5] 葛宁. 数字复接中传送定时处理的数字相位法. 北京: 清华大学博士学位论文, 1997 年



王 旭 (wangxu @ieee.org) 1974 年出生, 1997 年毕业于清华大学电子工程系, 现在清华大学电子工程系通信与信息系统专业攻读博士学位. 从事 SDH 光通信系统的开发研究工作, 设计实现的大规模专用集成电路 HTP9021 已投入商用.

王一超 (yichao.wang @ieee.org) 1982 年毕业于南京工学院电子器件工程系, 后分别于 1984 年和 1986 年获得 ESSEX 大学硕士和博士学位. 自 1987 年起, 任职于清华大学电子工程系, 长期从事专用集成电路芯片、PDH 和 SDH 光通信系统的开发研究.