

超高速 CMOS/ SOI 51 级环振电路的研制

奚雪梅, 张 兴, 倪卫华, 阎桂珍, 王阳元

(北京大学微电子研究所, 北京 100871)

摘 要: 利用 CMOS/ SOI 工艺在 4 英寸 SIMOX 材料上成功制备出沟道长度为 $1\mu\text{m}$ 、器件性能良好的 CMOS/ SOI 部分耗尽器件和电路, 从单管的开关电流比看, 电路可以实现较高速度性能的同时又可以有效抑制泄漏电流. 所研制的 51 级 CMOS/ SOI 环振电路表现出优越的高速度性能. 5V 电源电压下单门延迟时间达到 92ps, 同时可工作的电源电压范围较宽, 说明 CMOS/ SOI 技术在器件尺寸降低后将表现出比体硅更具吸引力的应用前景.

关键词: CMOS/ SOI; MOSFET; 环振电路

中图分类号: TN451

文献标识码: A

文章编号: 0372-2112 (2000) 05-0044-03

Fabrication of High-speed 51-stage CMOS/ SOI Ring Oscillators

XI Xue mei, ZHANG Xing, NI Wei-hua, YAN Gui-zhen, WANG Yang yuan

(Institute of microelectronics, Peking University, Beijing 100871, China)

Abstract: CMOS/ SOI devices as well as 51-stage ring oscillators with channel design length of $1\mu\text{m}$ are fabricated using 4 inch SIMOX wafers. SOI MOSFETs show high saturated current while still remain cut-off current very low. Unloaded 51-stage ring oscillators reported here have very good speed performance. Under 5V supply voltage, the delay per stage reaches 92ps. These results are attributed to excellent short channel characteristics as well as low parasitic performance in CMOS/ SOI, which verify that there is significant room for continued performance improvement in scaled CMOS/ SOI.

Key words: CMOS/ SOI; MOSFET; ring oscillator

1 引言

在 SOI (Silicon On Insulator) 衬底上开发 CMOS 工艺将近 20 年之久, CMOS/ SOI 技术因其高速、低功耗、强的抗辐照能力和抗软失效能力成为微电子学领域的前沿性工作之一^[1,2]. 最初的研究工作主要集中在 SOI 材料制备上, 随着 SIMOX (Separation by Implanted OXygen)^[3] 和 BESOI (Bonded and Etch back SOI)^[4] 材料的发明, 高质量 SOI 硅片已成为现实. 但直到目前为止, CMOS/ SOI 技术进入 CMOS IC 主流工业的梦想仍未实现, SOI 材料数量少, 成本高, 质量差, SOI MOSFET 浮体效应引起的击穿电压降低以及体硅器件能很好地按比例缩小等等都是其中的重要制约因素^[5,6]. 现在情况正在改变, 利用智能剥离技术 (Smart cut) 制备的 SOI 材料质量可与体硅媲美^[7], 体硅 CMOS 不能满足消费类电子产品低压、低功耗、高性能的要求, 特别是 IBM 报导了最新的 CMOS/ SOI 环振电路, 室温下 $V_{DD}=2.1\text{V}$ 时的单门延时达到 7.9ps^[8], CMOS/ SOI 技术表现出比体硅元器件功耗下降 1/3, 速度则高出一个技术代, 而正重新引起广泛重视.

本文报导了利用本所现有工艺, 制备了设计沟道长度 $L=1\mu\text{m}$ 的 51 级 CMOS/ SOI 环振电路, $V_{DD}=5\text{V}$ 时环振电路单门延时达到 92ps/ 级, 单管器件性能优良, 泄漏电流 $I_{off}=10^{-14}$

A/ μm , 表现出 CMOS/ SOI 技术在速度性能方面的优越性, 本文第二部分将详细描述有关的工艺制备, 第三部分给出实验测量结果和分析, 第四部分是结论.

2 工艺制备

实验衬底基片是方块电阻为 $20\sim 30\Omega/\square$ 的 N 型 (100) 4 英寸 SIMOX 片, 原始材料是方块电阻为 $10\sim 20\Omega/\square$ 的 P 型 (100) Si 材料, 作离子注入, 注入剂量为 $1.8\times 10^{18}/\text{cm}^2$, 经 1310°C , 5 小时的高温退火处理, 最后得到表面硅层为 N 型的 SIMOX 材料, 表面硅层厚度为 200nm, 埋氧化层厚度在 370nm 左右.

CMOS/ SOI 工艺流程简单描述如下: 为了改善 SIMOX 基片的表面质量, 首先进行一次表面氧化和腐蚀, 然后开始常规 CMOS/ SOI 工艺. 器件之间的隔离采用硅岛刻蚀技术, 调节阈值电压的离子注入确保 NMOS 和 PMOS 器件都是增强型器件, 栅氧化层厚度为 20nm, 多晶硅栅的厚度是 350nm, 接着进行 NMOSFET 和 PMOSFET 的源漏掺杂注入, 单层铝接触和金属互连.

利用硅岛隔离技术在栅氧化时不仅硅岛顶部而且在侧壁形成氧化层, 最后的晶体管将存在一个与主晶体管相平行的

寄生边缘晶体管,引起寄生边缘泄漏。为了抑制寄生边缘管效应,定义出有源区并作反应离子刻蚀(RIE)后,进行一次硅岛侧壁的氧化,氧化层厚度为 100nm,经后步过腐蚀,最终的侧壁氧化层厚度约为 30~ 40nm,如图 1 所示。

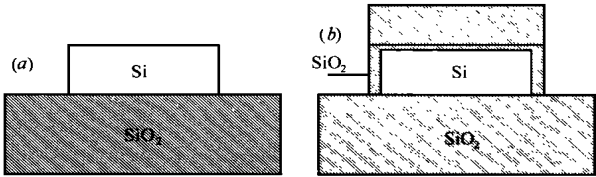


图 1 SOI MOS 器件硅岛隔离示意图: (a) 完成硅岛刻蚀示意图 (b) 实现硅岛侧壁氧化后的示意图

SOI 全介质隔离的结构使得高场下碰撞离化产生的热载流子在体区堆积,激活寄生双极晶体管效应,导致器件源漏击穿电压显著降低,为了抑制 SOI MOSFET 浮体效应,完成多晶硅栅刻蚀后接着淀积 400nm 的 SiO₂,经各向异性的反应离子刻蚀(RIE)形成栅侧壁氧化层(Spacer),Spacer 下的掺杂是依靠源漏掺杂注入的横向扩散来实现的。

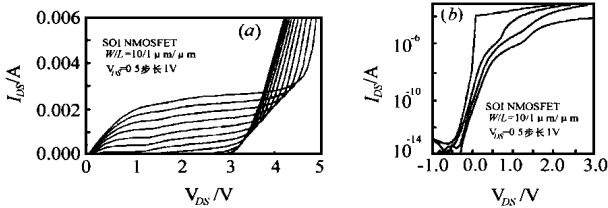


图 2 NMOSFET 的输出特性(a)和转移特性(b)
 $W/L=5.15(\mu m/\mu m)$ (a) $V_{GS}=0\sim 5$, 步长 0.5V (b) $V_{DS}=0.05\sim 4.05V$, 步长 1V

3 结果与讨论

3.1 MOSFET 电学特性结果

图 2 给出了 NMOS 器件的输出特性和转换特性曲线,图 3 则给出了 PMOS 器件的输出特性曲线,器件设计尺寸分别为 $W/L=5/1.5(\mu m/\mu m)$, $10/1(\mu m/\mu m)$, 器件有效硅膜厚度为 160nm,由于表面硅膜厚度未经减薄,实际制备的器件是部分耗尽器件,所以 NMOS 器件在饱和区表现出较明显的异常翘曲“Kink”现象,PMOS 器件因空穴热载流子碰撞离化效应不明显,“Kink”效应也不明显。表 1 给出了相关的器件电学参数。从器件转移特性曲线上仍可以看到,在器件工作于亚阈值区,仍存在明显的寄生边缘晶体管效应,可能的原因包括:侧壁氧

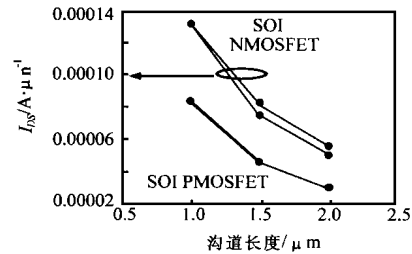


图 4 SOI CMOS 输出电流与沟道长度变化曲线

化层由于过腐蚀严重,所剩氧化层已很薄;由于未作场区沟道阻止注入,靠近侧壁的有源区杂质分布较低,侧壁晶体管阈值电压较低等。

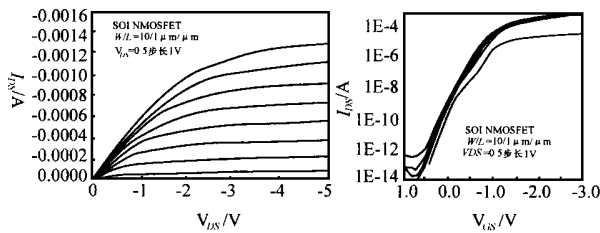


图 3 PMOSFET 输出特性(a)和转移特性(b)
 $W/L=10/1(\mu m/\mu m)$, (a) $V_{GS}=0\sim 5$, 步长为 0.5V. (b) $V_{DS}=0.05\sim 4.05V$, 步长为 1V

	NMOS	PMOS
输出饱和电流 $V_{DD}=V_{GS}=3V$ 也即 I_{on}	$I_{DSAT}=132\mu A/\mu m$	$I_{DSAT}=51.3\mu A/\mu m$
亚阈值斜率 n^+ 多晶硅栅, $L=1\mu m$	104mV/dec	98mV/dec
关断电流 $V_{GS}=0V, V_{DS}=0.05V$	$I_{off}=1.5E^{-12}A/\mu m$	$I_{off}=1.1E^{-11}A/\mu m$
漏泄电流 阈值电压 $V_{DS}=0.05V$	$\leq 10^{-14}A/\mu m$	$\leq 10^{-14}A/\mu m$
击穿电压 $V_{GS}=0V$	3.3V	12.5V

图 4 给出了 SOI NMOS 和 PMOS 器件输出饱和电流随沟道长度的变化曲线。图 5 给出了沟道长度分别为 1 μm 和 1.5 μm SOI NMOS 和 PMOS 器件关断电流随源漏电压的变化曲线,图中黑粗线表示多个相同尺寸管子测量结果的平均值。对比 N 管和 P 管相应试验数据可以看出, N 管关断电流对源漏电压更为敏感,这不能完全用漏致势垒降低效应来解释,而是由于源漏电压的升高产生漏端高电场引起较强的碰撞离化效应所致,空穴的碰撞离化效应不太明显,因而 P 管关断电流受源漏电压影响较弱。N 管和 P 管输出饱和电流与关断电流之比分别达到 9×10^7 和 5×10^7 ,可与国外先进的体硅器件相比拟^[9]。

图 6 是阈值电压随器件沟道长度的变化曲线,图中分别给出了沟道设计长度为 1、1.5、2 μm SOI NMOS 和 PMOS 器件对应的结果。对比图中的数据可以发现,即使在较长沟道尺寸时,不同源漏电压偏置条件下器件的阈值电压仍存在较大的差异,这样大的差异同样不能从传统的漏致势垒降低效应

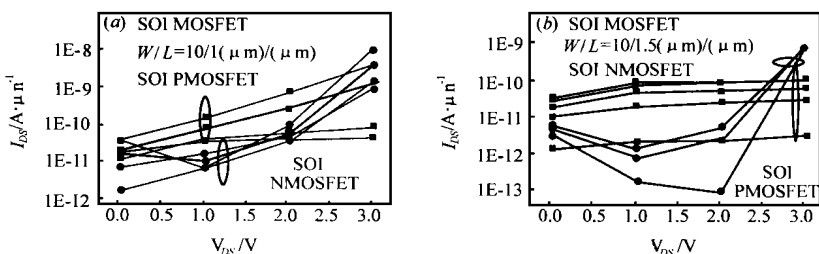


图 5 SOI CMOS 关断电流随电源电压变化曲线
(a) 沟道长度为 1 μm , (b) 沟道长度为 1.5 μm

(DIBL) 得到解释, 正确的原因应该是由器件漏端高电场碰撞电离. 碰撞电离产生的电子随源漏电流流向漏端, 而空穴则堆积在靠近源端电势较低的位置, 抬高体区的电势, 从而引起寄生的双极晶体管(NPN)效应, 导致器件漏端电流的增加. 对比 NMOS 和 PMOS 的结果可发现, P 管阈值电压随源漏电压的变化比 N 管要小较多, 这同样与空穴碰撞电离效应较弱有关. 值得注意的是, 尽管空穴有效质量较大, 碰撞电离较弱, 但并不能因此而完全忽略空穴的碰撞电离效应, 图中显示随源漏电压变化, 阈值电压仍存在较大的差异. 一个准确的 SOI PMOS 器件模型必须考虑空穴的碰撞电离效应.

3.2 环振电路电学结果

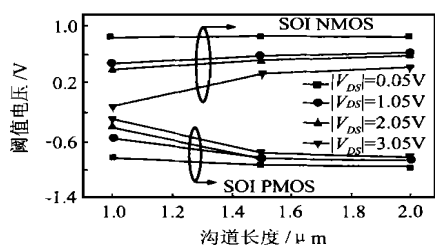


图 6 SOI NMOS 和 PMOS 阈值电压-沟道长度变化曲线

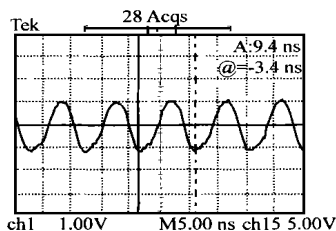


图 7 电源电压 $V_{DD} = 5V$ 时无负载 51 级 CMOS 环振电路测量波形

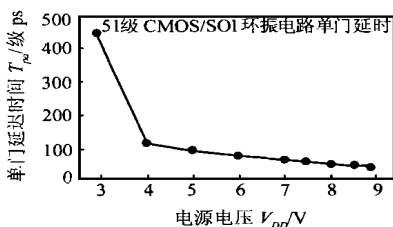


图 8 51 级 CMOS/SOI 环振电路单门延迟时间随电源电压变化曲线

4 结论

利用现有工艺在 4 英寸 SIMOX 材料上成功制备出器件性能良好的 CMOS/SOI 部分耗尽器件和电路, 从单管的开关电流比看, 电路可以实现较高的速度性能同时又可以有效抑制泄漏电流.

所研制的 51 级 CMOS/SOI 环振电路表现出优越的高速度性能, 5V 电源电压下单门延迟时间达到 92ps, 同时可工作的电源电压范围较宽.

上述结果与 CMOS/SOI 短沟道效应小、寄生电容小、电路速度高的本质性能有直接关系, 说明 CMOS/SOI 技术在器件尺寸降低后将表现出比体硅更具吸引力的应用前景.

致谢 本工作实验部分在北京大学微电子研究所工艺实验室完成, 部分测量工作在航空航天部 772 所完成, 谨对他们的技术支持表示深切谢意.

参考文献

- [1] J. P. Colinge. *Silicon On Insulator Technology: Materials to VLSI*, KAP Pub., 1991
- [2] Y. Yamaguchi, Y. Inoue, T. Ipposhi, T. Nishimura and Y. Akasaka. *IEDM Tech. Dig.*, 1989: 825
- [3] K. Izumi, M. Doken, and H. Ariyoshi. *Electronics Letters*, 1978, 14: 593
- [4] W. P. Maszara, G. Goetz, A. Caviglia, and J. B. McKitterick. *J. Appl. Phys.*, 1988, 64: 4943

图 7 给出了无负载 51 级 CMOS 环振电路在电源电压 $V_{DD} = 5V$ 时的环振测量波形, 环振电路总延时为 9.4ns, 振幅为 2.2V, NMOS 器件设计尺寸为 $W/L = 8/1(\mu m/\mu m)$, PMOS 器件设计尺寸为 $W/L = 12/1(\mu m/\mu m)$, 电路测量采用测量频率达 1GHz 的 Tetronix TDS 648A 测量仪. 由于 NMOS 和 PMOS 阈值电压设计较为匹配, 环振波形中上升沿和下降沿对称性较好, 环振电路可以在较宽的电源电压变化范围内起振 ($V_{DD} = 3 \sim 9V$). 图 8 是环振电路单门延迟时间随电源电压变化曲线, 电源电压为 5V 时, 单门延迟时间为 92ps, 电源电压为 6V 时, 单门延迟时间为 76.5ps, 8V 电源电压下, 单门延迟时间达到 49ps, 这些结果是国内同类工艺的最高水平.

- [5] A. O. Adan, T. Naka, A. Kagisawa, H. Shimizu. *IEEE Intl. SOI Conf.*, 1998: 9~12
- [6] 奚雪梅, 王阳元. *半导体学报*, 1996, 5: 339~346
- [7] M. Buel, B. Aspar, B. Charlet, et al. *IEEE Intl. SOI Conf.*, 1995: 178~179
- [8] F. Assaderaghi, W. Rausch, A. Ajmera, et al., *IEDM Tech. Dig.*, 1998: 415~418
- [9] M. Bohr, et al., *IEDM Tech. Dig.*, 1996, 847~850



奚雪梅 1968 年出生, 分别于 1989 年、1992 年、1994 年获北京大学计算机系学士、硕士和博士学位, 现任北大微电子所讲师. 主要课题有: 薄膜 SOI/CMOS 的 SPICE 电路模拟研究, 电路设计, 注氧及高温退火的工艺模拟研究. SOI/CMOS 的新器件结构电路研究等.



张兴 1965 年出生, 1986 年毕业于南京大学物理系获得理学学士学位, 1989 年、1993 年于陕西微电子学研究所获得工学硕士、工学博士学位, 现为北京大学微电子学研究所教授、博士生导师. 现主要从事短沟道 CMOS/SOI 工艺、ASIC 设计、亚微米深亚微米 SOI 器件模拟以及 SOI 器件辐照加固等方面的研究工作. 已发表论文近 30 篇.