

# 一种电流自校准 14 位、50Msample/s CMOS DAC

朱 臻<sup>1</sup>, 洪志良<sup>1</sup>, Clemens Hammerschmied<sup>2</sup>, 黄秋庭<sup>2</sup>

(1. 复旦大学集成电路设计实验室, 上海 200433; 2. 苏黎士高等理工大学系统集成研究所, 瑞士 苏黎士)

**摘 要:** 文章介绍一种 14 位、50Msample/s 的电流驱动型 CMOS DAC. 该电路的核心由 31 个温度计编码的高 5 位电流源、15 个温度计编码的中间 4 位电流源和 5 个二进制编码的低 5 位电流源构成. 为了达到更高的静态线性度, 一种新颖的电流自校准技术被提出, 用来对最高 5 位的电流源进行自校准. 这种自校准完全是在后台操作的, 并不需要一个替代电流源去替代正在被校准的那一路电流源. 该芯片采用 0.25 $\mu$ m 标准 CMOS 工艺制造, 芯片面积为 3.54mm<sup>2</sup>. 测试结果显示芯片的静态分辨率达到 12 位.

**关键词:** 自校准; 温度计编码; 二进制权重电流源

**中图分类号:** TN72 **文献标识码:** A **文章编号:** 0372-2112 (2003) 02-0306-03

## A Current Self-Trimming 14 bit 50MS/s CMOS DAC

ZHU Zhen<sup>1</sup>, HONG Zhi-liang<sup>1</sup>, Clemens Hammerschmied<sup>2</sup>, HUANG Qiu-ting<sup>2</sup>

(1. Laboratories of Integrated Circuit Design, Fudan University, Shanghai 200433, China;

2. Institute of Integration of System, Swiss Federal Institute of Technology, Zurich, Switzerland)

**Abstract:** A 14 bit, 50MS/s current CMOS DAC is introduced. The DAC core is composed of an array of 31 thermometer-coded MSB current sources, 15 thermometer-coded upper LSB (ULSB) current sources, and 5 binary-coded lower LSB (LLSB) current sources. Moreover the 5 MSB has a background self-trimming to meet high resolution. The new analog self-trimming technique introduced here does not need a replacement to replace the self-trimmed one. The circuit was fabricated in a 0.25 $\mu$ m CMOS technology. The die area is 3.54mm<sup>2</sup>. The measured results have shown that the circuit has more than 12 bit static resolution.

**Key words:** self-trimming; thermometer coding; binary-weight ladder

## 1 引言

近年来,随着通信技术的发展,对转换速率在几十兆~上百兆,分辨率为 12~14 位,并可内嵌的 CMOS DAC 提出了新的要求,因此,这种高速、高精度 DAC 的设计成为模拟集成电路设计的一个热点.最近,国外的一些刊物相继报道了几种采用新的体系结构实现的 14 位、100Msample/s CMOS DAC.总的来说,为了达到较高速度,这些 DAC 都采用电流驱动型体系结构;而其提高精度的思想主要有两种,一种是电流自校准<sup>[1]</sup>,另一种是误差平均化<sup>[2]</sup>.

长期以来,由于受到 CMOS 工艺中晶体管匹配误差的限制,使得完全靠本征匹配实现的电流型 CMOS DAC 很难超过 10 位精度.1989 年, D. WOUTER J. GROENEVELD 提出了一种成功的电流自校准技术,利用这种技术可使静态分辨率达到 16 位<sup>[3]</sup>.这种技术的缺点是,必须有一个替代电流源不断地替换某一路电流源校准时留下的空位,由于替代电流源与被校准电流源切换时会引入切换电流毛刺,因而会使动态范围降低.2000 年, Alex R. Bugeja 提出了一种更为先进的自校准方法<sup>[1]</sup>,其基本原理是,通过检测浮置电流源的尾电流使自校准

完全在后台进行,而不需要替代电流源,但由于尾电流检测电路包括 转换器及大量的辅助电路,使整个芯片的面积和功耗大为增加 (3.44mm $\times$ 3.44mm).

本文介绍一种新颖的后台电流自校准技术.该技术使用纯模拟方法实现校准,其优点是,校准电路结构简单,消耗的功耗和芯片面积低,便于系统内嵌.文章的第二部分将介绍 DAC 的体系结构;第三部分介绍高五位电流源和自校准电路的设计;第四部分是测试结果的总结;第五部分是结论.

## 2 DAC 的体系结构

电流驱动型 DAC 的电流开关控制码有两种,一种是二进制码,一种是温度计码.采用二进制码时不需要译码器,可由输入的数字信号直接去控制电流开关;其缺点是不能保证输出的单调性,而且在数据转换的瞬间可能产生大的电流毛刺.用温度计码恰好可克服上述缺点,但它却需要一个译码器把输入的  $n$  位二进制数据译成  $2^n$  个温度计码去控制电流开关.显然,对于高分辨率 ( $n > 10$ ) DAC,用全温度计码去控制电流开关是不现实的.现代高分辨率电流驱动型 DAC 多采用分段



表 1 14bit DAC 总体性能的总结

工艺	0.25 $\mu$ m 2.5V COMS 工艺
分辨率	14bits
微分非线性	2.7LSB
积分非线性	3.7LSB
最高采样速率	50Msample/s
SFDR( $f_{in}=1.00004$ MHz, $f_s=10$ MHz)	73dB
SFDR( $f_{in}=5.0002$ MHz, $f_s=50$ MHz)	64dB
功耗	245mW
芯片面积	1.85 $\times$ 1.915mm <sup>2</sup>

## 5 结论

芯片的测试结果显示,经过校准后,测得的 SFDR 比未经校准前测得的结果获得了 23dB 的改善,这说明自校准电路的设计是成功的.另一方面,DAC 的 DNL 为 2.7LSB,INL 为 3.7LSB,输出信号频率为 1.00004MHz,采样频率为 10MHz 时的 SFDR 为 73dB,因而有效分辨率只有 12 位,未达到 14 位的设计指标.通过对测试结果进行分析,并对电路重新仿真,我们发现,在 TTT(典型模型参数和典型仿真条件)情况下,仿真结果可达到 14 位精度;而在 SSS(最坏模型参数和最坏仿真条件)情况下,仿真结果出现了与测试结果相近的静态误差,其原因是低 5 位二进制权重电路中 PMOS 管的宽长比取的太小,导致整个二进制权重电路的阻抗太高,从而使为低 5 位提供总电流的 NMOS 管接近线性区.下一步,我们将对电路和版图做进一步的优化,以期得到更理想的结果.

## 参考文献:

- [1] Alex R Bugeja, et al. A self-trimming 14-b 100-MS/s CMOS DAC[J]. IEEE Journal of Solid-state Circuits, 2000, 35(12): 1841 - 1852.

- [2] G Van der Plas, et al. A 14-bit intrinsic accuracy Q<sup>2</sup> random walk CMOS DAC[J]. IEEE Journal of Solid-state Circuits, 1999, 34(12): 1708 - 1718.
- [3] D Goeneveld, et al. A self-calibration technique for monolithic high-resolution D/A converters[J]. IEEE Journal of Solid-state Circuits, 1989, 24(12): 1517 - 1522.
- [4] A Bugeja, et al. A 14-b 100-MS/s CMOS DAC designed for spectral performance[J]. IEEE Journal of Solid-state Circuits, 1999, 34(12): 1719 - 1732.
- [5] C M Hammerschmied, et al. Design and implementation of an untrimmed MOSFET-Only 10-Bit A/D converter with 79-dB THD[J]. IEEE Journal of Solid-state Circuits, 2000, 33(8): 1148 - 1157.

## 作者简介:



朱 臻 男,1972 年 7 月出生于青海省西宁市,1993 年湖南大学电子工程系毕业,获学士学位,1993 年至 1996 年在西安电力电子技术研究所工作,1999 年西安交通大学电子工程系毕业,获硕士学位,现为复旦大学电子工程系博士研究生,主要的研究方向是模拟和混合集成电路设计.



洪志良 男,1946 年出生于浙江宁波,1970 年毕业于中国科技大学,1970~1980 年为沈阳工业大学助教、讲师,1980~1985 年为瑞士联邦苏黎世高等理工学院(Swiss Federal Institute Technology, Zurich)电器工程系博士研究生,1985 年 6 月获得博士学位后回国在复旦大学博士后流动站工作,现为复旦大学为微电子系教授,博士生导师,集成电路设计实验室主任.