

# 低功耗低误码率的传感器网络 节点芯片数字基带设计

王 义<sup>1,2</sup>, 陆世龙<sup>1,2</sup>, 崔 莉<sup>1</sup>

(1. 中国科学院计算技术研究所, 北京 100190; 2. 中国科学院研究生院, 北京 100049)

**摘 要:** 本文针对无线传感器网络节点片上系统特点和需求, 研究一种低功耗、高性能、低误码率的数字基带(Easibaseband), 提出了一种复用加法器和乘法器的设计方法, 实现了匹配滤波器, 可节省硬件资源并提高系统性能; 提出了一种自适应门限的自动增益控制方法, 可配合软硬件协同的工作方式, 节省接收机的功耗; 提出了采用自适应门限的施密特触发器方式进行信号相位判决的方法, 降低了解调误码率. 本设计在 Xilinx 的 Spartan-3E FPGA 上验证并实现, 测试结果表明, 本收发机的数据传输率可达到 111kb/s 并支持 ISM2.4GHz 频段的射频芯片, 比传统的并行滤波器节省了 5/6 的硬件资源, 比不采用自动增益控制节省了 10.8% 的接收机功耗, 在信噪比 13dB 时, 误码率在  $10^{-4}$  以下, 远低于 WiseNET 的接收误码率.

**关键词:** 无线传感器网络节点; 片上系统; 数字基带; 自动增益控制; 位同步; 匹配滤波器; 软硬件协同

**中图分类号:** TN492 **文献标识码:** A **文章编号:** 0372-2112 (2010) 2A-0123-05

## A Low Power Low BER Digital Baseband Design for WSN SoC

WANG Yi<sup>1,2</sup>, LU Shi-long<sup>1,2</sup>, CUI Li<sup>1</sup>

(1. Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China;

2. Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** We have developed a low power and low bit error rate (BER) digital baseband as a part of wireless sensor network node system-on-a-chip (SoC), namely Easibaseband. An automatic gain control (AGC) module has been proposed based on hardware and software co-design which can save the power consumption of receiver up to 10.8%. It also realizes a digital matched filter (DMF) in receiver to reduce the BER. A phase synchronization algorithm is also proposed. The transceiver utilizes FSK modulation encoder in baseband at a data rate of 111 kb/s in the 2.4GHz ISM band to provide wireless connectivity between two sensor nodes. The design has been validated in Spartan-3E FPGA. The results showed that the proposed schemes achieve better performance than existing work.

**Key words:** wireless sensor network node; system on a chip (SoC); digital baseband; automatic gain control (AGC); phase synchronization; digital matched filter (DMF); software and hardware co-operation

## 1 引言

无线传感器网络是由大量密集部署在监控区域的自治节点构成的一种自组织网络应用系统. 它的应用前景十分广阔, 能够广泛应用于军事、环境监测、医疗健康、交通管理以及商业应用等领域. 虽然传感器节点有着各种各样的应用, 但这些应用对传感器节点有着一些相同的要求, 其中最具挑战性的要求就是如何使传感器节点成本更低、功耗更低、性能更好.

信号采集、信号处理及组网通信是传感器节点的三大功能. 传感器节点通常由传感模块、处理模块、无线通

信模块以及能量模块四个部分组成, 其中无线通信模块占整个传感器节点功耗的绝大部分, 以时钟频率 24MHz 的 WiseNET SOC<sup>[1]</sup> 为例, 射频功耗 (30mW) 约是处理器及其他数字电路功耗 (1.2mW) 的 25 倍. 数字基带在无线通信模块中负责控制射频收发增益、数字信号调制、最佳相干解调、以及位同步抽样判决等, 对节点的功耗、性能及误码率具有重要影响, 因此, 设计低功耗、高性能、低误码率的数字基带对降低节点的功耗并提高节点通信质量有重要的作用.

本文针对以上目标开展研究工作, 主要贡献有:

(1) 提出了一种复用加法器和乘法器的设计方法,

实现了匹配滤波器,节省了硬件资源提高了系统性能。

(2)提出了一种自适应门限的自动增益控制方法,配合软硬件协同的工作方式来降低收发机功耗。

(3)提出了一种在位同步中采用自适应门限的施密特触发器进行信号相位判决的方法,降低了误码率。

## 2 相关研究

片上系统是无线传感器网络节点系统发展的必然趋势,它通过在体系结构设计上进行改进来减少节点的体积、成本和功耗,并采用专用硬件模块来增强节点的性能,是从根本上解决低成本、低功耗、高性能和高可靠性的技术手段。近年来一些大学已经开展了相关研究,例如瑞士 CSEM 开发的 WiseNET<sup>[1,2]</sup>、U. C. Berkeley 开发的以蓝牙作为通信方式的 PicoRadio<sup>[3]</sup>、芬兰坦佩雷技术大学开发的 Multi-Radio WSN Platform<sup>[4]</sup>等,而一些公司也推出了可用于无线传感器网络的 SoC 芯片,例如 Chipcon 公司的 CC2431<sup>[6]</sup>、CC2510<sup>[7]</sup>以及 JENNIC 公司的 JN5121<sup>[8]</sup>系列芯片等,但这些芯片数字基带系统仍然存在一定的局限性,包括:

(1)WiseNET 的接收机通过串联 11 级增益及限幅器,使输出到 FSK 解调器的信号放大至饱和,这不仅是一种能量浪费,而且信号饱和造成的畸变还会引起解调误码率的升高。

(2)PicoRadio 采用蓝牙技术作为通信方式,相比 802.15.4/Zigbee 通信距离受到限制,而且功耗和体积还难以让人满意。

(3)Multi-Radio WSN Platform 支持多射频模块,数据同时收发,从而达到较高的数据传输速率。但多射频的硬件系统会增大节点功耗和成本。

(4)CC2431、CC2510 的数字基带系统可以做自动增益控制,且增益范围可通过软件配置,但自动增益控制过程中所涉及的判决门限采用固定门限值,不具有自适应调整的特性,会导致节点的环境适应性下降。

(5)这些芯片的数字基带系统在进行信号相位判决时没有采用自适应门限的施密特触发器方式,而采用传统的过零触发方式,因此不能避免因输入相位的频繁跳变而造成的解调误码率升高。

综上所述,采用自动增益控制来降低接收机功耗,降低解调误码率,利用硬件设计的灵活性来提高数据传输速率,采用自适应门限的施密特触发器方式来进行信号相位判决,降低误码率,这些都是无线传感器网络节点嵌入式芯片数字基带的发展方向。

本文将面对如何降低收发机的功耗、降低解调误码率以及节省片上系统硬件资源的问题开展研究,提出无线传感器网络节点专用的片上系统芯片的数字基带传输系统(Easibaseband)的设计方法。

## 3 Easibaseband 一种低功耗低误码率数字基带

### 3.1 Easibaseband 数字基带传输系统基本结构

EasiSOC<sup>[5]</sup>是我们开发的传感器网络节点 SoC,其体系结构如图 1,其中 EasiBaseBand 是支持 2.4GHz 射频芯片的数字基带,包括发射部分(Tx\_bb)、接收部分(Rx\_bb)及自动增益控制部分(AGC)。

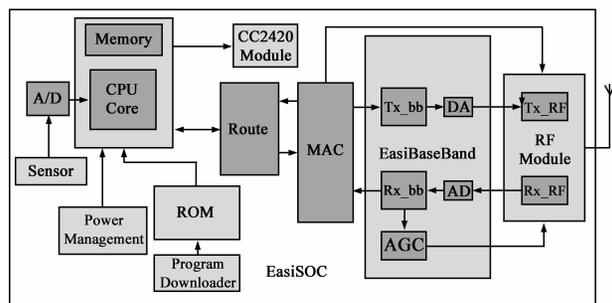


图1 EasiSOC体系结构

数字基带发射部分的功能是对输入的数字信号进行 FSK 成形编码,经数模转换后输出到射频模块,进行 2.4GHz 频段的 OQPSK 调制发射。

传统的设计方法是设计成型滤波器,但由于传感器网络节点硬件资源和能量受限,本文采用直接对数据进行成型编码,这种方法可以根据调制码型直接输出滤波后的电平,因而省去成型滤波器的设计,符合传感器网络节点的低成本低功耗的需求。

数字基带接收部分的功能是对射频输入的信号进行匹配滤波,位同步及抽样判决,得到解调数据提供给 MAC 协议模块进行解包及 CRC 校验,同时计算得到信号强度作为反馈对射频接收机进行自动增益控制。

在本数字基带接收系统中,最主要的三个部分分别是:最佳线性滤波、位同步和自动增益控制,它们分别影响传感器网络节点的性能、误码率及功耗,如何针对传感器网络节点的特点和需求解决以上三个问题是本工作的重点。本文在最佳线性滤波的实现、位同步中的相位判决及自适应门限的自动增益控制方面进行了研究,并提出了相应的设计及实现方法。

### 3.2 最佳线性滤波器的设计

因为数字传输中,在判决时刻的信噪比越高,越有利于做出正确的判决。因此本文实现的滤波器采用使输出信噪比在判决时刻达到最大的设计思路。

$s(t)$  为发射信号,  $x(t)$  为叠加噪声的接收信号,  $h(t)$  为滤波器传输函数,根据匹配滤波器相关研究<sup>[9]</sup>:

$$y(t) = x(t) * h(t) = x(t) * K_s(T-t) \quad (1)$$

AD 采集输出信号是时域离散信号,于是式(1)变形为:

$$y(n) = \sum_j s(j)x(n+1-j), j \in [0, 11] \quad (2)$$

$$s_0(n) = \cos\omega_1 n, s_1(n) = \cos\omega_2 n, \omega_1 = 2\pi/3, \omega_2 = 2\pi/6$$

每个采样周期要完成 12 次乘加运算,传统并行计算需要 12 个加法器和乘法器,但根据无线传感器网络节点片上系统低成本、硬件资源受限的特点,本文提出了一种对滤波器的加法器和乘法器进行复用的设计方法,通过高频时钟驱动,将一个时钟周期完成的计算量分为数个时钟周期完成,将并行的大量组合逻辑电路分为少量时序逻辑电路.对这些时序逻辑电路复用数个周期,实现相同的计算功能,以减少硬件实现单元数量,在保证线性滤波器的性能的同时达到了减少硬件资源开销的目的.由于 AD 的采样率为 4MHz,考虑到 EasiSOC 的最高时钟频率为 24MHz,因此本滤波器采用 24MHz 时钟驱动,一个采样周期计算 6 个时钟周期,每个周期只使用两个加法器和乘法器,相比传统的并行滤波器节省了 5/6 的硬件资源.

得到滤波器输出信号  $s\_diff$  及并积分得到接收信号强度 RSSI,为后面的部分提供了基础.

### 3.3 位同步方法

传统位同步法采用直接对匹配滤波器的输出  $s\_diff$  进行过零检测来确定输出码元相位:

$$\begin{cases} s\_diff > 0 & "1" \\ s\_diff < 0 & "0" \end{cases} \quad (3)$$

但实际中,频率误差、随机相位、随机幅度、定时不准等问题都会导致无法满足最佳接收条件,性能下降,使匹配滤波器的输出  $s\_diff$  发生多次过零触发,造成位同步输入会在 0,1 状态间频繁跳变,影响位同步效果,造成解调误码率升高.

本文为了降低误码率,提高传感器网络节点性能,对此判决进行了改进,提出了一种自适应门限的施密特触发器的方式进行信号判决,来避免输入相位的频繁跳变,当本次相位判决输出  $y = 0$  时,只有在滤波器输出信号大于门限时,下一次输出才为 1,否则输出 0,当本次相位判决输出  $y = 1$  时,只有在滤波器输出信号小于门限时,下一次输出才为 0,否则输出 1.

不同于传统的确定门限值的施密特触发器,针对传感器网络节点需要适应各种复杂通信环境的要求,考虑到接收信号强度 RSSI 会随信道环境变化而动态变化,本文利用 RSSI 做反馈值自适应调节判决门限,同时可以根据信道环境来动态地配置判决系数  $k$ ,以达到更高的可控制性和灵活性及更低的误码率,并适应多种通信环境的要求.判决方式如下:

$$\begin{cases} \text{if } (s\_diff > k * RSSI \& y = 0) & "1" \\ \text{if } (s\_diff < -k * RSSI \& y = 1) & "0" \end{cases} \quad (4)$$

在获得输出码元相位后,本文采用的是数字锁相法进行位同步.采用 4MHz 的同步时钟 36 分频作为信号钟,与从比较器所获得的匹配滤波器输出信号  $s\_diff$

比较误差,通过一个控制器在信号钟输出的脉冲序列中附加或扣除一个或几个脉冲,达到输出抽样判决信号与接收信号同步的目的.

### 3.4 自动增益控制

考虑到传感器网络节点应用环境广泛的特点,会面临信道情况复杂多变、发射功率不确定以及通信距离的实时变化的问题,这些都会影响节点丢包率和能耗,只有实时的将接收增益调整至适中,才能在获得最佳的解调信号,使能量得到有效利用.

本文提出了一种自适应门限的自动增益控制技术,配合软硬件协同的工作方式,相比传统的自动增益控制,有如下特点:(1)它的门限是根据接收信号强度 RSSI 自适应的,因此,随信道环境,发射功率及通信距离的变化,确定增益最优值的判决门限也是随之变化的,在信道环境较好,发射功率较大及通信距离较近时, RSSI 增大,使增益下降,同时判决门限提高,使信号不会放大至饱和,节省一定的接收功耗,并避免信号饱和和超出模拟器件的线性范围,造成输出信号畸变使误码率上升;在信道环境较差,发射功率较小及通信距离较远时, RSSI 下降,使增益升高,同时判决门限下降,得到更好的接收信号质量,减小节点的丢包率.(2)它是软硬件协同工作的,由于门限初始值和增益初始值的可配置性,使系统可以根据需求灵活运用于多种通信环境下,门限初始值会决定增益被锁定的初始范围,增益初始值则会决定初始接收增益,从而影响信号强度.以上两点这使自动增益控制的灵活性和可控制性大大增强.达到了使传感网节点片上系统应用各种复杂环境,降低丢包率和功耗的目的.

图 2 是自动增益控制算法的流程图:

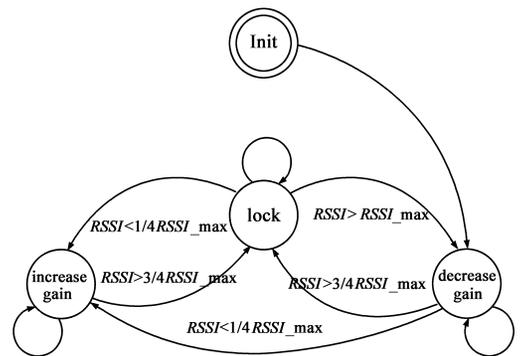


图2 自动增益控制算法流程图

通过实际的测试和评估,信号强度稳定在最大值的 3/4 左右时可达最低的丢包率和最高的能量利用率,因此按照 RSSI 最大值的 1/4,3/4 为门限进行划分,保证增益判决门限随信号强度的最大值自适应变化,初始时刻则由模块从 RAM 中读取 Gain 的初始化值,并初始化 RSSI 的最大值为一个经验值,此经验值可以通

过软件配置,以保证芯片应用的灵活性,其后每次都检测 RSSI 如果大于历史记录值就会把它存入最大值寄存器中,开始时初始化 Gain 较大,然后逐渐减小 Gain,当经过调整 Gain,使 RSSI 达到最大值的 3/4 时锁定,如果信号突变,导致 RSSI 过大或者过小,都会跳出锁定状态,重新进行增益调整,直到锁定状态。

## 4 验证与测试

### 4.1 软硬件测试平台

硬件测试平台包括 FPGA 验证平台、射频板和 AD、DA 数模转换板。

FPGA 验证平台由母板以及一系列传感板和通讯板组成,母板上集成了 Xilinx 的 Spartan-3E 系列 160 万门的 FPGA 芯片以及配置芯片、128KB 的 8 位 FLASH 芯片、两个带使能输入的有源晶振,及 3 个 51pin 的接插件与传感板和通讯板相连。

射频芯片采用的是国内六合万通公司的 WT8004-2.4GHz 双模射频收发机,工作在 2.4GHz 至 2.5GHz 频段,符合 IEEE802.11b/g 标准。

AD 芯片采用 8 位,4MHz 采样率的 ADS930E,DA 芯片采用 8 位,双通道的 TLC7528C。

软件平台采用 51 系列单片机开发常用的 Keil C51 软件作为编译环境,在此基础上完成了所有模块的驱动程序,并建立了一个程序编写框架。

### 4.2 性能测试与评估

为了评估在位同步中提出的采用自适应门限的施密特触发器的方式进行信号相位判决的方法,在降低误码率方面的作用,分别对采用和不采用此方式位同步的接收机,及 WiseNET 在数据率 100kb/s 时的误码率曲线与理想误码率曲线进行了测试比较。

实际过程中由于无法完全模拟信道情况,设计出与接收信号完全匹配的理想滤波器,只能采用调制信号的波形作为匹配滤波器的参数,导致无法满足最佳接收条件,与理想误码率曲线存在一些差距,属合理的范围,图 3 为 Easibaseband 误码率曲线,其中 FSK 为理想误码率曲线,FSK2 为没有采用自适应门限的施密特触发器方式进行相位判决时的误码率曲线,同时还比较了 WiseNET 在数据率达到 100kb/s 时的误码率曲线。虽然,由于和 WiseNET 采用不同的射频芯片和工作频段,而且噪声环境和数据传输率不一致,但是由于理想误码率曲线是一致的,相同误码率情况下的信噪比与输入功率是可以一一对应的。

图中可见,在信噪比 13dB 的情况下,Easibaseband 误码率在  $10^{-4}$  左右,FSK2 误码率还远高于  $10^{-3}$ ,WiseNET 的数字基带误码率还远高于  $10^{-2}$ ,可见采用自适应门限的施密特触发器方式判决信号相位在一定程

度上有效的降低了误码率。

为了评估提出的自动增益控制在降低功耗提高性能方面的作用,分别在关闭自动增益控制(0db、62db)及开启自动增益控制下的功耗进行测试比较.并统计收发 256 个数据包的丢包率.结果如表 1:

表 1 自动增益控制性能比较

增益	V	I	Power	丢包数	丢包率
62dB	2.89V	126.4mA	368.3mW	10	3.90%
AGC	2.88V	124.7mA	360.3mW	0	0%
0dB	2.89V	102mA	293.8mW	29	11.30%

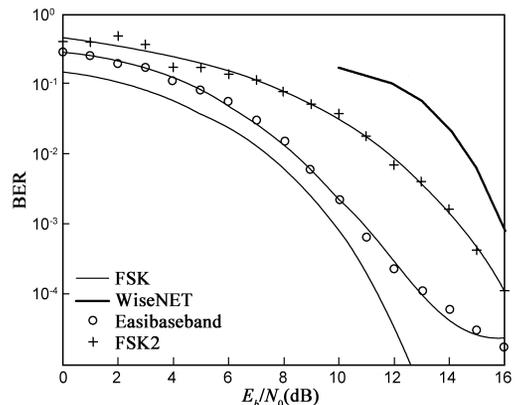


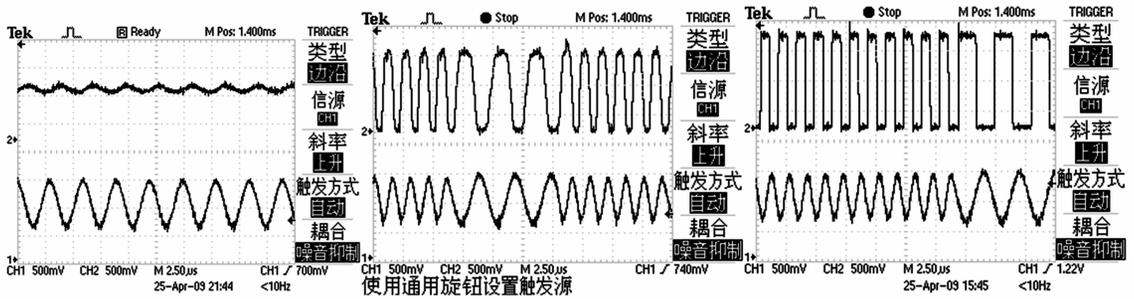
图 3 Easibaseband 误码率曲线

由于 FPGA 验证的板级功耗比 ASIC 设计后的 SoC 芯片功耗要大很多,而且包含了很多将来不用于 SoC 芯片中的电路及芯片,这些部分都会增加板级功耗,所以以最低增益作为参考值进行评估, $P_{62db} - P_{0db}$ 表示消耗在 62db 接收增益放大器上的板级功耗, $P_{62db} - P_{AGC}$ 表示采用自动增益控制比关闭自动增益,将信号放大 62db 至最大增益时节省的功耗,计算可得:

$$\frac{P_{62db} - P_{AGC}}{P_{62db} - P_{0db}} = \frac{368.3\text{mW} - 360.3\text{mW}}{368.3\text{mW} - 293.8\text{mW}} = 10.8\% \quad (5)$$

采用自动增益控制比最大接收增益节省功耗占整体接收增益放大器功耗的 10.8%,并达到最低丢包率。

图 4 是使用 Tektronix TDS1012B 数字示波器,对接收机测试波形图,左中右图所示分别为增益最小、采用自动增益控制下及增益最大时的基带接收波形:左为增益过小,中为采用自动增益控制增益适中,右为增益过大左图可见增益过小时,射频解调输出波形信号幅度过小,会影响解调结果,因此造成了 11.3%的丢包率,右图可见当增益过大时,不仅使信号的饱和变形,造成 3.9%的丢包率,还是对能量的浪费,而中图为经过自动增益控制的基带接收波形,幅度适中,丢包率为 0,使收发机的性能和能量有效性都得到了提高。



左为增益过小, 中为采用自动增益控制增益适中, 右为增益过大

图4 数字基带接收波形

## 5 结论与下一步工作

本文针对无线传感器网络片上系统节点, 研究了一种低功耗、低误码率、高性能的数字基带传输系统, 并在实现数字基带传输系统的过程中解决了一系列设计中所涉及的关键技术, 包括:

提出了一种复用加法器和乘法器的设计方法, 实现了匹配滤波器, 保证信号的最佳接收的条件下降低了误码率. 比传统并行滤波器节省了 5/6 的硬件资源.

提出了一种自适应门限的自动增益控制技术, 同时配合软硬件协同的工作方式, 节省了 10.8% 的接收机功耗, 在同等通信环境下降低了丢包率, 同时增加了系统的灵活性和应用范围, 减小了用户使用复杂度.

提出了一种在位同步中采用自适应门限的施密特触发器方式进行信号相位判决的方法, 降低了误码率, 数据传输率可达到 111kb/s, 在信噪比 13dB 时, 误码率在  $10^{-4}$  以下, 误码率曲线接近理想误码率曲线.

本设计在 Xilinx 的 Spartan-3E FPGA 上验证实现, 已应用于 EasiSOC 第二代芯片中, 下一步的工作将完成 EasiSOC 的 ASIC 芯片的设计, 后端仿真及流片.

### 参考文献:

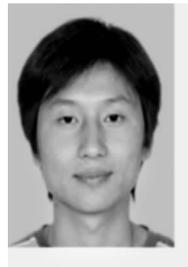
- [1] Christian C. Enz, Amre El-Hoiydi, et al. WiseNET: an ultralow-power wireless sensor network solution [J]. IEEE Computer, 2004, 37(8): 62 - 70.
- [2] Vincent Peiris, et al. WiseNET, an ultra low-power RF transceiver SoC and communication protocol solution for wireless sensor Networks [A]. Analog Circuit Design [C]. Netherlands; Springer Netherlands, 2006. 45 - 375
- [3] Fred Burghardt, Susan Mellers, Jan Rabaey, The PicoRadio Test Bed [OL]. [http://bwrc.eecs.berkeley.edu/Research/Pico-Radio/Test\\_Bed/PRTBWhitePaper.pdf](http://bwrc.eecs.berkeley.edu/Research/Pico-Radio/Test_Bed/PRTBWhitePaper.pdf), 2008-03-20.
- [4] M Kohvakka et al. High-performance multi-radio WSN platform [A]. Proceedings of the 2nd International Workshop on Multi-hop Ad Hoc Networks [C]. New York; ACM, 2006. 95 - 97.

- [5] X. Huang, Z. Zhao, L Cui. EasiSOC: Towards Cheaper and Smaller [A]. Mobile Ad-hoc and Sensor Networks 2005 (MSN'05) [C]. New York: Springer-Verlag, 2005. 229 - 238.
- [6] CC2431\_Brochure [OL] [http://www.chipcon.com/files/CC2431\\_Brochure.pdf](http://www.chipcon.com/files/CC2431_Brochure.pdf), 2008 - 03 - 20.
- [7] CC2510\_Brochure [OL] [http://www.chipcon.com/files/CC2510\\_Brochure.pdf](http://www.chipcon.com/files/CC2510_Brochure.pdf), 2008 - 03 - 20.
- [8] JN-DS-JN5121-1v8 [OL] [http://www.jennic.com/files/support\\_files/JN-DS-JN5121-1v8.pdf](http://www.jennic.com/files/support_files/JN-DS-JN5121-1v8.pdf), 2008-03-20.
- [9] 曹志刚, 钱亚生. 现代通信原理 [M]. 北京: 清华大学出版社, 1992. 262 - 270.

### 作者简介:



王 义 男. 1985 年生于山西省太原市. 2008 年毕业于北京大学电子信息科学与技术系, 获学士学位, 现为中科院计算所硕士生, 从事无线传感器网络节点片上系统方面的有关研究.  
E-mail: wangyi19@ict.ac.cn



陆世龙 男. 1985 年生于河南省安阳市. 2007 年毕业于西安电子科技大学电子信息科学与技术专业, 获学士学位, 现为中科院计算所硕士研究生. 主要研究方向为无线传感器网络和片上系统技术.  
E-mail: lushilong@ict.ac.cn



崔 莉 女. 1962 年出生于北京. 1985 年毕业于清华大学无线电系, 获学士学位, 1988 年毕业于中国科学院半导体所, 获硕士学位, 1999 年获英国格拉斯哥大学博士学位. 现为中国科学院计算技术研究所研究员、博士生导师, 从事无线传感器网络相关研究.  
E-mail: lcui@ict.ac.cn