低介电常数(low-k)介质在 ULSI 中的应用前景

阮 刚[1],肖 夏[2],朱兆[illegible][1]
(1. 复旦大学专用集成电路与系统国家重点实验室,上海 200433;
2. 开姆尼茨技术大学微技术中心,开姆尼茨 D09109,德国)

摘 要: 本文讨论了 ULSI 的发展对低介电常数(low-k)介质的需求,介绍了几种有实用价值的 low-k 介质的研究和发展现况,最后评述了 low-k 介质在 ULSI 中应用的前景.

关键词: 极大规模集成电路; 低介电常数材料; 无机介质; 有机聚合物介质
中图分类号: TN47 **文献标识码**: A **文章编号**: 0372-2112 (2000) 11-0084-04

Prospect on the Applicatoin of Low-k Dielectric in ULSI

RUAN Gang[1], XIAO Xia[2], ZHU Zhao-min[1]
(1. *ASIC and System State Key Lab., Fudan University, Shanghai* 200433, *China*;
2. *Center of Microtechnology, Technical University of Chcmnitz, D*09107, *Germany*)

Abstract: In this Paper, the requirement of low-k dielectric for developing ULSI is discussed. The current status of research and development for several promising and worthy low-k dielectrics is introduced. Finally, the prospect on the application of low-k dielectrics materials is reviewed.

Key words: ULSI; low dielectric constant material; inorganic dielectric; organic polymer dielectric

1 引言

当集成电路的特征尺寸减小至 0.18μm 或更小时,互连寄生的电阻,电容引起的延迟,串扰和功耗已成为发展高速,高密度,低功耗和多功能集成电路需解决的瓶颈问题[1].

互连金属线用 Cu 代替 Al(含 0.5%Cu),层间及线间介质用 low-k 材料代替 SiO_2 以及线及线间,层及层间的几何尺寸、工艺、材料等对电性能和热性能影响的模拟和优化设计是当今为解决该瓶颈问题的三项主要技术努力.

介电常数低于 SiO_2 的 low-k 介质材料的介电常数 $K_{low\text{-}k}$ 范围为 $K_{air} \leq K_{low\text{-}k} \leq K_{SiO_2}$,其中,$K_{air}$ 为空气的介电常数,$K_{air} = 1$,K_{SiO_2} 为 SiO_2 的介电常数,$K_{SiO_2} = 3.9 - 4.2$,与 SiO_2 制作时所用的工艺有关. 介电常数在上述范围的 low-k 材料品种很多. 已研究和正研究的对应用于 ULSI 有现实和潜在价值的主要材料见表 1[2~10].

用于 ULSI 的 low-k 材料不仅要求材料的介电常数值尽可能低,且同时要求(1)热稳定性好,(2)机械强度大,(3)热导率高,(4)尺寸稳定性好,(5)能承受现在用于 ULSI 的金属淀积技术工艺处理温度,(6)易于图形化和腐蚀,(7)同化学机械抛光(CMP)工艺兼容,(8)适应 ULSI 中后段(backend)工艺集成的复杂性,(9)可靠性高(应特别注意:改进工艺以减小介电膜的热应力,不均匀微结构及界面粗糙度). 迄今为止,low-k 介质达到的性能即使不是全部也是绝大部分不如 SiO_2[11]. 在 ULSI 中 *Low-k* 材料替代 SiO_2 不管是仅仅用于金属互连线间,还是即用在金属互连线间又用在不同金属层间,虽已有一些成功的应用,但都还没有实用在大规模生产中. 因而,无论在寻找新材料,改进现有材料性能,以及解决与 ULSI 金属化等工艺进行集成、匹配兼容等方面都还有很多工作要做. 以下依次介绍几种典型的 low-k 材料在体材料、工艺集成、实际应用等方面所取得的研究进展,并讨论还存在的问题.

2 几种 low-k 介质材料的研究及开发

2.1 掺氟二氧化硅及掺碳玻璃(SioF 及 SiOC)

用于 ULSI 中的无机 low-k 介质材料,人们首先考虑及研究开发的是掺氟 SiO_2(doping silicon dioxide with fluorine, SiOF). SiOF 也称荧光硅酸盐玻璃(fluoro-silicate glass, FSC). 这种介质薄膜材料可用等离子体增强化学汽相淀积(Plasma-Enhanced CVD, PECVD)及高密度化学汽相淀积(High-Density Plasma CVD, HDP CVD)系统制得. 为制备 SiOF,仅需对于制备 SiO_2 的硬件系统作较小的修改. 同时已经建立的在金属互连线间间隙填充(gapfill) SiO_2 的工艺,已用来实现了 $k = 3.5$ 的 SiOF 的间隙填充工艺. 但是迄今为止,仍不能提供高质量的 SiOF 膜以用于实际的 ULSI 制造工艺中,其原因是[5]:(1)用传统的制备 low-k 材料的 CVD 工艺制得的 SiOF 膜的体电阻率和击穿场强都比 SiO_2 低较多;(2)氟的附加会引起加水分解作用(hydrolysis),使互连和器件的可靠性退化;(3)氟杂质在 SiOF

收稿日期:1999-10-22;修回日期:2000-01-28

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

表 1　各种 Low-k 介质材料

类别	材料名称	介电常数 k	备注
无机物类	fluorine-doped/ carbon-doped SiO_2 [5,7]	3.5 - 4.1	
	flourinated SiO_2 (SiOF) [2,4,7]	3.0 - 4.0	*
	black diamond [2]	2.7	
	hydrogen silsesquioxane (HSQ) [2,4,6,7]	2.5 - 3.0	
	carbon-doped glass (SiOC) [4]	2.5 - 3.0	*
	methyl silsesquioxane (MSQ) [4]	2.5 - 3.0	*
	flourinated amorphous carbon (FLAC or αCF or CFx) [4]	2.3 - 2.5	
	nano-porous silica (NPS) (included aerogels and xerogels) [4,7,9]	1.3 - 2.5	*
	carbon dioxide [2]	1.0	
	air/ vacuum [2,10]	1.0	*
有机聚合物类	polysiloxane [2]	2.89	
	fluropolyimide [2,7]	2.8	
	arylene ethers [7]	2.8	
	benxo-cyclo-butane (BCB) [2,3,7]	2.7	*
	PMDA-TFMB [3]	2.6	
	FLARE [3]	2.6	*
	polyethylene [2]	2.4	
	fluorinated and nonfluorinated poly-arylene-ether (PAE) [7]	2.3 - 3.0	*
	polypropylene [2]	2.3	
	foams (19 %poro) [3]	2.3	
	fluoropolymer [2]	2.24	
	parylene [2～4]	2.2 - 2.8	*
	Dupont PTFE-based copolymer AD 2400 [2]	2.06	
	Teflon amorphous fluoropolymer (Teflon AF, Dupont's Teflon AF 1600) [3,8]	1.9	*

表 1 中有 * 的材料为目前研究和开发较多的品种.

膜中是不稳定的,且易吸收 H_2O 形成 OH 和 HF,存在 OH 将增加膜的介电常数,同时 HF 和 OH 两者能腐蚀介质的金属层. 鉴于上述原因,也鉴于用现有的 CVD 方法存在热力学上的限制,能实现的介电常数的减小很少,例如减小到 3.5. 这一结果如果在双镶嵌(dual damascene)工艺,由于需要开发全新工艺来应用 SiOF,SiOF 较少的介电常数减小就很少有吸引力了. 所以 SiOF 将不被用于双镶嵌工艺[4],也即大大影响了它在 ULSI 金属-介质互连系统中的全面应用.

最近,Shu Qin 等[5]用等离子体离子注入(PII)方法在 SiO_2 中掺 F 和 C,注入能量低,注入剂量大,费用低,易得到 $k = 3.5$ 的掺 F 和 C 的 SiO_2,膜的体电阻率和击穿场强也会提高.

SiOC 有时称作掺碳玻璃(carbon-doped glass),也可用标准 PECVD 系统制造,已制得的 SiOC 的介电常数 $k = 2.5$～3.0,比已有的 SiOF 低 0.5 - 1,SiOC 的 k 同膜密度呈线性关系,膜基本上是单向的,没有明显的气孔,减小 k 的主要结构是要松开(loosing)膜的最后结构[4].

是否基于 PII 法的含 F 及/或 C 的 SiO_2 以及用标准 PECVD 系统制得的 SiOC 能实用于 ULSI,尚待进一步研究.

2.2　HSQ

HSQ 是 hydrogen silsesquioxane 的缩写,是一种无机电介质材料,用现有工艺可制得介电常数 k 值为 2.5～2.9 的 HSQ. HSQ 在许多 0.5μm 及 0.25μm 的工艺中已有应用. 早期仅用在金属线间,近来,作为层间介质已集成在一个具有五层 Al 互连的电路中. HSQ 的制备用 SOD(spin on dielectric)工艺,即旋转淀积介质工艺. SOD 工艺比 CVD 工艺成本低廉,相同的 SOD 硬件可用于淀积多种不同电介质材料.

美国 Taxes Instruments 公司对 HSQ 的研究表明:用 HSQ 与不掺杂的高密度等离子体(HDP)CVD SiO_2 相比,其总电容有 22 %的减小,HSQ 与 HDP CVD SiO_2 相比在漏电流方面有相同的量级,都很小. HSQ 的热稳定性好,热稳定温度不低于 400 ℃. HSQ 能与高温 Al 塞(Al plug)的淀积兼容. 虽然较大面积的平面的 HSQ 有较大的 k 值约为 3.0,但用镶嵌的间隙填充方法(an embedded gap fill approach)制得在金属线之间的间隙中的 HSQ 是多孔的,因而有较低的 k.

美国 Fairchild Technologies 及 Dow Corning 公司的专家 1999 年 3 月在 Solid State Technology 杂志上公布了他们开发的 HSQ 形成工艺,由三部分组成:旋转涂敷(spincoating),低温柔性焙烘(low temperature soft bake)及在线愈合(in-line cure). 其主要工艺参数为:旋转涂敷:应用速率 50 转/分;打开碗状涂敷器的速率 1500 - 3000 转/分;关闭管状涂敷器的速率 1500 - 3000 转/分;背面清洗 800 转/分,5 秒;顶面电子束记录(EBR)1000 转/分,10 秒;旋转干燥 1000 转/分,5 秒. 低温柔性焙烘:150 ℃,200 ℃,60 秒;W/ N_2 净化,350 ℃热金属板. 在线愈合:457 ℃,500HP,60 秒,N_2 气氛. 为了达到降低的介电常数 $k = 2.5$ 及保持最佳化的膜特性,愈合工艺极重要. 高温金属板(475 ℃),可控的低氧环境(氧在氮气氛中需小于 100ppm)以及短的愈合时间(一般为 1～3 分钟,最好短到 1 分钟)是新的愈合工艺的主要特点.

2.3　有机聚合物

有机聚合物电介质材料种类很多[7,8]. 以下择要介绍:

(1)硅基聚合物,$k = 2.8$～3.0,用旋转淀积工艺制得,是已有产品证明的旋转淀积玻璃 SOGs(spin no glasses)的扩展,在介电常数、折射率、热稳定性及间隙填充能力等方面是 HSQ 的竞争对手. SOG 工艺简单,成本也较低,用了新的淀积工艺后,通道受侵害(viapoisoning)的问题已基本解决. 由于膜密度的增加以及 Si-C 键的稳定效应使新的旋转淀积聚合物更加坚固耐用. Allied Signal 公司近来推出一种新的旋转淀积异量分子聚合物(copolymer),T23,同时给出了它的设计理论.

(2)多芳基醚(polyaryleneether-PAE),$k = 2.3$ - 3.0,是芳香族聚合物的一种. 有氟化和非氟化两类. 比脂肪族聚合物承受温度循环的能力强. 1998 年 1 月一种非氟化 PAE 材料的最新产品 VELOX 被推出,这种材料有极好的粘附性,不需要用助粘剂,抛光时也不需要覆盖层. Allied Signal 公司的 FLARE2.0 产品,也是一种 PAE 材料,它的 k 值约为 2.8. FLARE 有低的出气(outgassing)和高的热和机械稳定性. 为抛光 FLARE 膜,Allied Signal 公司的工程师们已开发了一种专用的泥浆供使用和专卖.

(3)多芳族碳氢化合物(aromatic hydrocarbon),$k = 2.65$ 是另一种芳香族聚合物,不含硅和氟. Dow Chemical 公司推出的 SiLK 材料就是这一种聚合物. 由于 SiLK 有高的热稳定性,所

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

以日本 Fujtsu 公司选择它与两层 Cu 镶嵌结构首批实现集成. SiLK及 FLARE 在 425 ℃退火 5 小时后, k 值仅有很小的变化. 用一个 SiO_2 覆盖层作为坚实的掩摸并用来控制 CMP 抛光的终止点.

(4) 双乙烯基硅氧烷 BCB (divinyl siloxane benzoncyclobutene-DVS-BCB), k = 2.7, 被广泛用作层间介质, 在多层金属 GaAs 器件中以及在多种模块组装中. 它用一个 SiO_2 坚实的掩模来增加热稳定性到 390 ℃. 在单一的镶嵌结构中, 它与 TiN 阻挡层淀积、用 MOCVD 的 Cu 填充及 Cu CMP 实现了集成.

(5) 异量分子聚合物的铁氟龙非晶聚合物(the copolyumeric Teflon amorphous fluoropolymer (AF), 简称 Teflon AF, k = 1.9, 可用作层间介质(ILD)). 用 Teflon AF 代替 SiO_2 作为 ILD 后, 将减小串扰噪声 25 %及功耗 50 %. Teflon AF 用 CVD 工艺制得. 美国 Clemson 大学 R. Sharangpani 和 R. Singh 设计和制作了一种全新的制备 Teflon AF 的 CAV 系统[8], 它是一种直接液体注入(DLI)系统, 这个系统中用了一个紫外(UV)光增强快速等温加工器. 由于这种方法是基于 DLI 的 CVD, 与传统的气相 CVD 相比, 显示出有较好的重复性, 使用较少的材料, 允许较紧凑的容差及提供较快的周期时间等优点. 用 UV 在快速等温加工(RIP)系统, 能减少体和界面缺陷密度, 实现高性能和更可靠的器件的制造.

(6) 多孔有机聚合物可进一步降低有机聚合物的 k 值. Dow Chemical 公司正在研制多孔 BCB 和多孔 SiLK. 如果在初始 k = 2.65 的有机聚合物材料中, 形成 20 %的孔即孔积率(porosity)为 20 %, k 值将降低到 1.9. 若用无机多孔材料, 如多孔 SiO_2 材料, 70 %的孔积率即 70 %的空气孔, k 值仅降到 2.0. 所以, 多孔有机聚合物将是超低介电常数(K < 2.0)介质的有力竞争者.

2.4 纳米多孔二氧化硅(nanoporous silica-NPS)

NPS 是一种具有超低介电常数 k 的电介质材料, 是多孔电介质材料中的矫矫者[4]. 研究表明: 非多孔电介质材料很难达到 $k \leq 2.0$. 多孔电介质材料的介电常数与材料的密度或材料的孔积率有关. 密度低或孔积率大则 k 小, 反之则 k 大. 多孔材料的 k 值范围可从 1 到固相材料的 k 值例如: NPS 的 k 值范围可从 1 到 SiO_2 的最高 k 值 4.2. NPS 的孔积率从 50 %到 90 %所对应的 k 值为 2.5～1.3.

现有的 NPS 不仅有超低的介电常数, 且有高电介质强度(电介质击穿电场 > 2MV/cm), 高热稳定性(耐 90 ℃), 同硅及正硅酸乙脂(TEOS)有好的粘附性, 以及有好的间隙填充能力. NPS 能与器件集成, 与化学机械抛光(CMP)、强迫填充铝(Force Fill Al)及化学汽相淀积钨塞 CVD W-Plug 工艺兼容. 所以, NPS 是一种有希望最终用于极大规模集成电路(ULSI)互连系统的超低介电常数介质.

NPS 的制作综合使用了标准旋转淀积(spin on)技术及溶胶-凝胶(sol-gel)工艺. 虽起始的淀积工艺与其他旋转淀积材料相同, 但随后的工艺较复杂, 对膜特性的控制非常重要. 膜特性的控制包括: 低固体含量, 好的间隙填充, 好的平面化及膜厚度和孔积率的分别独立控制等. 已有专利指出: 为制得高质量 low-k, NPS 膜的工艺概要为: (1) 在大气环境下旋转淀积; (2) 在环境温度到 150 ℃下老化; (3) 在 50～250 ℃下干燥; (4) 在 300～400 ℃下退火; (5) 进行防水处理.

NPS 按干燥方法不同可分为两类: aerogel (空气凝胶) 和 xeroge (干燥凝胶). 前者通过超临界干燥法干燥, 后者通过溶剂蒸发法. 虽然两者干燥方法不同, 但性能基本相同.

为得到介电常数尽可能低, 其他性能也能满足要求的 NPS 膜, 首先要求选择和控制膜的密度, 即固体的含量或孔积率, 因为密度不仅决定介电常数值, 还决定机械强度、热导率和孔的平均大小的性能或参数. 密度高则介电常数高, 热导率高, 机械强度强, 孔的平均尺寸小; 密度低则反之. 密度对性能影响中主要矛盾是介电常数值和机械强度. 一般, 低密度 NPS 介质机械强度弱, 为了保持一定的机械强度, 密度太低的(虽然介电常数很低)一般不选用于 ULSI 中. 所以, 密度应根据性能要求折中选取.

NPS 是低热导率材料, aerogel 的热导率值为 0.017W/K·m, 比 SiO_2 的热导率 1.2W/K·m 低约 70 倍. 热模拟研究显示: 若 aerogel 仅作为多层互连系统的金属线间介质, 则其热导率对多层互连系统的热稳定性影响很小, 可以忽略. 但若作为用于层间和线间的均匀介质, 由于其垂直方向的热导比 SiO_2 作为均匀介质时差很多, 所以将使有关金属互连线从而互连系统的温度有较大升高(例如 100 ℃量级)[12].

实验研究指出: 由于 NPS 膜的孔表面处含有大量 Si-OH 根, 易吸水. 一般, NPS 膜的孔积率高因而表面积大, 所以湿气含量较多, 这会引起介电常数增加, 有害于通道(via)的性能及其他集成问题. 为解决这一问题, 已采取了某种表面化学修饰来减少 Si-OH 根.

目前, 150nm 到超过 1μm 厚的无裂缝 NPS 膜已能制造.

NPS 同器件集成的研究已深入开展, 间隙填充已有较好结果, 例如: 对 0.15μm 宽, 纵横比 6∶1 的间隙可完全填充 NPS 膜, 且膜没有丝毫裂缝. 各种 CVD 电介质和金属膜在 NPS 上的淀积, NPS 的腐蚀, NPS 同 CMP, Forcefill Al 和 CVD W-plug 等工艺的集成均已获得成功.

综上述, NPS 作为一种具有超低介电常数 k 的电介质材料最终将较广泛地实用于 ULSI 互连系统中的前景是被人们看好的.

2.5 空气及空气隙(air gap)

由于空气的介电常数为 1, 用空气来填充金属互连线间的间隙, 即在金属互连线间形成空气隙, 将可使线间电容及互连线的总电容大大减小, 对于间隙为 0.3μm 的 ULSI 互连结构, 使用空气隙同使用介电常数为 4.1 的 HDP SiO_2 作间隙填充相比, 电容可减小 40 %, 同使用均匀 low-k 材料(例如有机聚合物)得到的电容减小相当, 其有效介电常数 K_{eff}, 用空气隙为 2.47, 层间和线间都用 HDP SiO_2 的为 4.1, K_{eff} 减小了约 40 %, 同使用 $K_{eff} \approx 2.5$ 的均匀 low-k 材料对线间电容及总电容的影响完全相当. 这里 K_{eff} 定义为总几何电容的模似值除以在空气中(或真空中)金属几何电容的模似值.

空气隙可用已有的等离子体增强 CVD, 高密度淀积 CVD 等 CVD SiO_2 工艺在淀积 SiO_2 时形成, 空气隙形成后, 层间

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

SiO_2 介质层结构保持完整,因为制得的空气隙不需要新材料及新的腐蚀和 CMP 方法,工艺温度也不需要降低,因而集成工艺较简单,比其他全新的 low-k 材料,例如前面介绍过的有机聚合物容易形成.

美国 Stanord 大学及 Texas Instruments 公司对空气隙的热和电迁移的可靠性作了研究[10]. 他们对一个五金属层互连系统作了热性能模拟,模拟指出:虽然空气的热导率(=0.024W/K·m)远小于 SiO_2 的热导率(=1.2W/K·m),但在所有五层金属线都通电流时,均匀 SiO_2 互连层结构相对于硅衬底温度上升 4.9K,而具有空气隙的温度上升 5.2K,两者有相当的热特性,都有好的热稳定性. 他们进行的初步实验指出:具有空气隙结构的漏电与用 HDP SiO_2 作间隙填充结构的漏电量级相同,都可以忽略. 统计得到的空气隙互连结构样品的寿命与均匀 HDP-CVD SiO_2 互连结构及均匀 HSQ 互连结构几乎相同.

空气隙在工艺集成和可靠性方面值得注意的问题是:(1)在 CMP 时或 via 腐蚀时存在空气隙被打开的可能性,为了减小这种可能性,前者可用限制空气隙在金属线以上的扩伸来实现,后者可用减小在金属线端接近于 via 处的空气隙来实现. 日本 Matsushita 公司用先作 vias,再形成空气隙的工艺,来防止由腐蚀 vias 引起空气隙的被打开[13]. (2)空气隙形成时,金属线内壁和空气隙间有一层 SiO_2 边墙(side wall),这层边墙若太厚,则将使 K_{eff} 增加,从而使电容增加,若太薄则将不能有效地防止由金属线间形成的电迁移引起的边界突出(side-extrusions),因此需要优化设计边墙的厚度,使性能和可靠性即减小电容和不减小可靠性间实现折中.

发展新的形成空气隙的方法,进一步减小线间电容以及增加可靠性的研究开发工作正在进行中,台湾交通大学 K. M. Chang 等人发表了一种利用 HSQ 的液态特性及它在金属线和 polyimide 之间的高度选择性吸附作用形成空气隙的新的工艺方法. 用这种方法制得的空气隙互连结构与用 PECVD SiO_2 的互连结构相比,漏电流小,线间寄生电容 34fF/mm 降到 8.4fF/mm(测试结构为 0.7μm/0.5μm-间隔/线宽),电容减小了 75%. 这种方法已申请专利. 利用这种方法的自动化装置正在开发中[15]

3　结论

(1)根据美国半导体工业协会 1997 年发布的美国国家半导体技术发展目标中规定[16]:为 0.18μm 工艺,需 $k = 2.5 \sim 3.0$ 的低介电常数材料,为 0.15μm 工艺,需 $k = 2.0 \sim 2.5$,为 ≤0.13μm 工艺,需 $k < 2.0$,这样除 SiOF 处,前面介绍的几种 low-k 介质,可分别满足 ≤0.18μm 各代工艺发展的需求.

(2)除介电常数外,上面介绍的几种介质材料,其介质的膜特性(主要是热稳定性,机械强度,同其他器件的粘合性等)及与器件的集成(主要是间隙填充能力,同器件的金属化工艺,后段工艺,如 CMP,阻挡层淀积 Al 或 Cu 等金属填充,via 及 plug 的形成等兼容、集成的能力虽不是全部,但是大部分都已符合应用于 ULSI 的要求,已为 low-k 材料正式实用于 ULSI 的大规模生产奠定了极坚实的基础.

(3)适用于不同工艺代介电常数要求的 low-k 介质,一般都有多种材料可供选择,经历竞争选用后的材料,将会最佳地满足 ULSI 发展的要求.

作者简介:



阮　刚　教授,博士生导师,上海电子学会副理事长. 1960 年研制成功我国第一批锗固体电路. 已在国内外发表学术论文近 200 篇,译著 4 本. 目前从事 VLSI/ULSI 工艺、器件及电路的模型和模拟研究以及半导体新器件的物理研究.



肖　夏　1989 年～1993 年在天津师范大学物理专业获学士学位. 1993 年～1996 年在天津师范大学凝聚态物理专业获硕士学位. 1997 年至今为开姆尼茨技术大学(德国)微电子专业博士研究生. 目前进行 VLSI 电路的互连研究.

参考文献:

[1] M. Bohr. Interconnect scaling-the real limiter to hingh performance ULSI [J]. IEEE IEDM Tech. Dig. ,1995:241 - 244.

[2] R. Singh, R. K. Ulrich. High and low dielectric constant materials. The Electrochemical Society INTERFACE. Summer 1999, 8(2):26 - 30.

[3] Handbook of Semiconductor Interconnection Technology [M]. edited by G. C. Schwartz, K. V. Srikrishman and A. Bross, Marcel Dekker, Inc., 1998, 287.

[4] Ed Korczynski. Low-k dielectric costs for dual-damascene integration [J]. Solid State Technology, May 1999, 43 - 51.

[5] S. Qin, Y. Z. Zhou, C. Chan and P. K. Chu. Fabrication of low dielectric constant materials for ULSI multilevel interconnection by plasma ion implantation [J]. IEEE Electron Device Letters, November 1998, 19. (11):420 - 422.

[6] T. Batchalder, W. Cai, J. Bremmer and D. Gray. In-line cure of SOD low-k films [J]. Solid State Technology, March 1999, 29 - 34.

[7] L. Peters. Pursuing the perfect low-k dielectric [J]. Semoconductor International, September 1998, 64 - 74.

[8] R. Sharang pani, R. Sing. A computerized direct liquid injection, rapid isothermal processing assisted chemical vapor deposition system for a Teflon amorphous fluoropolymer [J]. Rev. Sci. Instrum., March 1997, 68(3):1564 - 1570.

[9] C. Jin, J. K. Luttmer, D. M. Smith and T. A. Romos. Nanoporous silica as an ultra low-k dielectric [J]. MRS Bulletin, October 1997, 39 - 42.

[10] B. Shieh, K. Saraswat, M. Deal and J. McVittie. Air gap lower k of interconnect dielectrics [J]. Solid State Technology, February 1999, 51 - 58.

(下转第 95 页)

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

作,一方面根据有效折射率法,湿法刻蚀可以在弱限制的范围内较大程度地调整 n_0 以达到我们需要的值,另一方面湿法刻蚀的成本低,而且可以克服深腐蚀波导造成的工艺损耗较大的缺点. 湿法刻蚀的不足是形成明显的梯形横截面脊波导,在一定程度上影响器件的尺寸,尤其是对于较敏感的 SIE 区宽度 W. 这个问题可以通过将腐蚀后的波导等效为稍宽的三层波导来解决且精度相当令人满意[5].



图 3　优化的弱限制 MMI 功分器灰度模拟图

4　结论

本文通过对 MMI 型光功分器 SIE 干涉区内导模的精确数值计算和对输出波导位置的优化,比较了强限制和弱限制两种情况,首次证明在一定条件的弱限制下器件的插入损耗和输出均匀度均超过强限制的情况,说明 MMI 型光功分器的制作可以采用方便的湿法刻蚀,并且采用文[5]的方法可以很好地解决湿法刻蚀形成的梯形截面问题,大大提高器件的精度.

参考文献:

[1] 杨建义,周强,王明华. GaAs1 ×4 光功分器的制作 [J]. 光电子·激光,1999,10(3):203 - 206.

[2] R. Ulrich, G. Ankele, Self - imaging in homogeneous planar optical waveguides [J]. Appl. Phys. Lett., 1975, 27(6): 337 - 339.

[3] R. Ulrich, Light-propagation and imaging in planar optical waveguides [J]. Nouv. Rev. Optique., 1975, 6(5): 253 - 262.

[4] 孙一翎,杨建义,王明华. GaAs 单模 1 ×4 光功分器的设计 [J]. 光子学报,1997,26(Z1):257 - 261.

[5] 尹锐,杨建义,王明华. 梯形截面脊波导的特性分析 [J]. 光学学报,2000,已录用

作者简介:



尹　锐　1974 年出生,1994 年完成浙江大学混合班两年培养计划,1996 年毕业于浙江大学信息与电子工程学系半导体器件与微电子学专业,1996 年起在该校同一专业攻读硕博一贯制博士学位.

杨建义　1969 年出生,1996 年获浙江大学信息与电子工程学系半导体器件与微电子学专业博士学位,现为浙江大学副教授. 主要从事集成光器件及 MEMS、MOEMS 研究.

(上接第 87 页)

[11] S. P. Jeng, R. H. Havemann, M. Chang. Process intergration and manufacturability issues for high performance multilevel interconnect [C]. Proc. Mater. Res. Soc. Symp., 1994, 25 - 31.

[12] G. Ruan, X. Xiao, R. Streiter, et al. A compact analytic equation for estimating the temperature distribution in the imterconnect system of ULSI system. to be published.

[13] T. Ueda, et al. Anovel air gap intergration scheme for multi-level interconnects using self aligned via plugs [J]. Symp. on VLSI Technology, June 1998, 46 - 47.

[14] B. Shied, K. C. Saraswat, J. P. McVittie, et al. Air gap formation during IMD deposition to Lower interconnect capcaitance [J]. IEEE Electron Device Letters, January 1998, 19(1): 16 - 18.

[15] K. M. Chang, J. Y. Yang and L. W. Chen. A movel technology to form air gap for ULSI application [J]. IEEE Electron Device Letters, April 1999, 20(4): 185 - 187.

[16] The National Technology Roadmap for Semiconductors [S]. Semiconductor Industry Association, San Joes, CA, 1997.

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net