

薄 SiO₂ 层击穿特性与临界陷阱密度

林立谨, 张 敏

(中科院上海冶金研究所微电子学分部——上海微电子研究开发基地, 上海 200233)

摘 要: 薄栅氧化层的退化、击穿与氧化层中和界面陷阱的产生相关. 本文研究了在恒电流 TDDB (Time-Dependent Dielectric Breakdown) 应力条件下 8.9nm 薄氧化层的电学特性退化、击穿情况. 研究表明, 电子在穿越 SiO₂ 晶格时与晶格相互作用产生陷阱, 当陷阱密度达到某一临界密度 N_{bd} 时, 氧化层就击穿. N_{bd} 可以用来表征氧化层的质量, 与测试电流密度无关. 击穿电量 Q_{bd} 随测试电流密度增大而减小可用陷阱产生速率的增长解释. 临界陷阱密度 N_{bd} 随测试 MOS 电容面积增大而减小, 这与统计理论相符. 统计分析表明, 对于所研究的薄氧化层, 可看作由面积为 $2.56 \times 10^{-14} \text{ cm}^2$ 的“元胞”构成, 当个别“元胞”中陷阱数目达到 13 个时, 电子可通过陷阱直接隧穿, “元胞”内电流突然增大, 产生大量焦耳热, 形成欧姆通道, 氧化层击穿.

关键词: 薄栅氧化层; 陷阱; 击穿电量; 临界陷阱密度; “元胞”

中图分类号: TN304 **文献标识码:** A **文章编号:** 0372-2112 (2000) 08-0059-04

The Breakdown Character of Thin Oxide Film and Critical Trap Density

LIN Li-jin, ZHANG Min

(Microelectronics Branch, Shanghai Institute of Metallurgy, Chinese Academy of Sciences, Shanghai 200233, Chian)

Abstract: The degradation and breakdown of thin gate oxide film are related with the generation of traps in oxide layer. In this work, the electric characteristics of 8.9nm thin oxide film have been studied using TDDB (Time-Dependent Dielectric Breakdown) measurement method. In stress experiments, part of the kinetic energy of the injected electrons is dissipated by interaction with SiO₂ lattice and converted into some sort of defects in oxide film that behave as traps. When the density of traps reaches a critical density N_{bd} , the thin oxide film breaks down. N_{bd} decreases as the area of test MOS capacitor increases. This phenomenon can be explained using statistic theory. N_{bd} can be used as an oxide quality parameter.

Key words: Thin film oxide; TDDB; critical trap density N_{bd} ; trap; charge to breakdown

1 引言

随着集成电路工业的发展,器件的特征尺寸不断缩小,作为栅介质层的 SiO₂ 薄膜厚度也随之减小,热载流子效应越来越明显,直接影响到器件的成品率、电学性能和使用寿命. 作为一个重要课题,薄氧化层失效、击穿机理的研究一直为国内外有关研究者所重视.

我们运用恒电流 TDDB 测试方法对 8.9nm 栅氧化层进行研究,结果表明氧化层的退化、击穿可以用电子陷阱的产生来解释. 在应力条件下,氧化层体内产生晶格缺陷,表现为电子陷阱,当陷阱密度达到某一临界密度 N_{bd} 时,氧化层就击穿. N_{bd} 与电子在穿越晶格时的最小自由程相关,而与应力大小无关,可用于表征氧化层工艺质量.

2 氧化层击穿机理

在半导体集成电路发展的早期,栅氧化层厚度在 30nm 以上,这种厚栅介质的击穿是由碰撞电离引起. 对于厚度小于

30nm 的栅氧化层击穿机理的研究开展较晚. Harari 等人认为^[1]氧化层在电场作用下产生电子陷阱,电子被陷阱俘获,逐渐积累的负电荷使得阳极场强不断增大. 当场强增大到某一临界值时,氧化层被击穿. C. Hu^[2]等人认为在阴极存在一种正反馈机制,使得阴极场强局域增强;电子碰撞电离产生电子-空穴对,产生的空穴部分被阴极俘获使阴极场强增大. 当场强增大到一定程度时,发生雪崩击穿.

在动态平衡模型^[3]的基础上,提出触发击穿的临界陷阱密度概念 N_{bd} ^[4]. 在应力实验中,部分注入电子的动能在与 SiO₂ 晶格的相互作用中被散射. 这部分能量中有极小的一部分转化为 SiO₂ 结构中的某种缺陷,并表现为电子陷阱. 当所产生的缺陷达到临界密度 N_{bd} 时,氧化层就被击穿.

介质的击穿可看作一种随机现象,具有以下几个统计特征:

(1) 击穿是一种局域现象. 早期的自恢复技术 (self-healing technique) 电学测量可用 SEM 图像直接观察击穿点存在.

收稿日期:1999-04-23;修回日期:2000-02-16

基金项目:上海-AM 研究与发展基金资助

(2) 符合 Weibull 失效分布, 即实验得到的 $\ln[-\ln\{1-F(x)\}]$ 与变量 x 有线性关系, x 为随机变量, 如击穿时间 t_{bd} 、击穿电量 Q_{bd} 、击穿场强 E_{bd} 等物理量, $F(x)$ 为累计失效率。

(3) 测试中出现两种不同的击穿: 低场强 (或短时间) 时与工艺缺陷相关的击穿以及高场强 (或长时间) 时的本征击穿。实测 Weibull 分布图可以看到由两条不同斜率的直线组成, 每条直线对应一种击穿机制。

尽管实验上发现了正电荷的产生与击穿之间的某些联系, 但产生的正电荷量在应力实验开始后极短时间内就达到了饱和。与之相比, 氧化层击穿所需时间则要长得多。与之对应的是, 新的电子陷阱的产生和填充则从应力实验开始直至击穿的整个过程都在不断进行着, 并且不出现类似空穴陷阱的饱和现象。因此用正电荷的产生来解释薄氧化层的击穿具有一定的局限性。同时, 在本实验中发现所研究的 8.9nm 薄氧化层击穿电场可高达 30MV/cm, 而一般报道击穿发生时氧化层中平均场强则小于 15MV/cm, 因此无法用阴极或阳极场强增大来解释薄氧化层的击穿。

本文在对 8.9nm 薄氧化层进行恒电流 TDDB 测试的基础上, 探讨薄氧化层中电子陷阱的产生、分布与电流应力和测试电容面积间的函数关系, 并对氧化层中陷阱触发最终击穿的过程作了细致的研究。

3 样品制备及实验说明

实验所用样品为制作在 n 型 (100) 硅衬底上的 MOS 电容,

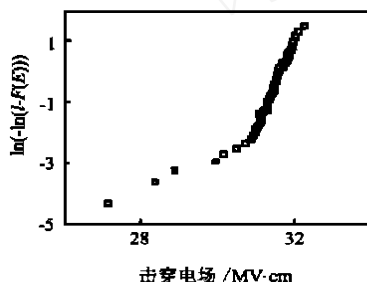


图1 击穿电场 E_{bd} 分布图

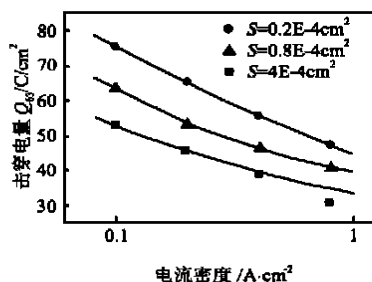


图2 Q_{63} 与测试电流密度 J 的关系

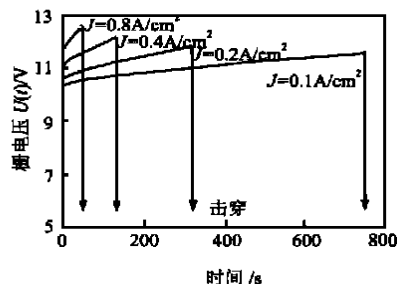


图3 栅压随时间变化图

图2 给出恒电流 TDDB 测试时, 三种面积 S 不同的 MOS 电容累计失效率为 63 % 时的 Q_{bd} (Q_{63}) 与电流密度 J 的关系图。

4.1 缺陷密度与应力电流密度关系

陷阱产生速率与场强 E 和电流密度 J 有以下关系^[5]:

$$\partial N / \partial t = (E) (J / q) \quad (1)$$

其中 (E) 为与场强相关的量, 可近似写成 $A_1 \exp(E / B_1)$, $A_1 = 1.26 \times 10^{-3} \text{ cm}^{-1}$, $B_1 = 2.5 \times 10^6 \text{ V/cm}$ 为常数。

假设陷阱的产生是随机的, 且产生速率与栅介质中已产生的陷阱数量无关。那么, 在恒电流 TDDB 测试条件下, 陷阱产生速率只与注入电极 (阴极) 处的场强 E_{cat} 和电流密度 J 相关, 即 $(E) = (E_{cat})$, 由方程 (1) 可得:

$$N(t) = \int_0^t (E_{cat}) \frac{J}{q} dt = \frac{A_1 J t}{q} \exp\left[\frac{E_{cat}}{B_1}\right] \quad (2)$$

E_{cat} 可由 $F-N$ 隧穿机制得到:

栅氧化层是按照 EEPROM 隧道氧化工艺制作的, 硅片的电阻率为 $4 \sim 7 \text{ } \Omega\cdot\text{cm}$ 。预栅氧厚度为 35nm, 实际漂洗厚度 50nm, 栅氧化层厚度 8.9nm。LPCVD 淀积多晶硅, n+ 掺杂后, 等离子体刻蚀形成多晶硅电极。

实验中, 我们采用了恒电流 TDDB 测试方法, 分别比较研究了三种不同面积的 MOS 电容在不同测试电流密度下击穿电量 Q_{bd} 和栅压变化情况, 并研究了陷阱统计分布模型中的面积效应。

测量中, 对每种面积的 MOS 电容, 在四种测试电流密度下各进行 80 个样品的击穿, 由此得到不同面积、不同测试电流 MOS 电容击穿电量的 Weibull 分布, 并选取累计失效率为 63 % 时的击穿电量 Q_{63} 作为我们比较时所用的典型参数。击穿电量 Q_{bd} 由击穿时间 t_{bd} 与外加电流密度 J 相乘得到, 即 $Q_{bd} = J \cdot t_{bd}$ 。

选取累计失效率为 63 % 时的测试参数作为我们比较时所用的典型参数, 是因为绝大部分器件的失效击穿时间都处在累计失效率为 63 % 击穿时间 t_{63} 附近。累计失效率为 63 % 时的测试参数不受前期失效的影响, 与累计失效率为 100 % 时的测试参数接近, 偶然性也小。

4 实验结果及讨论

图1 给出了击穿电场 E_{bd} 的 Weibull 分布结果。测试所用电容面积为 $4 \times 10^{-4} \text{ cm}^2$ 。由图中可以看到击穿电场 E_{bd} 大于 30MV/cm, 说明氧化层质量很好。

$$J(t) = K_1 E_{cat}^2(t) \exp\left[-K_2 / E_{cat}(t)\right] \quad (3)$$

其中 $K_1 = 9.92 \times 10^{-7} \text{ A V}^{-2}$, $K_2 = 2.635 \times 10^8 \text{ V cm}^{-1/6}$ 。在未加电流应力前, 氧化层中无缺陷, 那么 $E_{cat} = E(0)$, 其中 $E(0) = U(0) / d_{ox}$, $U(0)$ 为初始栅压, d_{ox} 为氧化层厚度。因此:

$$N(t_{bd}) = \frac{A_1}{q} \exp\left[\frac{E(0)}{B_1}\right] \cdot J \cdot t_{bd} \quad (4)$$

$$Q_{bd} = J \cdot t_{bd} = \frac{q}{A_1} \exp\left[-\frac{E(0)}{B_1}\right] \cdot N(t_{bd}) \quad (5)$$

实际上, 在恒电流 TDDB 测试条件下, 为补偿被俘获电子形成的内建电场的影响, 所加栅压必需不断增加^[1,3]。陷阱的占据态可表示为 $P(E) = A_2 \exp(-E / B_2)$ ^[3]。因此, 距阴极距离为 x 的地方场强 $E(x)$ 可表示为:

$$E(x, t) = E(0) - \frac{x}{\alpha} \frac{(x, t) dx}{\alpha} = E(0) + \frac{x}{\alpha} \frac{q N(t) P[E(x, t)]}{\alpha} \quad (6)$$

解方程(6)可得:

$$E(x, t) = E(0) + B_2 \ln \left[1 + \frac{A_2 q N(t)}{B_2 \alpha} \exp \left(- \frac{E(0)}{B_2} \right) \cdot x \right] \quad (7)$$

令 $C = \frac{A_1 A_2}{B_2 \alpha} \exp \left(\frac{E(0)}{B_1} - \frac{E(0)}{B_2} \right)$, 得栅压

$$U(t) = \frac{d_{ox}}{\alpha} E(x, t) dx$$

$$= U_0 + B_2 d_{ox} \left\{ \ln[1 + C t d_{ox}] - 1 + \frac{1}{C t d_{ox}} \ln[1 + C t d_{ox}] \right\} \quad (8)$$

其中 $U_0 = E(0) d_{ox}$ 为初始栅压. 由方程(8)可知: $dU/dt > 0$, $d^2 U/dt^2 < 0$, 即随时间的增长, 栅压应不断增加, 但增长趋势则趋于缓慢, 这与实验所得一致(见图 3).

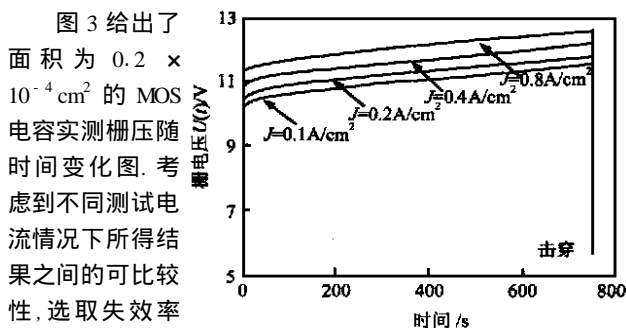


图 3 给出了面积为 $0.2 \times 10^{-4} \text{ cm}^2$ 的 MOS 电容实测栅压随时间变化图. 考虑到不同测试电流情况下所得结果之间的可比较性, 选取失效率为 63% 时的 MOS 电容的栅压作为比较时所用的典型参数. 作变换 $t \rightarrow t_J \cdot t_{63}(J=0.1)/t_{63}(J)$, 得归一化后的栅压变化图(见图 4). 由图 4 可以看到, 不同电流密度下栅压的变化趋势和幅度是一致的, 这说明陷阱的产生和填充也是一致的, 相同面积的栅氧化层临界陷阱密度 N_{bd} 相同.

图 4 归一化栅压随时间变化图

实验测得电容面积为 $0.2 \times 10^{-4} \text{ cm}^2$, 测试电流由 0.1 A/cm^2 增至 0.8 A/cm^2 时起始栅电压变化 $U = 1.04 \text{ V}$, 得 $E = 1.2 \times 10^6 \text{ Vcm}^{-1}$. 由 $F-N$ 隧穿机制可知, 相应电流密度的 E_{crit} 变化约为 $1.2 \times 10^6 \text{ Vcm}^{-1}$, 与实验所得相同. 因此:

$$\frac{Q_{bd}(J=0.1)}{Q_{bd}(J=0.8)} = \exp \left[\frac{1.2 \times 10^6}{2.5 \times 10^6} \right] = 1.62$$

实验测得:

表 1 $Q_{63}(J=0.1)/Q_{63}(J=0.8)$ 实验值

电容面积(cm^2)	$Q_{63}(J=0.1)/Q_{63}(J=0.8)$
0.2×10^{-4}	1.61
0.8×10^{-4}	1.58
4×10^{-4}	1.71

实验值与理论值相吻合. 这说明临界陷阱密度 N_{bd} 的概念是可信的, 它只与氧化层的质量相关, 而与外加应力无关, 这样利用方程(3)可计算得到 $N(Q_{63})$.

4.2 临界陷阱密度与测试电容面积关系

选取 $J = 0.1 \text{ A/cm}^2$ 时 Q_{63} , 已知 $A_1, B_1, E(0)$, 由方程(3)计算得到 $N(Q_{63})$ 的实验值(见表 2). 由表 2 可以看到, 随测试 MOS 电容面积的增大, 测得的临界陷阱密度 N_{bd} 减小, 这可以由陷阱统计分析来解释.

表 2 不同面积 MOS 电容 $N(Q_{63})$ 对照表

电容面积(cm^2)	$N(Q_{63}) (10^{19} \text{ cm}^{-3})$	
	实验值	理论值
0.2×10^{-4}	5.58	5.63
0.8×10^{-4}	4.82	5.02
4×10^{-4}	3.98	4.39

总面积为 S_T 的电容可以视作由 M 个面积为 S_0 的“元胞”组成(见图 5). 当这些“元胞”中某一“元胞”中陷阱的数目达到某一定值时, 触发局域击穿. 假设缺陷是随机产生的, 且产生速率与栅介质已达到的退化程度无关. 在一个“元胞”中有 n 个缺陷的可能性可由泊松(Poisson)分布律给出(这里 M 的量级一般都大于 10^6): $P(n, N) = \frac{(NS_0 d_{ox})^n \exp(-NS_0 d_{ox})}{n!}$, 式中 $N = \bar{n}/S_0 d_{ox}$ (\bar{n} 为各“元胞”中的平均缺陷数目). 当 n 达到 n_{bd} 时“元胞”就被击穿, 由此可以得到累计失效分布:

$$F(N) = 1 - \left\{ \sum_{n=0}^{n_{bd}-1} \frac{(NS_0 d_{ox})^n \exp(-NS_0 d_{ox})}{n!} \right\}^M \quad (9)$$

此分布只与 S_0 和 n_{bd} 相关. 若以 $\ln(N)$ 为随机变量计算 $\ln[1 - F(N)]$, 可将式(8)表达为:

$$\ln[1 - F(N)] = \ln S_T + \ln \left[N d_{ox} - \frac{1}{S_0} \ln \left\{ \sum_{n=0}^{n_{bd}-1} \frac{(S_0 d_{ox} N)^n}{n!} \right\} \right] \quad (10)$$

由于 S_0 与 n_{bd} 可能只与氧化层质量及厚度相关, 对于工艺完全相同的氧化层, S_0 与 n_{bd} 相同. 因此对于同一氧化层其失效率 $F(N)$ 与面积的关系完全由 $\ln S_T$ 项给出. 随着面积的增大, 元胞的数目 M 增加, 由表达式(8)可知, 对于相同的陷阱密度, 累计失效率随 M 增大而上升. 即对于相同的失效率(以本文中 63% 为例), 随着测试 MOS 电容面积的增大, 击穿时所达到的陷阱密度 N_{bd} 减小. 这与实验所得结果一致.

对于所研究 8.9nm 薄氧化层, 当选取参数: $S_0 = 2.56 \times 10^{-14} \text{ cm}^2$, $n_{bd} = 13$ 时, 利用表达式(10), 取 $F(N) = 63\%$, 计算得 $N(Q_{63})$ 理论值(见表 2). 由表 2 可以看到, 在误差范围内实验值和理论值符合得很好. 将计算得到的 $N(Q_{63})$ 代入方程(4)模拟 Q_{63} 随测试电流密度变化, 与实验吻合得很好(见图 2).

若“元胞”内陷阱均匀分布, $S_0 = 2.56 \times 10^{-14} \text{ cm}^2$, $t_{ox} = 8.9 \text{ nm}$, $n_{bd} = 13$, 也就是说陷阱之间的间距约为 12 \AA , 与电子在氧化层中的最小自由程(电子与氧化层晶格相邻两次碰撞间电子走过的路程)同一量级^[7]. 在这种情况下, 电子可以不经过晶格碰撞, 直接在陷阱间“跃迁”. 宏观表现为电阻突然降低, 电流剧增, 短时间内产生大量焦耳热, 引发“欧姆”通道, 氧化层被击穿.

5 结论

薄氧化层的退化、击穿与氧化层中和界面电子陷阱的产

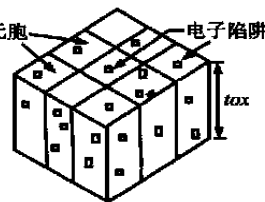


图 5 缺陷产生模型示意图

生密切相关. 本文在运用恒电流 TDDb 应力实验对 8.9nm 薄氧化层的电学特性退化、击穿研究的基础上, 对陷阱的产生和分布作了探讨. 研究表明, 临界密度 N_{bd} 和“元胞”的概念是可信的. 统计分析显示, 对所研究的薄氧化层, 可看作由面积为 $2.56 \times 10^{-14} \text{cm}^2$ 的“元胞”构成, 当个别“元胞”中陷阱数目达到 13 个时, 氧化层中陷阱之间的间距小于 12\AA . 这种情况下, 电子可以不经晶格碰撞, 直接在陷阱间“跃迁”. 宏观表现为电阻突然降低, 电流剧增, 短时间内产生大量焦耳热, 引发“欧姆”通道, 氧化层被击穿.

参考文献:

- [1] E. Harari. Dielectric breakdown in electrically stressed thin films of thermal SiO_2 [J]. Appl. Phys., 1978, 49:2478 - 2489.
- [2] I. C. Chen, S. Holland and C. Hu. Electrical breakdown in thin gate and tunneling oxides [J]. IEEE Trans. Electron Devices, 1985, 32:413 - 422.
- [3] Y. Nissan-Cohen, J. Shappir and D. Frohman-Bentchkowsky. Dynamic model of trapping-detrapping in SiO_2 [J]. Appl. Phys., 1985, 58:2252 - 2261.
- [4] J. Suñé, I. Placencia, N. Barniol, E. Farris and X. Aymerich. On the breakdown statistics of very thin SiO_2 films [J]. Thin Solid Films, 1990, 185:347 - 362.
- [5] Y. Nissan-Cohen, J. Shappir and D. Frohman-Bentchkowsky. Trap generation and occupation dynamics in SiO_2 under charge injection stress [J]. Appl. Phys., 1986, 60:2024 - 2035.
- [6] Z. A. Weinberg. On tunneling in metal-oxide-silicon structures [J]. Appl. Phys., 1982, 53:5052 - 5056.
- [7] M. V. Fischetti, D. J. DiMaria, S. D. Brorson, T. N. Theis and J. R. Kirtley. Theory of high field electron transport in silicon dioxide [J]. Phys. Rev. B, 1985, 31:8124 - 8142.

作者简介:

林立谨 1972 年生, 1995 年在北京大学获物理学学士学位. 同年保送中科院上海冶金所攻读硕士学位, 并于 1998 年获微电子学硕士学位, 毕业后留所工作.

张敏 中国科学院上海冶金研究所研究员, 博士生导师, 主持完成了多项国家重点科技攻关任务. 主要研究领域: 集成电路制造技术, 器件结构与工艺优化设计, 信息数字化处理和专用集成电路设计.