

对异型硅岛实现的厚膜全耗尽 SOI MOSFET 的模拟研究

杨胜齐, 何 进, 黄 如, 张 兴

(北京大学微电子学研究所, 北京 100871)

摘 要: 本文提出了用异型硅岛实现的厚膜全耗尽 (FD) SOI MOSFET 的新结构, 并分析了其性能与结构参数的关系. 通过在厚膜 SOI MOSFET 靠近背栅的界面形成一个相反掺杂的硅岛, 从而使得厚膜 SOI MOSFET 变成全耗尽器件. 二维模拟显示, 通过对异型硅岛的宽度、厚度、掺杂浓度以及在沟道中位置的分析与设计, 厚膜 SOI MOSFET 不仅实现了全耗尽, 从而克服了其固有的 Kink 效应, 而且驱动电流也大大增加, 器件速度明显提高, 同时短沟性能也得到改善. 模拟结果证明: 优化的异型硅岛应该位于硅膜的底部中央处, 整个宽度约为沟道长度的五分之三, 厚度大约等于硅膜厚度的一半, 掺杂浓度只要高出硅膜的掺杂浓度即可. 重要的是, 异型硅岛的设计允许其厚度、宽度、掺杂浓度以及位置的较大波动. 可以看出, 异型硅岛实现的厚膜全耗尽 SOI MOSFET 为厚膜 SOI 器件提供了一个更广阔的设计空间.

关键词: 异型硅岛; 厚膜全耗尽 SOI; Kink 效应

中图分类号: TN305 **文献标识码:** A **文章编号:** 0372-2112 (2002) 11-1605-04

The Simulation Analysis of Thick Film Fully Depleted SOI MOSFET Implemented by Anti-Doped Silicon Island

YANG Sheng-qi, HE Jin, HUANG Ru, ZHANG Xing

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: A novel structure, which is implemented by anti-doped silicon island to realize fully depletion in thick film SOI MOSFET, is proposed in this paper and the relationship between its performance and structure key parameters is analyzed. The thick film SOI MOSFET can be fully depleted under normal operating condition, if there is an anti-doped silicon island near the back gate in the channel. Two-dimensional (2-D) numerical simulations have proved that through some optimizations of the width, the height, the doping concentration and the position in the channel of the anti-doped silicon island, thick film SOI MOSFET can achieve fully depleted channel which means no KINK effects, and more driving current resulting in high speed, while it suppresses the SCEs effectively. The simulation results show that: optimized anti-doped silicon island should be positioned in the center of the channel near the back gate, and its width is three fifth of the channel length with height half of the thickness of silicon film, while its doping concentration keeps higher than that of the substrate. Most importantly, this novel structure shows excellent tolerance of the fluctuation of the width, height, position and doping concentration. It can be seen that this thick-film FD SOI MOSFET will be one of the promising structures in design of thick film SOI MOSFET devices.

Key words: anti-doped silicon island; thick film fully depleted SOI; Kink effect

1 引言

SOI (Silicon-on-Insulator) 技术经过二十多年的发展, 已经成为高速、低压低功耗集成电路的首选技术. 与体硅相比, SOI 技术有着不可比拟的优越性. 譬如, 寄生电容小、抗辐照性能好、抗寄生门锁效应等优点^[1]. 薄膜全耗尽 (FD) SOI 器件可以有效地降低短沟效应 (SCEs)、改善亚阈特性、提高器件的跨导. 然而薄膜 FDSOI 器件的阈值电压对硅膜厚度的变化非常

敏感^[2], 随着硅膜越来越薄, 对硅膜平整度的要求也越来越苛刻^[3], 这就使得材料制备的成本增加. 通常, 为了使器件实现全耗尽, 硅膜的掺杂浓度一般比较低, 这也限制了器件短沟特性的改进. 因此厚膜 SOI 器件被认为是未来 SOI 技术发展的趋势之一^[4]. 与薄膜器件相比, 厚膜器件可以消除阈值电压对硅膜厚度波动的敏感性; 与体硅器件相比, 厚膜器件的源漏结电容很小, 同时体效应亦被消除. 然而由于 SOI 所特有的浮体效应, 使得厚膜器件出现了所谓的 Kink 效应, 这一点大大限

收稿日期: 2001-12-20; 修回日期: 2002-03-13

基金项目: 国家重点基础研究专项基金 (No. G2000036501)

制了厚膜器件在模拟电路中的应用. 迄今为止, 还没有文献报道如何实现厚膜器件的全耗尽以消除 Kink 效应. 本文从基本的物理图象出发, 通过实现沟道内靠近背栅界面的异型硅岛, 利用其形成的结耗尽层, 从而实现厚膜器件的全耗尽.

2 器件结构

图 1(a) 示意了用异型硅岛实现的厚膜全耗尽 SOI MOSFET. 在该结构中, 通过向沟道内部注入形成一个异型的硅岛, 利用结耗尽层, 籍以实现厚膜的全耗尽. 为了描述该异型硅岛, 使用四个参数, 即异型硅岛的掺杂浓度 $Doping$ 、一半的宽度 W 、厚度 T 以及硅岛上表面中心位置坐标 $Sc(x, y)$. 利用

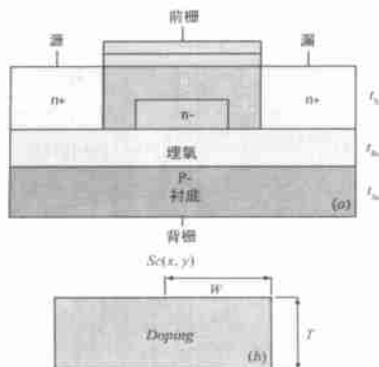


图 1 (a) 厚膜全耗尽 SOI MOSFET 示意图; (b) 异型硅岛示意图

二维模拟器 ISE, 我们对该结构与常规厚膜 SOI MOSFET 进行了比较. 在模拟中, 硅膜厚度为 $t_{si} = 0.4\mu\text{m}$, 沟道长度 $ChannelLength = 1\mu\text{m}$, 栅氧化层厚度 $t_{ox} = 20\text{nm}$, 源漏结掺杂 $1 \times 10^{20}\text{cm}^{-3}$, 硅膜掺杂浓度为 $FilmDoping = 1 \times 10^{17}\text{cm}^{-3}$, 埋氧厚度 $t_{box} = 0.2\mu\text{m}$, 衬底掺杂浓度为 $1 \times 10^{16}\text{cm}^{-3}$, 厚度 $t_{sub} = 0.3\mu\text{m}$. 新结构与常规厚膜器件的唯一不同之处就在于硅岛的存在.

考虑硅岛的宽度、厚度、掺杂浓度以及整体位置, 我们对厚膜全耗尽器件进行了优化. 优化的基本方向为: 消除 Kink 效应、驱动电流比较大、漏电流较小、击穿电压比较高、阈值漂移小以及短沟特性的改善.

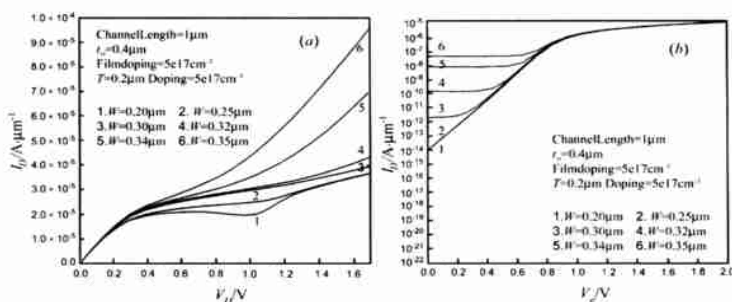


图 2 (a) 硅岛宽度对厚膜全耗尽器件输出特性的影响 (硅岛位于沟道底部中央如图 1(a) 所示); (b) 硅岛宽度对厚膜全耗尽器件转移特性的影响

3 结构优化: 异型硅岛结构参数对厚膜器件性能的影响

3.1 宽度的影响

为了研究硅岛位于沟道底部中央的情形下 (如图 1(a) 所示), 其宽度对厚膜器件沟道耗尽情况的影响, 取硅岛的厚度为 $T = 0.2\mu\text{m}$, 掺杂浓度为 $5 \times 10^{17}\text{cm}^{-3}$, 硅膜厚度为 $t_{si} = 0.4\mu\text{m}$, 其掺杂浓度则固定为 $FilmDoping = 1 \times 10^{17}\text{cm}^{-3}$. 沟道长度固定在 $ChannelLength = 1\mu\text{m}$, 通过模拟一个长沟厚膜器件, 来反映硅岛宽度对沟道耗尽情况的影响. 给定硅岛宽度的一系列变化, 图 2(a) 和 (b) 显示了硅岛宽度对器件输出特性以及转移特性的影响.

从图 2(a) 中可以看出, 当硅岛宽度增加到 $W = 0.25\mu\text{m}$ 时, 沟道内部已经变为全耗尽, 图中表现为 Kink 效应的消除. 当宽度不断增加时, 驱动电流进一步的增大. 宽度 $W = 0.30\mu\text{m}$ 是一个比较敏感的值, 当宽度大于 $0.3\mu\text{m}$ 时, 管子变得非常容易击穿. 其原因可以从图 2(b) 中得到解释. 图中曲线所用到的参数与图 (a) 相同. 可以看出, 当宽度大于 $0.3\mu\text{m}$ 后, 阈值电压发生显著漂移. 尽管由于硅岛的结耗尽层使得沟道内部全部耗尽, 但也正是由于这一点, 宽度的过大, 使得源端势垒受到较大影响, 势垒降低, 管子变得更容易开启. 阈值的变小, 使得过饱和电压 ($V_G - V_T$) 变大, 饱和驱动电流上升的很快, MOSFET 变得更加容易击穿.

综上所述可知, 理想的一半硅岛宽度 W 在 $0.25\mu\text{m}$ 到

$0.32\mu\text{m}$ 之间. 这种宽度可以使得厚膜全耗尽器件不仅可以消除 Kink 效应, 同时饱和驱动电流变大, 漏电流很小, 同时管子的击穿电压也较高.

3.2 厚度的影响

当硅岛位于底部中央位置处时, 其厚度的变化对于沟道能否完全耗尽有很大影响. 图 3(a), (b) 的曲线显示了硅岛厚度对厚膜器件的输出特性以及转移特性的影响. 模拟中采用的参数为: 硅膜厚度 $t_{si} = 0.4\mu\text{m}$, 掺杂浓度为 $1 \times 10^{17}\text{cm}^{-3}$,

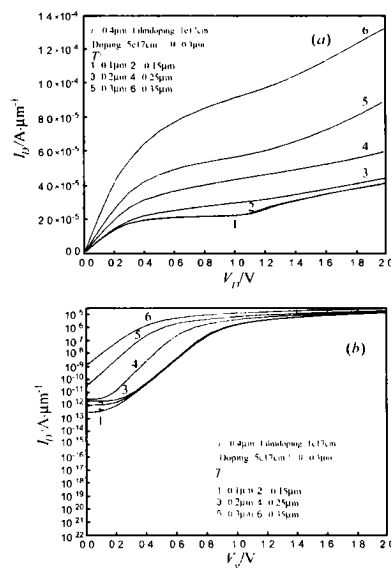


图 3 (a) 硅岛厚度对厚膜全耗尽器件输出特性的影响 (硅岛位于沟道底部中央如图 1(a) 所示); (b) 硅岛厚度对厚膜器件转移特性的影响 (硅岛位置与 (a) 相同)

异型硅岛的宽度 $W = 0.30\mu\text{m}$, 其掺杂浓度 $\text{Doping} = 5 \times 10^{17}\text{cm}^{-3}$, 硅岛厚度变化为 $T = 0.1\mu\text{m}, 0.15\mu\text{m}, 0.2\mu\text{m}, 0.25\mu\text{m}, 0.3\mu\text{m}, 0.35\mu\text{m}$, 沟道长度仍固定在 $\text{ChannelLength} = 1\mu\text{m}$.

从图 3 (a) 可以看出, 硅岛厚度不断变大, 直至 $T = 0.2\mu\text{m}$, 也即硅膜厚度的一半处, 输出曲线的 Kink 现象基本消除, 沟道内部实现了全耗尽. 当厚度进一步增加时, 饱和驱动电流则进一步增大, 尤其是当硅岛厚度从 $T = 0.3\mu\text{m}$ 变化到 $T = 0.35\mu\text{m}$ 时, 驱动电流增加的非常多. 但是由于硅岛的增厚, SOI MOSFET 饱和区与击穿区之间的电压宽度也逐渐变小, 管子变得易于击穿. 图 3 (b) 亦显示, 当厚度 $T = 0.25\mu\text{m}$ 时, SOI MOSFET 的阈值电压发生显著漂移. 厚度 $T = 0.3\mu\text{m}$ 时, 漏电流已经变得不能忽视. 此时, 源端势垒受异型硅岛的影响, 已经变得很低, 小的栅压就可以实现管子的开启. 在相同的栅压与漏压下, 硅岛增厚导致的势垒降低, 使得更多的源端载流子可以非常容易的越过势垒, 进入沟道, 从而形成很大的输出电流, 此即图 3 (a) 第 6 条曲线所显示的情况.

综合看来, 其它条件不变, 当异型硅岛的宽度 $W = 0.30\mu\text{m}$, 掺杂浓度 $\text{Doping} = 5 \times 10^{17}\text{cm}^{-3}$ 时, 硅岛厚度 T 的设计范围为: $0.18\mu\text{m}$ 到 $0.28\mu\text{m}$ 之间. 在此厚度范围内, 厚膜器件不仅可以实现 Kink 效应的消除, 而且可以较大的提高驱动能力, 同时漏电流比较小.

3.3 掺杂浓度的影响

当异型硅岛的掺杂浓度很低时, 硅岛对厚膜器件的特性基本没有影响, n^- 硅岛淹没在 p 型杂质的海洋中. 一旦硅岛的杂质浓度可以与硅膜的浓度相比较时, 厚膜器件特性就发生了显著的变化, 如图 4 (a), (b) 所示的厚膜器件特性随硅岛浓度的变化情况. 所有曲线的得到是基于以下参数: 硅膜厚度 $t_{\text{si}} = 0.4\mu\text{m}$, 掺杂浓度 $\text{FilmDoping} = 1 \times 10^{17}\text{cm}^{-3}$; 异型硅岛的宽度 $W = 0.3\mu\text{m}$, 其厚度为 $T = 0.2\mu\text{m}$, 掺杂浓度的变化范围为 $\text{Doping} = 1 \times 10^{16}\text{cm}^{-3}, 5 \times 10^{16}\text{cm}^{-3}, 1 \times 10^{17}\text{cm}^{-3}, 5 \times 10^{17}\text{cm}^{-3}, 1 \times 10^{18}\text{cm}^{-3}, 5 \times 10^{18}\text{cm}^{-3}$. 沟道长度固定为 $\text{ChannelLength} = 1\mu\text{m}$.

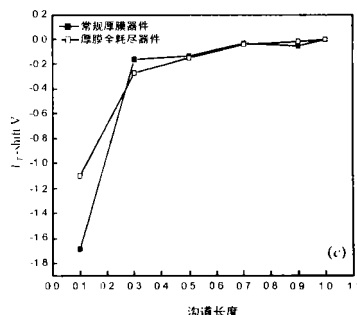
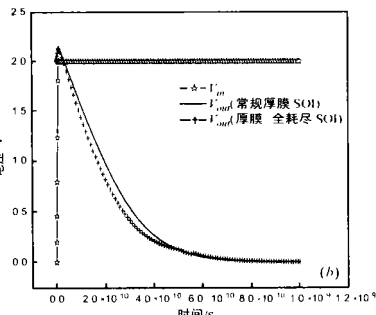
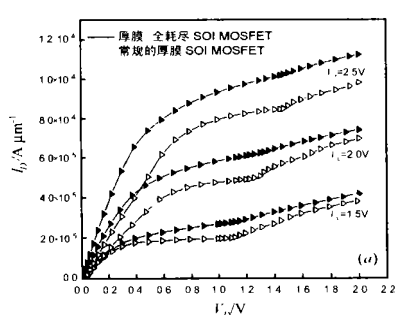


图 5 (a) 厚膜全耗尽 SOI MOSFET 优化结构与常规厚膜 SOI 器件的输出特性比较;

(b) 优化结构与常规结构构成的反相器速度特性的比较 (输入波形相同); (c) 短沟特性的比较

MOSFET 的输出特性. 其中, 硅膜厚度 $t_{\text{si}} = 0.4\mu\text{m}$, 掺杂浓度 $\text{FilmDoping} = 1 \times 10^{17}\text{cm}^{-3}$; 异型硅岛的宽度 $W = 0.30\mu\text{m}$, 其厚度为 $T = 0.20\mu\text{m}$, 掺杂浓度为 $\text{Doping} = 5 \times 10^{17}\text{cm}^{-3}$. 沟道长度为 $\text{ChannelLength} = 1\mu\text{m}$. 常规厚膜器件不同之处在于没有异型

图 4 (a) 显示, 只有硅岛的掺杂浓度 Doping 大于硅膜杂质浓度 $\text{FilmDoping} = 1 \times 10^{17}\text{cm}^{-3}$ 时, 异型硅岛才可以发生作用. 当硅岛浓度远大于 $1 \times 10^{17}\text{cm}^{-3}$ 时, 由于 PN 结的耗尽层, 帮助沟道内部实现进一步的耗尽. 浓度越高, 利用 PN 结原理可知, P 型结区的耗尽层展宽越多, 就越有利于厚膜器件沟道的全耗尽, 籍以消除 Kink 效应. 同时, 随着浓度的增大, 器件的驱动电流也逐渐增加. 但是由图 4 (b) 可知, 由于阈值漂移与漏电流的影响, 异型硅岛掺杂浓度所容忍的变化范围为: $1 \times 10^{17}\text{cm}^{-3}$ 到 $5 \times 10^{18}\text{cm}^{-3}$ 之间.

4 厚膜全耗尽 SOI MOSFET 优化结构的性能

进一步的二维模拟结果显示, 优化的异型硅岛应该位于硅膜的底部中央处, 如图 1 (a) 所示. 同时, 由以上讨论可知, 优化结构的宽度约为沟道长度的五分之三, 厚度大约等于硅膜厚度的一半, 掺杂浓度只要高出硅膜的掺杂浓度即可. 图 5 (a) 比较了在不同漏端电压下, 优化结构与常规的厚膜 SOI

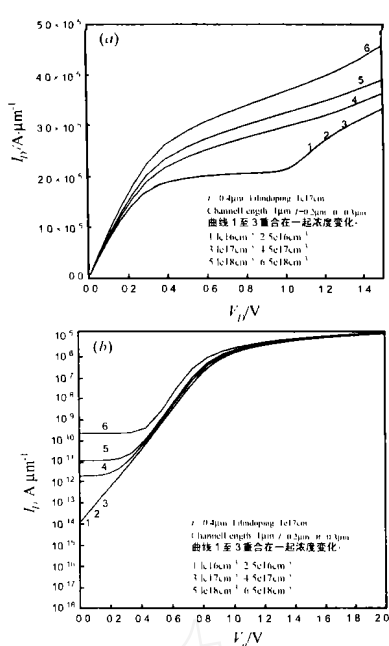


图 4 (a) 异型硅岛掺杂浓度对厚膜器件输出特性的影响 (硅岛位于沟道底部中央如图 1 (a) 所示); (b) 异型硅岛掺杂浓度对厚膜器件转移特性的影响

器件输出特性的影响 (硅岛位于沟道底部中央如图 1 (a) 所示); (b) 异型硅岛掺杂浓度对厚膜器件转移特性的影响

相器的速度特性.可以看出,在相同的输入波形下,厚膜全耗尽器件构成的反相器速度更快.与此同时,厚膜全耗尽器件也表现出了良好的按比例缩小特性.图 5(c) 比较了常规厚膜器件与优化结构的短沟效应.当沟道长度缩小到 $0.3\mu\text{m}$ 时,厚膜全耗尽器件的阈值电压漂移明显小于常规结构.所以,异型硅岛实现的厚膜全耗尽 SOI MOSFET 不失为 SOI 器件的一个较好的选择.

5 结论

本文讨论了用异型硅岛实现的厚膜全耗尽 SOI MOSFET. 通过用 ISE 进行模拟,比较分析了异型硅岛的宽度、厚度、掺杂浓度以及整体位置对厚膜器件的输出特性和转移特性的影响,从而找到了异型硅岛优化设计的区域. 结论证明:优化的异型硅岛应该位于硅膜的底部中央处,宽度约为沟道长度的五分之三,厚度大约等于硅膜厚度的一半,掺杂浓度只要高出硅膜的掺杂浓度即可. 并且,无论是异型硅岛的宽度、厚度以及掺杂浓度,都允许有较大的波动,这样就给器件的设计带来了很大的灵活度. 通过比较优化的厚膜全耗尽器件与常规厚膜 SOI MOSFET 可以看出,优化结构不仅驱动电流大大增加,器件速度明显加快,同时,短沟特性也得到了较大改善. 现在特征尺寸已经进入到深亚微米时代,同时 SOI 开始取代传统的体硅工艺,本文所讨论的厚膜全耗尽 SOI MOSFET 不失为一个很好的选择.

致谢 感谢何进博士提出的这个厚膜全耗尽 SOI 结构,以及

陈旭宁同学所做出的初步性工作.

参考文献:

- [1] J P Coling. Silicon on Insulator Technology: Materials to VLSI 2nd Edition [M]. Boston/ Dordrecht/ London: Kluwer Academic Publishers, 2000:1 - 5.
- [2] S Maeda et al. Suppression of delay time instability on frequency using field shield isolation technology for deep sub-micron SOI circuits[J]. IEDM Tech. Dig., 1996:129 - 132.
- [3] M J Sherony et al. Reduction of threshold voltage sensitivity in SOI MOSFET's[J]. IEEE Electron Device Letter, 1995, 16(3):100 - 102.
- [4] 黄如,等. 适用于低压低功耗工作的 SOI 栅控混合管(GCHT)的实验研究[J]. 半导体学报, 1997, 18(11):855 - 860.

作者简介:

杨胜齐 男,1977 年 8 月 17 日出生于河北省深州市,硕士研究生,主要研究方向为亚 100nm 器件物理与结构.

何 进 男,1966 年 5 月出生於四川省,博士,1988 年本科毕业于天津大学电子工程系,1993 年硕士毕业于电子科技大学信息工程学院,1999 年在电子科技大学微电子所获得博士学位,而后在北京大学微电子所工作,主要研究领域为新型 MOS 功率器件、深亚微米 MOS 器件新结构及半导体表面新的表征技术等,作为第一作者,已在国际权威期刊上发表研究论文 20 多篇,在国内重要期刊上发表研究论文近 40 篇.