

一种速度优化的流水线模数转换电容误差平均技术

李福乐, 李冬梅, 张 春, 王志华

(清华大学电子工程系, 北京 100084)

摘 要: 无源电容误差平均技术是一种本质线性(Inherently Linear)的流水线模数转换电容失配校准技术,但其转换速度是传统技术的一半.为了提高速度,本文提出了一种改进的电容误差平均技术.该技术从减少一个转换周期所需的时钟相数目和减少每个时钟相的时间两个方面来优化速度.电路分析和 MATLAB 仿真表明,在两种典型的情况下,改进的技术能将速度提高 52% (跨导放大器为开关电容共模反馈)和 64% (跨导放大器为非开关电容共模反馈)以上.改进的技术更适用于高速高精度及连续工作的应用场合.

关键词: 电容误差平均; 流水线; 模数转换

中图分类号: TN431 **文献标识码:** A **文章编号:** 0372-2112 (2002) 09-1285-03

An Improved Capacitor Averaging Technique for Pipelined ADCs

LI Fu-le, LI Dong-mei, ZHANG Chun, WANG Zhi-hua

(Dept of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: Passive capacitor error averaging is an inherently linear capacitor mismatch calibration technique for pipelined analog-to-digital conversion, but its conversion speed is halved because of double sampling and double transferring. An improved capacitor error averaging technique is presented to make the conversion faster. The conversion speed is improved through the reduction of the number of the clock phases required for one conversion and the time allocated for one clock phase. Circuits analysis and MATLAB simulation indicate that the speed can be typically improved by more than 52% or 64% when the OTA is switched-capacitor common-mode feed back or not. The improved technique is ideal for applications of high-speed, high-resolution, and continuous operation.

Key words: capacitor error averaging; pipeline; analog-to-digital conversion

1 引言

流水线结构模数转换器(ADC)由于其子区转换、流水操作的结构特点,在实现较高位数的模数转换时仍然能保持较高的速度和较低的功耗.然而,在实际电路实现时,流水线ADC的精度要受到许多电路非理想因素的影响,其中最重要的有电容失配,比较器失调,以及跨导运算放大器(OTA)有限增益等.虽然比较器的失调可以通过简单的冗余位设计和数字校正技术来解决,有限增益效应可以通过简单地采用 Cascode, Gain-boosting 等技术设计极高开环增益的 OTA 来解决,但是,由于电容失配所带来的误差,流水线 ADC 的精度通常在 10bit 以下.

为了校准电容失配误差,常用的方法是首先测量电容失配误差并以数字的形式存储起来,正常的转换工作时再在模拟域或数字域对误差进行补偿^[1-3],其缺点是对温度、电源等环境变量的变化较为敏感,或校准电路后台化处理复杂等.另外一种重要的对温度和老化不敏感(本质线性)的方法是由 Song 等提出的电容失配误差平均技术^[4,5],它利用电容交换技术得到两个带有互补误差的输出,然后平均得到正确的输出,其代价是倍增的电路复杂度、功耗和面积,以及较慢的转换速度. Chiu 提出了一种无源电容误差平均技术^[6],用双采样取代了级电路中的误差平均电路,从而将电路又简化到可与

无校准电路相比拟的程度,然而,其代价是一个转换周期需要 4 个时钟相,即转换速度要比传统结构慢一倍.本文提出了一种改进的无源电容误差平均技术,在保持电容失配校准的功能和电路简单的技术特点的基础上,从减少时钟相数目和减少时钟相时间两个方面,来优化 ADC 的转换速度.

2 无源电容误差平均技术

图 1 是 Chiu 提出的无源电容误差平均技术,每级电路由一个 OTA 和两个电容组成,一个转换周期由两个采样相和两个电荷转移相构成.图 1 中, V_{i1} 和 V_{i2} 是前级电路的两次输出,它们带有互补的误差电压.在采样相 1, V_{i1} 和 OTA 失调被采样在电容 C_1 上;在采样相 2, V_{i2} 和 OTA 失调被采样在电容 C_2 上;在转移相 1, 将 C_1 作为反馈电容来产生本级的第一个输出 V_{o1} , 此电压同时被下一级的电容 C'_1 采样;在转移相 2, 交换 C_1 和 C_2 的位置来产生本级的第二个输出 V_{o2} , 此电压同时被下一级的电容 C'_2 采样.流水线中各级电路重复执行上述操作,以实现流水线模数转换功能.

为简单起见,假设 $V_{i1} = V_{i2} = V_i$, 则两次输出分别为 $V_{o1} = 2V_i - V_{of} + \delta$ 和 $V_{o2} = 2V_i - V_{of} - \delta$, 显然它们具有互补的电容失配误差.由于 V_{o1} 和 V_{o2} 分别被下级的 C'_1 和 C'_2 采样,故在电荷共享后 C'_1 和 C'_2 上的等效输出余差电压为

收稿日期:2002-02-28;修回日期:2002-06-04

$$V_o = \frac{V_{o1} C'_1 + V_{o2} C'_2}{C'_1 + C'_2} = 2V_i - V_{ff} + \frac{C'_1 - C'_2}{C'_1 + C'_2} \delta \quad (1)$$

显然式(1)中的第3项为电容失配的2次项,可见 Chiu 的无源电容误差平均技术可将电容失配误差从电容失配的1次项减小至2次项。

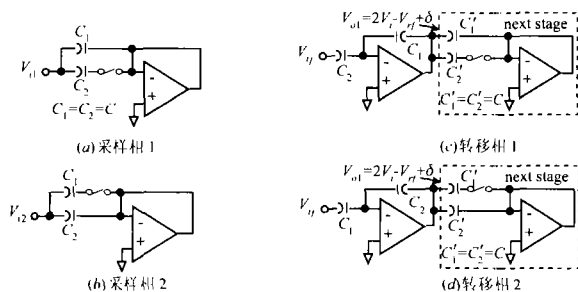


图1 无源电容误差平均技术原理图

与 Song 提出的有源电容误差平均技术相比,无源电容误差平均技术将级电路的规模减少近一半,因此在功耗,芯片面积,和噪声方面均有优势。但是,由于误差平均是通过双采样实现的,一个转换周期需要4个时钟相(Song 的方法只要3个时钟相),模数转换速度比传统结构要慢一倍,因此误差校准的代价很大,需要更进一步的电路设计来改进。

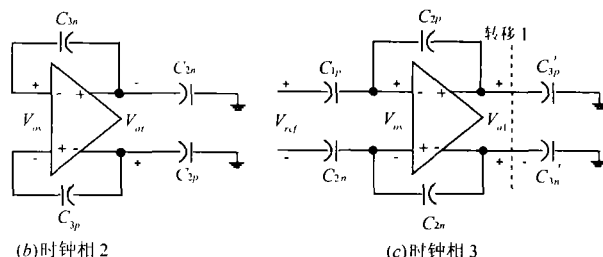
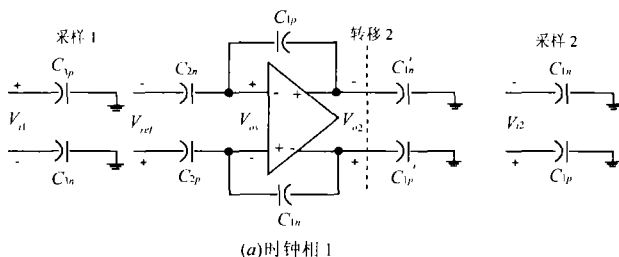


图2 改进的无源电容误差平均技术的原理图

为简化分析,设 $C_{1p} = C_{1n} = C_1$, $C_{2p} = C_{2n} = C_2$, $C_{3p} = C_{3n} = C_3$, $V_{i1} = V_{i2} = V_i$,根据图 2(a)和 2(b),两次采样后采样电容 C_1 和 C_2 上的电压分别为 V_i 和 $V_{os} = V_i - V_{os}$,又由图 2(c)和 2(a),可推导出级电路两个转移相的输出分别为:

$$V_{o1} = \frac{C_1 + C_2}{C_2} V_i - \frac{C_1}{C_2} V_{ff} + \frac{C_1}{C_2} V_{os} \quad (2)$$

$$V_{o2} = \frac{C_1 + C_2}{C_2} V_i - \frac{2C_1 - C_2}{C_1} V_{ff} - \frac{2C_2 - C_1}{C_1} V_{os} \quad (3)$$

式(2)和(3)中的第3项为失调误差项,由于在设计中有 $C_1 \approx C_2$,所以 V_{o1} 和 V_{o2} 中的失调误差项与电容失配误差是互补的,OTA 失调误差也可通过双采样平均而消除。

通过上述分析可见,改进的技术在原有技术工作原理的基础上,引进了一种 OTA 失调抵消方法,使得 OTA 在采样相中无须被接成图 1(a)和 1(b)中的单位反馈状态,从而得以在以下两个方面实现了速度优化:

(1)减少时钟相:利用 OTA 在采样相中的空闲状态,引入了一对辅助电容与 OTA 一起实现采样保持功能,以使得一采样相和一转移相可同时进行,从而将一个转换周期的时间从4个时钟相减少至3个时钟相。

(2)减少每相时间:在采样相中采样电容右端直接接地的

3 改进的无源电容误差平均技术

改进的无源电容平均技术的原理如图 2 所示。其中, V_{i1} 和 V_{i2} 是前级电路的两次输出,它们带有互补的误差电压, V_{o1} 和 V_{o2} 为本级的两次输出, V_{os} 为 OTA 的失调, C_{1p} 和 C_{1n} , C_{2p} 和 C_{2n} 为两对工作电容, C_{3p} 和 C_{3n} 为辅助的采样保持电容, C'_{1p} 为下级中对应于 C_{1p} 的电容, C'_{1n} , C'_{3p} , C'_{3n} 的意义类推。级电路的一个转换周期仍然由两个采样相和两个转移相组成,其工作过程描述如下:在采样相 1,如图 2(a),电容 C_{3p} 和 C_{3n} 底板接输入顶板直接接地,实现对 V_{i1} 的采样;在采样相 2,如图 2(b), C_{1p} 和 C_{1n} 底板接输入顶板直接接地,实现对 V_{i2} 的采样,同时, C_{3p} 和 C_{3n} 与 OTA 构成电压保持放大器,且 C_{2p} 和 C_{2n} 接至 OTA 输出端,对 V_{i1} 和 V_{os} 进行采样;在随后的转移相 1,如图 2(c),OTA 与采样电容构成一电荷转移放大器,且电容 C_{2p} 和 C_{2n} 做为反馈电容,这样产生本级的第一个输出 V_{o1} ,并被下一级的电容 C'_{3p} 和 C'_{3n} 采样;在转移相 2,如图 2(d),在 C_{1p} 和 C_{2p} , C_{1n} 和 C_{2n} 的位置左右交换的基础上,再令 C_{2p} 和 C_{2n} 的位置上下交换,由此构成的电荷放大器产生本级的第二个输出 V_{o2} ,并被下一级的电容 C'_{1p} 和 C'_{1n} 采样。由于引入了 C_{3p} 和 C_{3n} ,采样相 1 和转移相 2 可同时进行,如图 2(a),故实际的转换周期可减少为 3 个时钟相。

情况与图 1 中接单位反馈的 OTA 的情况相比,采样电容上电压的建立速度提高了,从而减少了建立时间。

4 速度优化的分析

为了分析对比改进前后的模数转换速度,将图 1 和图 2 转移相中的电荷转移放大器电路简化为图 3 所示的线性电路模型,其中图 3(a)对应于图 1(c),图 3(b)对应于图 2(a)右边部分(为简化分析和对比,取其单端配置形式)。图 3 中, V_{ie} 表示一阶跃输入电压,

C_p 和 C'_p 分别表示本级和下级 OTA 输入端的寄生电容, C_m 和 C'_m 分别表示本级和下级 OTA 的输出寄生电容(共模反馈电容与寄生电容之和),以及 g_m 和 g'_m 分别表示本级和下级 OTA 的跨导。

对于图 3(a),

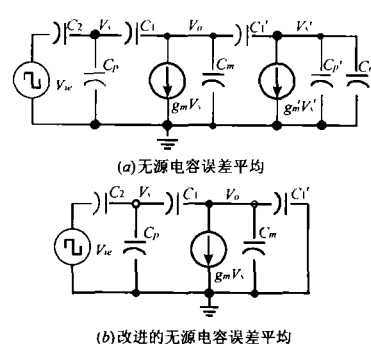


图3 用于建立速度分析的线性电路模型

有以下节点方程:

$$SC_2(V_{ie} - V_s) - SC_p V_s = SC_1(V_s - V_o) \quad (4)$$

$$SC_1(V_s - V_o) + SC'_1(V'_s - V_o) = SC_m V_o + g_m V_s \quad (5)$$

$$SC'_1(V_o - V'_s) = S(C'_p + C'_m)V'_s + g'_m V'_s \quad (6)$$

由以上式(4)~(6)可求得采样电容 C'_1 上的电压为:

$$(V_o - V'_s)(S) = \frac{C_2}{C'_1} \left\{ 1 - \frac{C_m(SC_1 - g_m)}{\alpha(C_1 + C_2 + C_p) - C_2(SC_1 - g_m)} - \frac{\alpha(SC_2 + SC_p + g_m)}{\alpha S(C_1 + C_2 + C_p) - SC_1(SC_1 - g_m)} \right\} V_{ie}(S) \quad (7)$$

其中,

$$\alpha = S(C'_1 + C_m + C_1) - \frac{(SC'_1)^2}{S(C'_p + C'_1 + C'_m) + g'_m} \quad (8)$$

假设流水线没有采用逐级缩减 (scaling down) 设计, 且

$$\gamma_1 = C_p/C_1 \quad \gamma_2 = C_m/C_1 \quad \gamma_3 = g_m/C_1 \quad C_1 = C_2 \quad (9)$$

则式(7)可简化为:

$$(V_o - V'_s)(S) = \frac{(\gamma_1 + \gamma_2)S^2 + (1 - \gamma_1 - \gamma_2)\gamma_3 S - \gamma_3^2}{k_1 S^2 + k_2 S + \gamma_3^2} V_{ie}(S) \quad (10)$$

其中, $k_1 = (3 + 2\gamma_1 + 2\gamma_2 + \gamma_1\gamma_2)(1 + \gamma_1 + \gamma_2) - (2 + \gamma_1)$

$$k_2 = (4 + 3\gamma_1 + 3\gamma_2 + \gamma_1\gamma_2)\gamma_3$$

对于图 3(b), 有以下节点方程:

$$SC_2(V_{ie} - V_s) - SC_p V_s = SC_1(V_s - V_o) \quad (11)$$

$$SC_1(V_s - V_o) = g_m V_s + S(C_m + C'_1)V_o \quad (12)$$

由式(11)和(12)可求得采样电容 C'_1 上的电压为:

$$V_o(S) = \frac{(SC_1 - g_m)C_2}{(C_1 + C_2 + C_p)(C_1 + C_m + C'_1)S - C_1(SC_1 - g_m)} V_{ie}(S) \quad (13)$$

同样假设流水线无逐级缩减设计, 以及式(9), 则,

$$V_o(S) = \frac{S - \gamma_3}{(3 + 2\gamma_1 + 2\gamma_2 + \gamma_1\gamma_2)S + \gamma_3} V_{ie}(S) \quad (14)$$

根据式(10)和(14), 可分别求出改进前后的 C'_1 上电压的建立时间. 在实际电路中, OTA 的共模反馈可为开关电容共模反馈或非开关电容共模反馈, 据此可假设以下两种典型情况, 以仿真验证改进技术对速度的优化. 第一种, OTA 为开关电容共模反馈, 设 $\gamma_1 = 0.1$, $\gamma_2 = 0.5$, 以及 $\gamma_3 = 4 \times 10^8$; 第二种, OTA 为非开关电容共模反馈, 设 $\gamma_1 = 0.1$, $\gamma_2 = 0$, 以及 $\gamma_3 = 4 \times 10^8$. MATLAB 仿真结果如图 4, 图 4 中, 横轴是建立精度 (bit), 纵轴是建立时间对 C_1/g_m 的归一化值, 直线 1c, 1n 和 2c, 2n 分别代表第一种和第二种情况下改进前后的建立时间 (最小相时间) 与建立精度的关系. 由图 4, 并考虑到时钟相数目的减少, 在常用的 8~16bit 的建立精度范围内, 将两种情况下改进技

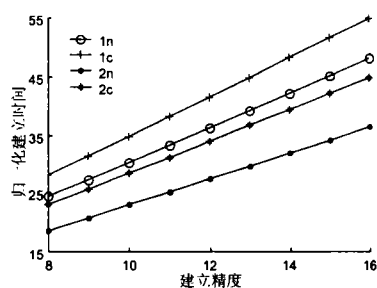


图 4 建立时间的 MATLAB 仿真

术对速度的优化结果总结如表 1.

表 1 两种典型情况下的速度优化总结

	相时间减少	转换周期减少	速度提高
第一种	> 12.4%	> 34.3%	> 52.2%
第二种	> 18.9%	> 39.175%	> 64.4%

由表 1, 改进的电容误差平均技术大大提高了建立速度, 而且, 改进的技术对于非开关电容共模反馈 OTA 的情况效果更好.

5 结论

提出了一种改进的无源电容失配误差平均技术, 在保持原有技术的功能的基础上, 从减少时钟相数目和减少相时间两个方面来优化 ADC 的速度. 电路分析和 MATLAB 仿真表明, 在两种典型的情况下, 改进的技术能将速度提高 52% (OTA 为开关电容共模反馈) 和 64% (OTA 为非开关电容共模反馈) 以上. 改进的技术更适用于高速, 高精度, 嵌入式, 及连续工作的应用场合.

参考文献:

- [1] Lin Y M, Kim B, Gray P R. A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-um CMOS [J]. IEEE J Solid-State Circuits, 1991, 26(4): 628 - 636.
- [2] Mayes M K, Chin S W. A 200mW, 1Msample/s, 16-b pipelined A/D converter with on-chip 32-b microcontroller [J]. IEEE J Solid-State Circuits, 1996, 31(12): 1862 - 1872.
- [3] Moon U K, Song B S. Background digital calibration techniques for pipelined ADC's [J]. IEEE Trans Circuits Syst, II, 1997, 44(2): 102 - 109.
- [4] Song B S, Tompsett M F, Lakshmikumar K R. A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter [J]. IEEE J Solid-State Circuits, 1988, 23(6): 1324 - 1333.
- [5] Chen H S, Bacrania K, Song B S. A 14b 20Msample/s CMOS pipelined ADC [A]. ISSCC Dig Tech. Papers [C]. San Francisco: IEEE, 2000. 46 - 47.
- [6] Chiu Y. Inherently linear capacitor error-averaging techniques for pipelined A/D conversion [J]. IEEE Trans Circuits Syst II, 2000, 47(3): 229 - 232.

作者简介:



李福乐 男, 1974 年 11 月出生于浙江. 1996 年和 1999 年获得西安电子科技大学电子工程系学士和硕士学位, 现为清华大学电子工程系博士研究生, 主要研究方向为高精度高速模数转换. Email: lifule99@mails.tsinghua.edu.cn

李冬梅 女, 1966 年 11 月生于北京. 1990 年获清华大学电子工程系微电子学专业学士学位, 1994 年获清华大学电子工程系电路与系统专业硕士学位. 现任清华大学电子工程系副教授, 主要从事模拟及数模混合集成电路教学和科研工作.