

线性余因子差分亚阈电压峰技术测量 电应力诱生 MOSFET 界面陷阱的研究

何 进^{1,2}, 张 兴¹, 黄 如¹, 王阳元¹

(1. 北京大学微电子学研究所, 北京 100871; 2. 美国加州大学 BERKELEY 分校 EECS 系, 美国加州 94720)

摘 要: 本文提出了用线性余因子差分亚阈电压峰测量电应力诱生 MOSFET 界面陷阱的新技术并进行了实验验证. 详细介绍了该方法的基本原理和实验实现, 得到了电应力诱生 MOSFET 界面陷阱和累积应力时间的关系. 该方法具有普适性, 可用于 MOSFET 的一般可靠性研究和寿命预测.

关键词: MOS 器件; 界面陷阱; 线性余因子差分法; 电应力效应

中图分类号: TN304 **文献标识码:** A **文章编号:** 0372-2112 (2002) 08-1108-03

Study on Extraction of Stress-Induced Interface Traps in MOSFETs by Linear Cofactor Difference Subthreshold Voltage Peak Technique

HE Jin^{1,2}, ZHANG Xing¹, HUANG Ru¹, WANG Yangyuan¹

(1. Institution of Microelectronics, Peking University, Beijing 100871, China;

2. Department of Electrical Engineering and Computer Science, University of California at Berkeley, CA 94720)

Abstract: A new experimental technique namely the linear cofactor difference subthreshold voltage method is presented in this paper for extraction of the MOSFET interface traps induced by the gate oxide stress test and verified on N-MOSFETs. The basic principle of this technique is introduced and the experimental realization is elucidated in details. It is shown that this method enables reliable extraction of the increased interface traps with a rise of the accumulated gate oxide stress test time to be obtained and that its validity is also verified by the extraction experiments on an nr channel MOSFET device. This method will be a new tool in characterizing and predicting reliability and lifetime of MOSFETs.

Key words: MOSFETs; interface traps; linear cofactor difference operator; electrical stress effect

1 引言

在 MOSFET 器件中, 界面陷阱的存在严重影响器件的工作特性. 当 MOS 器件工作在饱和区时, 漏端和栅压的高电场都将导致界面陷阱密度增加. 界面陷阱密度的这种变化将改变 MOS 器件的工作特性, 进而导致 MOS 器件及其电路性能改变, 甚至失效^[1]. 通常, 人们利用 MOSFET 器件的亚阈特性曲线的变化通过得到亚阈摆幅而测量感生的界面陷阱^[2,3]. 该方法虽然有直流静态的特点, 但灵敏度低, 如何求得每次电应力后恰当的亚阈摆幅仍然是一个物理上困难、数学上繁琐的问题^[5,6].

通过深入研究, 我们提出了一种新的直流静态亚阈分析技术——线性余因子差分亚阈电压峰方法, 用于电应力感生界面陷阱密度的测量. 该方法不仅简单、实用, 更重要的是具有高的灵敏度和在线检测功能. 本文主要对线性余因子差分亚阈电压峰方法的测量原理进行了介绍, 并利用该技术对 MOSFET 感生界面陷阱密度进行了测量. 最后, 对界面陷阱

密度依赖于应力时间的变化关系进行了分析和讨论.

2 线性余因子差分亚阈电压峰新技术

2.1 线性余因子差分原理

设函数 $f(x)$ 是一个在开区间 (x_0, x_1) 上连续, 在闭区间 $[x_0, x_1]$ 内可微的单调非线性函数. 那么, 在 $[x_0, x_1]$ 中必然有一点 $x_p, x_0 < x_p < x_1$, 使

$$G'(x_p) = \left. \frac{dG}{dx} \right|_{x=x_p} = 0 \quad (1)$$

成立. 这里

$$G(x) = \Delta \text{lcof} f(x) \equiv f(x) - [b + K_p x] \quad (2)$$

是 $f(x)$ 的线性余因子差分, $\Delta \text{lcof} f(x)$ 是线性余因子差分算符.

b 和 K_p 是线性余因子差分算符的截距和斜率因子, 它们可以通过选择的余因子差分算符的区间 (x_0, x_1) 由下面两个方程得到

$$G(x_1) = b + K_p x_1 - f(x_1) = 0 \quad (3)$$

和

$$G(x_0) = b + K_p x_0 - f(x_0) = 0 \quad (4)$$

对单调增加的 $f(x)$, $K_p > 0$, $G(x)$ 在 $[x_0, X_1]$ 区间显示线性余因子差分峰或谷; 对单调减小的 $f(x)$, $K_p < 0$, $G(x)$ 在 $[x_0, X_1]$ 区间显示线性余因子差分峰或谷。

上述原理的证明根据高等数学的 Rolle 定理很容易得到^[4]。

2.2 线性余因子差分亚阈电压峰测量电应力诱发 MOSFET 界面陷阱

根据 MOSFET 器件物理^[5], 在亚阈区的电流可表达为

$$I_{ds} = \beta(\eta - 1) V_t^2 \exp\left[\frac{(V_{gs} - V_{th})}{\eta V_t}\right] \cdot \left[1 - \exp\left(-\frac{V_{ds}}{V_t}\right)\right] \quad (5)$$

这里, $\beta = \frac{\mu_s W C_{ox}}{L}$ 和 $V_t = \frac{kT}{q}$ 分别是 MOSFET 的电流增益因子和电压。更进一步, $\eta = 1 + \frac{qD_{it}}{C_{ox}} + \frac{C_d}{C_{ox}}$ 是与亚阈摆幅相关的理想因子; D_{it} 是界面陷阱密度, C_d 是耗尽层电容, C_{ox} 是栅氧化电容。

通过简单的数学处理, 上式可以转化为

$$V_{gs} = V_{th} + \eta V_t \cdot \left\{ \ln I_{ds} - \ln \beta(\eta - 1) V_t^2 - \ln \left[1 - \exp\left(-\frac{V_{ds}}{V_t}\right) \right] \right\} \quad (6)$$

对式(6)进行线性余因子差分, 则

$$\Delta \text{lcd}oV_{gs} = V_{th} + \eta V_t \cdot \left\{ \ln I_{ds} - \ln \beta(\eta - 1) V_t^2 - \ln \left[1 - \exp\left(-\frac{V_{ds}}{V_t}\right) \right] \right\} - K_p I_{ds} \quad (7)$$

由于在零栅压电压时电流很小, 余因子差分算符的截距 b 可取为 0。而线性余因子差分算符的斜率因子, 我们选择 K_p 的标准是使线性余因子差分算符始终工作在 MOSFET 的亚阈区。

很明显, 方程(6)是完全符合连续、可微、单调非线性上升的要求的。根据线性余因子差分原理, 当电流 I_{ds} 达到一个特征值 I_{dp} 时, 则有

$$\frac{d \Delta \text{lcd}oV_{gs}}{dI_{ds}} \Big|_{I_{ds} = I_{dp}} = 0 \quad (8)$$

即: 在特征电流 I_{dp} 时, $\Delta \text{lcd}oV_{gs}$ 显示一个线性余因子差分亚阈电压峰。很明显, 电流 I_{dp} 就是线性余因子差分亚阈电压峰的峰位。

从方程(7)和(8), 我们得到

$$\eta = \frac{I_{dp} \cdot K_p}{V_t} = 1 + \frac{qD_{it}}{C_{ox}} + \frac{C_d}{C_{ox}} \quad (9)$$

按照方程(9), MOSFET 界面陷阱的增加将通过线性余因子差分亚阈电压峰位 I_{dp} 的移动而显示出来。如果在电应力前后使用一个不变的线性余因子差分算符的斜率因子 K_p , 那么从方程(9)可以得到电应力诱发 MOSFET 界面陷阱和线性余因子差分亚阈电压峰位 I_{dp} 移动的关系

$$q \Delta D_{it} = \frac{K_p C_{ox}}{V_t} \Delta I_{dp} \quad (10)$$

从方程(10)我们可以发现: 线性余因子差分亚阈电压峰位 I_{dp} 的移动直接反映了因电应力时间的增加而诱生的 MOS-

FET 界面陷阱密度的变化。该表达式构成了一个不必知道 MOSFET 的几何参数、亚阈摆幅和阈值电压而直接由线性余因子差分亚阈电压峰位 I_{dp} 的移动得到电应力诱生的 MOSFET 界面陷阱密度增加的新技术。在实践上, 只需得到电应力后 $\Delta \text{lcd}oV_{gs}$ 和漏电流曲线, 根据不同电应力时间下线性余因子差分亚阈电压峰位 I_{dp} 的移动由方程(10)计算出增加的 D_{it} 。

方程(10)还表明: ΔD_{it} 是正比于电流 ΔI_{dp} 的变化的。如果 I_{dp} 因电应力有 100% 的变化, 则 D_{it} 也有 100% 的变化, 可以说灵敏度是 100; 在传统的亚阈摆幅方法中, $\Delta S = 2 \cdot 3^* \Delta V_g / \Delta \log(I_{ds})$, 亚阈摆幅是正比于电流对数变化的, 它表明: 如果 I_{ds} 因电应力有 100% 的变化, 则 S 仅有 10% 的变化, 可以说灵敏度是 10。该对比表明: 线性余因子差分亚阈电压峰技术比传统亚阈摆幅方法有更高的灵敏度。

3 实验及结果讨论

实验所用样品为北京大学微电子研究所用 CMOS 工艺生产的 NMOSFETs: $W/L = 20/15$, $L = 15 \mu\text{m}$, 栅氧化层厚度为 16nm。电应力实验是在北京大学微电子所的 HP 4156B 的应力装置上进行的。对样品进行应力实验的应力条件为: 在恒定的栅电压下不断增加应力时间。每次测量之前, 在栅上施加一定时间和大小的应力, 使得栅氧和硅膜的界面处界面陷阱密度发生变化。具体做法是在栅上加 3V 偏压同时源漏和体都接地。累计应力时间从 10、20、50、80、100、200、500、800 直至 1000 秒。器件的参数测量是在以 HP 4156B 为主的半导体器件自动参数测量系统上完成的。对 MOSFET 的亚阈 $I-V$ 曲线进行测量。

图 1 示出了测量得到的 MOSFET 的亚阈特性和由之计算的线性余因子差分亚阈电压曲线, 这里 $K_p = 2 \cdot 10^5 \text{ V/A}$ 以使线性余因子差分算符始终工作在 MOSFET 的亚阈区。从此图可以看出: 线性余因子差分亚阈电压曲线如理论上预言的, 显示了独特的线性余因子差分亚阈电压峰。

图 2 是在不同的电应力时间下 MOSFET 线性余因子差分亚阈电压峰的移动。可以看出: 随着电应力时间的增加, 不仅 MOSFET 线性余因子差分亚阈电压的峰位随之很灵敏地向右移动, 其线性余因子差分亚阈电压的峰高也随之上升。我们仅仅利用它的前一个特点, 由方程(10)就可得到不同的电应力时间下增加的 MOSFET 界面陷阱密度, 结果如图 3 所示。值得指出的是: MOSFET 线性余因子差分亚阈电压峰高随电应力时间的变化也有希望用于 MOSFET 的亚阈特性研究。

从图 3 中, 我们可以看到界面陷阱密度的增加与应力时间呈双对数关系, 这与先前 MOSFET 的结果^[7] 是吻合的。而且, 通过数值拟合的方法, 我们由曲线得到由于应力导致的界面陷阱密度增加随应力时间的关系为 $\Delta D_{it} \sim t^n$, 这里 n 约等于 0.4。这个结果与电荷泵法得到的结果基本一致^[7]。

4 结论

在本文中, 我们提出了测量 MOSFETs 中由于电应力诱生的界面陷阱的线性余因子差分亚阈电压峰技术。此技术的原理是通过线性余因子差分亚阈电压峰位 I_{dp} 的移动直接反映

因电应力时间的增加而诱生的 MOSFET 界面陷阱密度的变化。在一个 N-MOSFET 上对界面陷阱的测试结果表明, FN 电

应力诱生的界面陷阱密度的增加与应力时间呈对数关系 $\Delta D_i \sim t^n$, 指数因子 n 为 0.4.

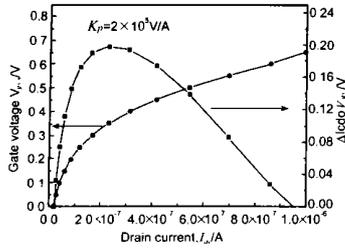


图 1 MOSFET 的亚阈特性和由之得到的线性余因子差分亚阈电压曲线

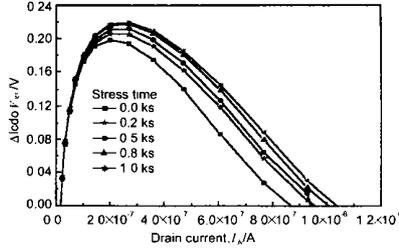


图 2 MOSFET 线性余因子差分亚阈电压峰随电应力时间增加的移动

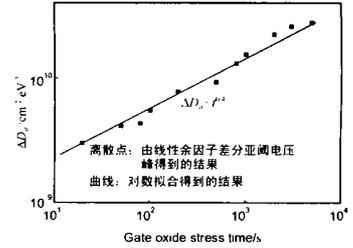


图 3 计算得到的应力导致的界面陷阱密度随着累计应力时间的变化关系

参考文献:

[1] P Balk. The Si/SiO₂ system [M]. Amsterdam: Elsevier, 1988.

[2] Lun Z, Ang DS, Ling CH. A novel sub threshold slope technique for the extraction of the buried oxide interface trap density in fully depleted SOI MOSFET [J]. IEEE Electron Device Letters, EDL-21, 2000: 411-413.

[3] Etsumasa Kameda, Toshihiro Matsuda, Masahiro Yasuda, Takashi Ohzone. Interface state density in n-MOSFETs with Si⁻implanted gate oxide measured by sub threshold slope analysis [J]. Solid State Electron, 1999, 43: 565-573.

[4] Hua Nuergen. Introduction to advanced mathematics [M]. USA: Springer-Verlog, 1979, Chapt. 1: 165-166.

[5] N Arora. MOSFET models for VLSI circuit simulation Theory and Practice [M]. USA: Springer Verlag, 1993.

[6] Chen Ming Hu, Simon C Tam, Fu Chen Hsu, Ping Kenung Ko, Tung Yichan, Kyle W. Terrill. Hot electron induced MOSFET degradation model, monitor and improvement [J]. IEEE. Trans Electron Devices, 1985: ED-32, 375-385.

[7] B S Doyle, K R Misty, J Faricelli. Examination of the time power law dependencies in hot carrier stressing of n-MOS transistor [J]. IEEE Electron Device Lett., 1997, EDL-18: 51-56.

作者简介:



何进男, 1966年5月出生于四川省, 博士, 1999年在电子科技大学微电子所获得微电子学与固体电子学博士学位, 现在美国加州大学BERKELEY分校做科研工作, 主要研究领域为新型MOS功率器件、深亚微米MOS器件新结构研究, 半导体表面新的表征技术, 深亚微米MOS器件模型BSIM-5建立等。目前已在国内外发表近80篇研究论文。



何进男, 1966年5月出生于四川省, 博士, 1999年在电子科技大学微电子所获得微电子学与固体电子学博士学位, 现在美国加州大学BERKELEY分校做科研工作, 主要研究领域为新型MOS功率器件、深亚微米MOS器件新结构研究, 半导体表面新的表征技术, 深亚微米MOS器件模型BSIM-5建立等。目前已在国内外发表近80篇研究论文。

张兴男, 1965年出生于山东平邑, 博士, 教授, 1986年本科毕业于南京大学, 1989年硕士毕业于771所, 1993年在771所获得博士学位, 现在北京大学微电子所工作, 主要研究领域为深亚微米MOS器件新结构及ASIC技术等。