

嵌入式 Flash CISC/DSP 微处理器的研究与实现

卢结成¹, 丁 丁¹, 丁晓兵², 朱少华²

(11 中国科技大学电子科学与技术系, 安徽合肥 230026; 21 上海精致科技有限公司, 上海 200433)

摘 要: 本文研究一种新的既具有微控制器功能, 又有增强 DSP 功能的高性能微处理器的实现架构。在统一的增强 CISC 指令集下, 我们将基于哈佛和寄存器-寄存器结构的微处理器模块和单周期乘法/累加器、桶形移位寄存器、无开销循环及跳转硬件支持模块、硬件地址产生器等 DSP 功能模块以及嵌入式 Flash Memory 和指令队列缓冲器有机的集成起来, 在统一架构下通过单核实现 CISC/DSP 微处理器, 有效地提高了处理器的性能。该微处理器采用 0.135 μ m CMOS 工艺实现, 芯片面积为 2.5mm²。在 80M 工作频率下, 动态功耗为 425mW, 峰值数据处理能力可达 80MIPS。该处理器核可满足片上系统(SOC)对高性能处理器的需求。

关键词: 复杂指令系统计算机; 超大规模集成电路; 流水线; 数字信号处理器; 闪存存储器

中图分类号: TP368. 1 **文献标识码:** A **文章编号:** 0372-2112 (2003) 08-1252-02

Study and Implementation of an Embedded Flash CISC/DSP Microprocessor

LU Jiecheng¹, DING Ding¹, DING Xiaobing², ZHU Shaozhua²

(11 Department of Electronic Science and Technology, University of Science and Technology of China, Hefei, Anhui 230026, China; 21 Shanghai Exact Technology Co, Ltd, Shanghai 200433, China)

Abstract: A new architecture of an embedded Flash CISC/DSP microprocessor is presented. Under unified enhanced complex instruction set, The single core processor has been implemented by using RISC and pipeline design principles based on Harvard and register-register architecture. To achieve double functionality of DSP and general CPU, we have combined general CPU, embedded FLASH, instruction buffer and DSP functional units, such as single clock MAC, barrel shifter, fast loop processing unit, etc. in a single architecture. This processor is fabricated using 0.135 μ m CMOS process, and the power consumption of the chip is less than 425mW working under 3.13V voltage and 80MHz clock. The low-cost high performance microprocessor is well suited for a wide range of SOC applications.

Key words: CISC; VLSI; pipeline; DSP; flash memory

1 引言

现代电子系统大都需要完成两种类型的计算, 因而需要采用双处理器(CPU+ DSP) 解决方案, DSP 用于完成语音、图像、视频、音频信号处理的重复性复杂运算任务, CPU 则用于完成电源管理、人机界面和协议栈操作。但同时进行两处理器的开发存在通信困难、编程麻烦及功耗、可靠性等问题, 近年来的 SOC 设计领域, 将通用微处理器与 DSP 的功能在统一架构下结合起来的思想是富有创意的。CPU 和 DSP 的融合有几种形式: (1) 将独立的 CPU 和 DSP 集成在一个芯片上, 各自有独立的指令系统; (2) 在统一指令集下, 使 DSP 按照 RISC 原则进行设计, 单核实现既具有微控制器功能, 又有增强 DSP 功能的处理器。而第(2)种实现方式能解决双处理器核之间的通信问题, 同时将指令集也合二为一, 简化编程提高效率。硬件简化和统一的指令系统为处理器的可编程化提供了方便。针对多媒体应用的 HP2PA^[1]、基于 RISC 的 DSP^[2,3] 都是基于相

同的思想。本文讨论一种新的嵌入式 CISC/DSP 微处理器实现架构, 基于 RISC 设计技术改进 CISC 指令集的设计, 在保持传统 CISC 较高执行效率的基础之上, 采用大寄存器堆、流水线和硬连线等技术, 改善流水线性能, 提高系统时钟频率并降低 CPI。通过在流水线中集成 DSP 功能单元, 使该处理器既具有微控制器功能, 又能实现较强的数字信号处理功能。该处理器片内丰富的数据、地址总线, 方便同时进行取指令和存取操作数动作, 可保证单周期完成多数 DSP 指令, 有效的提高了指令级的并行性和指令执行速度。指令集中的 320 多条指令采用可变长的 48 位到 8 位指令编码方式, 相对于 RISC/DSP 类处理器来说, CISC/DSP 处理器通过复杂指令使软件开销小, 实现了占用最小的空间、编程效率最高和较强的数字信号处理功能的目的。

嵌入式 CISC/DSP 微处理器能在低成本无线手持应用中取代 DSP 和微控制器。其单一指令集改善了可编程性。该处理器可适用于嵌入式因特网接入设备、车载计算机、电机控制、调制解调器、音频、视频、图像和语音处理等应用领域。

收稿日期: 2002-09-23; 修回日期: 2003-05-20

2 CISC/DSP 处理器系统架构

2.1 CISC/DSP 处理器总体实现架构

本文所设计的 CISC/DSP 处理器系统结构如图 1 所示, 其主要思想是基于统一的 CISC 指令集, 针对高速数据传输、数值运算密集的实时信号处理, 在处理器架构、指令系统和指令流程设计上进行了优化, 以实现复杂的信号处理功能。处理器采用改进的哈佛结构, 通过一条程序总线、五条数据总线和六条地址总线, 将基于寄存器/寄存器结构的 CISC 通用微处理器模块和单周期乘法/累加器、桶形移位寄存器、无开销循环及跳转硬件支持模块、硬件地址产生器等 DSP 功能模块以及 Flash Memory 和指令缓存有机的集成起来, 通过单一内核融合了 DSP 的信号处理能力和微控制器的控制能力。

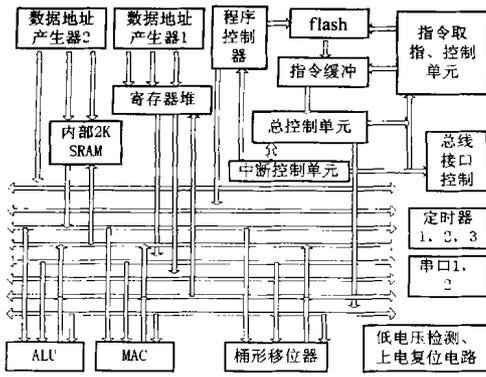


图 1 CISC/DSP 微处理器系统结构图

处理器片内集成 Flash、指令队列缓冲器和 SRAM, 以减少指令和数据的读取时间, 解决总线竞争和访问速度不匹配问题, 缓解处理器的数据瓶颈。该处理器核内部不带数据高速缓存, 通过使用多个片内存储器和多组总线来保证每个指令周期内存储器的多次访问。采用这种结构将加宽处理器存储器的带宽, 可保证同时进行取指令和存取操作数动作, 而无需复杂的数据高速缓存控制电路来决定哪些数据和指令字存储在片内的高速缓存里, 有效地增强了数据操作的灵活性, 提高了指令级的并行性和执行速度, 系统整体数字信号处理和控制能力。该处理器具有几个不同的存储空间, 系统结构和指令系统均为寄存器操作进行了优化; 提供了专用的累加器 A、AR 能保证完成乘加指令, 算术和逻辑操作可以在寄存器堆中进行, 也可以在数据 RAM 中进行。寄存器和累加器之间的数据传递可以通过直接寻址完成。

2.1.2 CISC/DSP 处理器数据通路及其流水线设计

2.1.2.1 处理器的数据通路 该处理器数据通路采用如图 2 所示六级流水线结构, 即一条指令的执行要经过取指、译码、地址产生、读取、执行和回写等阶段。取指阶段完成从指令缓冲器中读取 1~6 字节指令; 译码阶段完成指令的译码, 并将译码后的指令分配到对应的控制单元、数据地址产生器和程序控制器等单元, 在这个阶段还需完成对寄存器堆的读操作; 地址产生单元根据指令译码结果完成数据地址、指针和重复计数器的修改; 读取阶段则根据地址完成相应操作数的读取; 执行阶段则将数据分配到 ALU、MAC 或并行移位寄存器单

元, 完成相应的运算; 回写阶段则将运算结果写回到存储器、I/O 空间或寄存器堆。

2.1.2.2 处理器的流水线设计 流水线中的取指是从指令缓存中取指, 而真正取指单元有预取指单元和取指部分组成, 预取指单元用于产生程序地址, 取指单元控制从内 Flash 或外 ROM 取指令。从指令缓存中读取相应的指令, 然后送入指令译码单元, 指令译码只对全局控制信号进行译码, 返回相应的信息给总体控制单元。总体控制单元完成流水线控制和中断响应处理, 流水线控制单元主要进行流水线停顿任务的处理: 流水线停顿原因有多种, 如: (1) 由分支转移产生, 转移指令由于在译码或执行阶段改变 PC 值, 使得前几个阶段读入的指令无效, 流水线需要重新刷新; (2) 由 call 指令产生, Call 指令在存储器中占两个字节, 所以读取需要两个周期, 正常情况需要四个周期来完成, 当进行到译码状态和存取状态时, 读取的两条指令无效, 只有当执行状态后, 改变了新的地址重新读入新的指令, 流水线才开始正常工作, 这样有两个周期的气泡。而对于 BD、Call 指令, 就不存在这两个周期的气泡, 这两条指令仍然执行。这样, 可以看到流水线控制的过程: 使用计数器, 当它不为零时, 继续读取 PM, 并放入 constant 寄存器中, 等到计数器零时开始译码, 输出 branch 指示信号, 并判断是否为延迟指令, 输出 delay 指示信号, 流水线控制模块决定是否停止执行 access、read、exec 状态。运算单元采用 16 比特的算术逻辑单元 (ALU), 支持 32 比特或双 16 比特的运算。

该流水线结构简明, 无需太复杂的硬件, 就可获得较高的主频。理想情况下, 流水线上同时有六条指令在执行, 流水线可能会改变指令读/写操作数的顺序, 相邻指令之间可能会发生冲突, 导致数据相关。对于一般的数据相关, 通过内部前推技术减少数据相关带来的暂停, 如图 2 中实线所示。

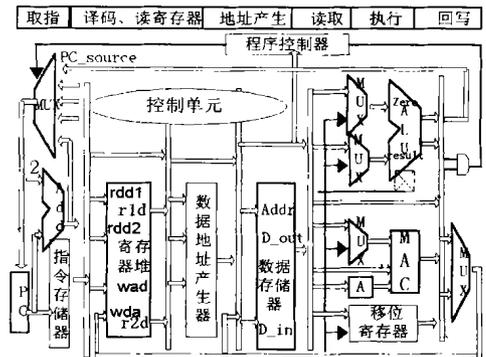


图 2 CISC/DSP 处理器数据通路及流水线结构图

2.1.3 处理器 DSP 功能部件的实现

为保证在一个时钟周期内完成乘加运算, 将乘法器直接放置在处理器的数据通路上, 所有进入 ALU 的数据, 同时也可作为乘法器的输入, 并从结构上保证乘法器的两个输入是从两条不同的数据总线上取得, 乘法器后紧跟一个加法器, 实现乘加运算, 其结构如图 3。乘法器采用 Booth 算法和 Wallace 加法树的并行结构, 通过 MAC A、Rs1、Rs2 类指令实现快速的乘加运算。40bit MR、A 累加器可避免连续乘加操作中出现中间结果溢出, 其中 A 可以间接寻址, 作为外设寄存器一样

寻址,与寄存器组

中寄存器进行数据交换,每次乘加结果都可直接传递到 A,便于连续乘加操作。乘加器提供高速的有符号乘法、无符号乘法、有符号与无符号数乘法、带累加

乘及饱和处理等功能,由译码逻辑根据不同的指令产生不同类别的操作信号。16@16 比特的硬件乘法器、40 比特的累加器 A 和一个 40 比特专用加法器的组合(MAC)可以在一个周期内完成乘加运算。为保证计算的精度,处理器在硬件方面支持饱和和计算、舍入和移位。与乘加单元相同,并行桶形移位寄存器也被放置在处理器的数据通路上,当要实现移位操作时,由桶形移位寄存器完成快速的移位操作,功能强大可扩展的 40 位移位器可以完成数据移位、循环、规格化等操作。

指令取指单元充分利用程序控制单元,以较低的系统开销完成循环运算。程序控制单元中的地址发生器支持四个循环缓冲器,每个循环缓冲器又有三个寄存器,用来定义循环的终点、长度和访问的地址。一个地址发生器支持位倒序寻址,通过使用一个地址发生器影子寄存器和一组基寄存器,以增加循环缓冲的灵活性。处理器通过如 MOV[Rd+], [Rs+] 等 R+ 寻址模式或模 N 运算实现并行指针调整,在执行指令的同时完成取数据、地址加 2 和循环寻址等标准的信号处理操作。

3 CISC/DSP 处理器的 VLSI 实现

3.1 高速低功耗寄存器堆的设计

寄存器堆提供两个读端口和一写端口,其中每一个寄存器都可以位寻址、字节寻址和双字寻址。寄存器堆允许连续存取 8 个字;这 8 个字也可以寻址为 16 个字节。寄存器堆中有四组影子寄存器,每一组都由四个寄存器 R0、R1、R2 和 R3 组成,只有当前工作寄存器组是有效的,可以通过激活另外任意一组影子寄存器来实现快速任务切换工作,也可以为复杂的算法提供更多的寄存器空间。对于某些指令如 32 位桶形移位、乘法和除法,相邻的字寄存器可以作为双字使用。

寄存器堆用三端口 SRAM 线路来实现,我们从 SRAM 实现结构到线路设计采取了一系列措施^[4,5]保证寄存器堆的高速低功耗性能。基本单元的设计对芯片面积和功耗起主要作用,是 SRAM 设计的关键。为确定基本单元里各管子的宽长比 W/L,必须满足:(1)读操作不应破坏存储单元中的信息;(2)写操作时必须保证可靠修改单元里的内容。工作管与门管的尺寸比越大,稳定性越好,但单元面积也越大,必需进行折衷。从设计结果看,当传输门的宽长比为基本单元里 N 管宽长比的一半时,则 P 管的宽长比应为传输门管的 0.7 倍,可保证一定工艺失配条件下,满足上面提出的两个条件,面积也较小。

设计采用 SPECTRA 进行前仿真,提取寄生参数用 Spice 作后仿真,结果与前仿基本一致,这说明 SRAM 的功能并未因

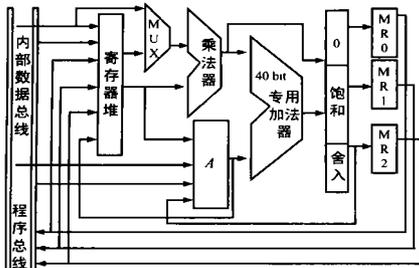


图 3 CISC/DSP MAC 单元数据通路及实现结构图。该图展示了 MAC 单元的内部数据通路。左侧是内部数据总线，连接到寄存器堆。寄存器堆的输出经过 MUX 进入乘法器。乘法器的输出与寄存器堆的另一个输出相加，进入 40 比特专用加法器。加法器的输出经过饱和和舍入单元，最后由寄存器堆的 MRO、MRI 和 MR2 寄存器接收。

版图寄生电容的影响而发生改变。从提取结果也可以看出版图的寄生电容一般在 10^{-15} pF 以下,它对电路的影响是微不足道的。电路工作于 40M 频率下的动态输出电流为 7mA。

3.2 嵌入式 Flash 的实现

闪存存储器是一类非易失性存储器,嵌入式 Flash 只需单电源供电,通过内置充电泵在芯片内产生编程和擦除所需的高电压。我们针对 Flash IP 设计闪存控制器,确保数据可靠下载到存储器中。Flash 单元阵列采用小扇区结构,Flash 读取时间小于 25ns,单字节读取电流小于 10mA。

3.3 CISC/DSP 处理器的 VLSI 实现

采用 0.35μm CMOS 工艺实现了该微处理器,芯片面积约为 25mm²,工作于 3.3 伏电压,80M 工作频率下,动态功耗为 425mW,峰值数据处理能力可达 80MIPS。芯片布局如图 4 所示。

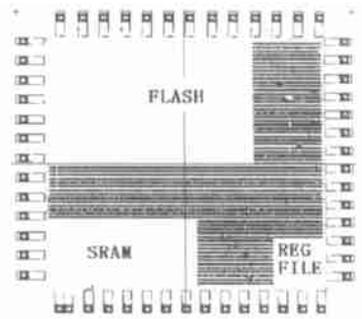


图 4 CISC/DSP 处理器芯片布局

4 结论

本文讨论了一种新的嵌入式 CISC/DSP 微处理器实现架构及其 VLSI 实现,通过应用这种高集成度的单核微处理器,设计人员能够将功耗降低约 30%,尺寸缩减 40%,同时使总体成本降低 40%,内嵌 Flash 的 CISC/DSP 处理器核可满足 SOC 系统对高性能处理核的需求。

参考文献:

- [1] D Hunt. Advanced Performance Feature of the 64Bit PA8000[A]. Proc. of Compaq[C], CS Press, 1995.
- [2] M Dolle, M Schlett. A cost effective RISC/DSP microprocessor for embedded systems[J]. IEEE Micro, 1996, 15: 1196- 1201.
- [3] C Baunhof, F Muller, M Schlett. A novel RISC architecture unifying RISC and DSP[A]. Proc. IEEE int. Conf. Acoustics Speech. and signal processing[C]. Munich, Germany. processing Munich, Germany. 1997, Apr. 21- 24:587- 590.
- [4] Kaushik Roy, Sharat Prasad. LowPower CMOS VLSI Circuit Design[M]. A Wiley Interscience Publication John Wiley & Sons, Inc. 2000.
- [5] Hirose, T et al. A 20ns 4Mb CMOS SRAM with Hierarchical Word Decoding Architecture[J]. IEEE J. SolidState Circuits, 1990, 25(5): 1068- 1074.

作者简介:



卢结成 男,1951 年 9 月生于安徽潜山县,中国科技大学副教授、电路与系统实验室主任,主要从事大规模集成电路设计和计算机应用方面的科研教学工作,先后完成国家攻关项目和大中型企业委托项目七项,编著出版教材两本,发表论文 30 余篇,申请和授权的国家专利三项。