

FLOTOX EEPROM 擦写过程中隧道氧化层陷阱俘获电荷的研究

于宗光, 徐 征, 叶守银, 张国华, 黄 卫, 王万业, 许居衍
(信息产业部无锡微电子科研中心, 无锡 214035)

摘 要: 本文首先从理论上分析 FLOTOX EEPROM 隧道氧化层中陷阱俘获电荷对注入电场和存储管阈值电压的影响, 然后给出了在不同擦写条件下 FLOTOX EEPROM 存储管的阈值电压与擦写周期关系的实验结果, 接着分析了在反复擦写过程中陷阱俘获电荷的产生现象. 对于低的擦写电压, 擦除阈值减少, 在隧道氧化层中产生了负的陷阱俘获电荷; 对于高的擦写电压, 擦除阈值增加, 产生了正陷阱俘获电荷. 这一结果与 SiO₂ 中电荷的俘获——解俘获动态模型相吻合.

关键词: EEPROM; 隧道氧化层; 陷阱俘获电荷; 耐久性; 擦写; 阈值电压; 电场

中图分类号: TP333.5⁺2 文献标识码: A 文章编号: 0372-2112(2000)05-0068-03

The Research of Trapped Charges in FLOTOX EEPROM Tunnel Oxide During Erase/Write Cycles

YU Zong guang, XU zheng, YE Shou yin, ZHANG Guo hua, HUANG Wei, WANG Wanyue, XU Juryan
(Wuxi Microelectronics Institute, Wuxi 214035, China)

Abstract: The influences of trapped charges on the oxide injection field and the threshold voltage of the FLOTOX EEPROM memory transistor are studied theoretically. The relations of the threshold voltage of the FLOTOX EEPROM to the erase/write cycles under various erased/write conditions are studied experimentally, and then the generation of the trapped charges in the repeated erase/write operations is analyzed. For the low erased/write voltages, the erased threshold decreases, so the negative trapped charges is generated; for the higher erase/write voltage, the erased threshold increases, so the positive trapped charges is generated. The results fit in with the dynamic model of trapping/detrapping in SiO₂.

Key words: EEPROM; Tunnel oxide; Trapped charge; Endurance; Erase/Write; Threshold voltage; Field

1 引言

EEPROM 在擦写过程中, 隧道氧化层加高压, 于是在隧道氧化层中诱发陷阱俘获电荷, 改变了 EEPROM 晶体管的阈值电压. EEPROM 的耐久性定义为每一个单元可以可靠地擦写的周期数. 随着擦写周期数的增加, 在隧道氧化层中的陷阱俘获电荷的数量将会改变, 或者说在擦写过程中有正或负电荷被俘获或解俘获.

到目前为止, 关于 EEPROM 耐久性的研究仅仅是关于阈值电压窗口的定性解释^[1]. 1992 年, Papadas 等人提出了一个简化的模型^[2], 描述了 FLOTOX EEPROM 结构在擦写过程中阈值电压窗口和隧道氧化层陷阱俘获电荷的关系. 陷阱俘获电荷的存在可以改变注入电场以及浮栅中电荷的数目, 而浮栅中陷阱俘获电荷的数目直接影响着 EEPROM 阈值电压. 本文基于陷阱俘获电荷与氧化层注入电场和 FLOTOX EEPROM

晶体管阈值电压的理论分析, 对在各种擦写条件下 EEPROM 晶体管阈值电压与擦写周期的关系进行了实验研究.

2 理论分析

FLOTOX EEPROM 的结构示意图如图 1 所示^[3], 其等效电路如图 2 所示. 当擦除时, 高压信号加到控制栅, 源、漏和衬底接地, 所以电子从漏区通过隧道氧化层注入到浮栅, 这些负电荷增大了 EEPROM 晶体管的阈值电压, 其增大量为:

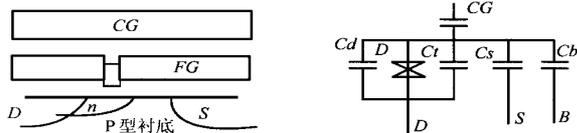


图1 FLOTOX EEPROM 示意图 图2 FLOTOX EEPROM 等效电路

$$\Delta V_{Te} = Q_{FC} / C_{PP} \quad (1)$$

式中 Q_{FC} 是在浮栅上的电荷, C_{PP} 为两层多晶硅之间的电容. 在以后的“读”操作时该存储单元将不导通. 擦除阈值是指对 EEPROM 单元进行擦除操作后的阈值电压.

经过复杂的理论分析, 擦除过后, EEPROM 的阈值电压与控制栅所加的电压 V_{CG} 、擦除藕合率 K_e 、隧道氧化层的厚度 X_t 、擦除时隧道氧化层中的电场 $E_{te}(t)$ 有关^[3]:

$$V_{Te} = V_{ii+} + V_{CG} - [(X_t E_{te}(t) / K_e)] \quad (2)$$

式中 V_{ii} 为 $Q_{FC} = 0$ 时的阈值电压.

写操作将浮栅上的电子移出, 其方法是在漏端加高压, 源区悬浮, 而控制栅和衬底都是接地的. 在写入过程中阈值电压变小, 在以后的“读”操作时该存储单元的沟道中将会有电流流过. 写入阈值是指对 EEPROM 单元进行写入操作后的阈值电压.

基于同样的原理, 可以求出在写入过程中 EEPROM 的阈值电压 V_{TW} 为^[3]:

$$V_{TW} = V_{ii-} - V_d - (C_b / C_{pp}) V_d + [(C_{pp} + C_b + C_t + C_d) / C_{pp}] E_{wo}(t) \quad (3)$$

式中 V_d 为在漏区所加的电压, C_b 、 C_t 、 C_d 分别为浮栅和衬底、隧道氧化层、浮栅和漏区的电容, E_{wo} 为在写入时隧道氧化层中所加的电场.

从式(2)、(3)可以看出, EEPROM 的阈值电压与在擦写过程中隧道氧化层中的电场密切相关.

当在 FLOTOX EEPROM 结构隧道氧化层中存在陷阱俘获电荷时, EEPROM 单元的阈值电压将发生变化:

$$V_{Ti} = - [(\dot{Q}'_{fg} + Q_{fg}) / C_{pp}] + V_{ii} \quad (4)$$

式中 \dot{Q}'_{fg} 是在考虑了陷阱俘获电荷对注入电场的影响后浮栅上的电荷, Q_{fg} 是在浮栅上的等效陷阱俘获电荷. 在擦除过程中, 由于陷阱俘获电荷的存在, 注入电场 E'_{te} 可以表示为:

$$E'_{te}(t) = E_{te}(t) + \Delta E_{e+} + \Delta E_{e-} \quad (5)$$

式中 ΔE_{e+} 是由于正陷阱俘获电荷的存在而引起的擦除注入电场的变化, ΔE_{e-} 是由于负电荷的存在而引起的擦除注入电场的变化.

在写操作过程中, 由于陷阱俘获电荷的存在, 注入电场可以表示为:

$$E'_{wo}(t) = E_{wo}(t) + \Delta E_{w+} + \Delta E_{w-} \quad (6)$$

式中 ΔE_{w+} 是由于正陷阱俘获电荷的存在而引起的写入注入电场的变化, ΔE_{w-} 是由于负电荷的存在而引起的写入注入电场的变化.

在浮栅上的等效陷阱俘获电荷可以表示成:

$$Q_{fgt} = (\alpha_d X_t Q_t C_b) / (S_t \epsilon_{ox}) \quad (7)$$

式中 α_d 是漏耦合率, X_t 是离开 SiO_2 与 Si 界面的等效中心距, S_t 是隧道氧化层的面积, ϵ_{ox} 是 SiO_2 的介电常数, C_b 是总电容, Q_t 是在浮栅上的总陷阱俘获电荷.

由于 Q_{fgt} 的存在, 而引起的阈值电压的漂移可以表示成:

$$\Delta V_{Ti} = - Q_{fgt} / C_{pp} \quad (8)$$

如果在 FLOTOX EEPROM 的隧道氧化层中存在两种陷阱俘获电荷, 它们都对注入电场产生影响, 所以擦除阈值和写入阈值

可以分别表示成:

$$V_{Te}(t) = V_{ii+} + V_{CG} - \frac{X_t E'_{te}(t)}{\alpha_g} - \frac{X_{i+} Q_{i+} \alpha_d}{S_t \epsilon_{ox} \alpha_g} + \frac{X_{i-} Q_{i-} \alpha_d}{S_t \epsilon_{ox} \alpha_g} \quad (9)$$

$$V_{Tw}(t) = V_{ii-} - V_d - \frac{C_d}{C_{pp}} V_d + \frac{C_{pp} + C_b + C_t + C_d}{C_{pp}} X_t E'_{wo}(t) - \frac{X_{i+} Q_{i+} \alpha_d}{S_t \epsilon_{ox} \alpha_g} + \frac{X_{i-} Q_{i-} \alpha_d}{S_t \epsilon_{ox} \alpha_g} \quad (10)$$

式中 Q_{i+} 和 Q_{i-} 分别是在隧道氧化层中的正陷阱俘获电荷和负陷阱俘获电荷; X_{i+} 和 X_{i-} 分别为正陷阱俘获电荷和负陷阱俘获电荷离开 Si/SiO₂ 界面的有效中心距.

由式(9)、(10)可见, 当隧道氧化层中存在陷阱俘获电荷时, 会对注入电场产生影响, 进而增加或减少了擦除或写入阈值电压.

3 样品的制备和测量

本文中所采用的样品为 FLOTOX EEPROM 单元, 隧道氧化层的面积为 $1.4 \times 1.4 \mu\text{m}^2$, 隧道氧化层的厚度为 8nm. 该单元是用 13 次光刻掩膜的 CMOS EEPROM 工艺制备出来的. 所用的测试设备为 HP4062B 半导体参数测试系统. 测量在不同擦写条件下经过 1, 2, …, n 次擦写后的擦除阈值和写入阈值. 本文中阈值电压定义为当 $V_d = 1\text{V}$, $V_s = V_b = 0\text{V}$ 时, 使沟道电流达 $1\mu\text{A}$ 时在控制栅上所加的电压. 当擦除时, 控制栅上加高压, 在整个擦写周期中其宽度是一定的, 漏端、源端和衬底接地; 在写操作时, 漏端加高压, 在反复擦写过程中其宽度是一定的, 控制栅、衬底接地, 而源端是悬浮的.

4 实验结果

对不同擦写条件下, 擦写阈值与擦写周期数的关系进行了实验研究. 为了避免实验结果的盲目性, 对每一组实验条件, 进行了四个 EEPROM 单元的擦写实验, 实验结果的重复性很好.

图 3 给出了在不同的擦写电压和相同的擦写时间(1ms)下, 擦阈值和擦写周期数的关系, 擦除电压和写入电压分别为 15V、16V、17V、18V.

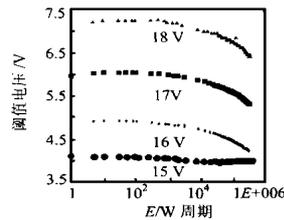


图 3 不同擦写电压下, 擦除阈值电压与擦写周期数的关系, 擦写时间为 1ms

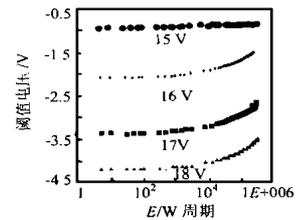


图 4 不同擦写电压下, 写阈值电压与擦写周期数的关系, 擦写时间为 1ms

图 4 给出了在不同的擦写电压和相同的擦写时间(1ms)下, 写阈值电压与擦写周期数的关系. 擦除电压和写入电压分别为 15V、16V、17V、18V. 图 5 给出了在相同的擦写电压、不同擦写时间下擦除阈值电压与擦写周期数的关系. 擦除和写入电压均为 18V. 擦写时间分别为 1ms、10ms、100ms、500ms. 图 6 给出了在相同的擦写电压、不同的擦写时间下写入阈值与擦写周期数的关系. 擦除和写入电压均为 18V, 擦写时间分别为

1ms, 10ms, 100ms, 500ms.

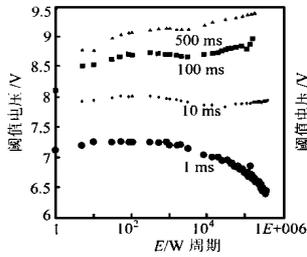


图5 不同擦写时间下,擦除阈值电压与擦写周期数的关系,擦写电压为18V

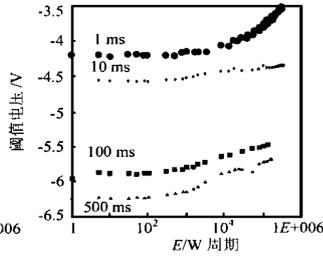


图6 不同擦写时间下,写入阈值电压与擦写周期数的关系,擦写电压为18V

5 讨论

根据以上的实验数据,用式(9)、(10)可以解释在反复擦写过程中陷阱俘获电荷的产生现象。

5.1 负陷阱俘获电荷

从图3和图4可以清楚地看出,当擦写电压低于16V时,擦除阈值一直减少,但写入阈值在1000个擦写周期内保持稳定。可以推断在低的擦写条件下,在1000个擦写周期内,在二氧化硅/硅界面产生了负陷阱俘获电荷。由于这些负陷阱俘获电荷远离浮栅/二氧化硅界面,它们对写入电场的影响很小,所以写入阈值基本保持稳定。随着擦写周期的增加,等效的陷阱俘获电荷中心距向浮栅/二氧化硅界面方向移动,擦除和写入电场都减少,所以擦除阈值减少。在15V的擦写条件下,在10000个擦写周期后,擦除阈值和写入阈值保持稳定,这可能是由于陷阱俘获电荷达到饱和态所致。

5.2 正陷阱俘获电荷

从图3和图5可见,当擦写电压足够高或者擦写时间足够长时,在开始的几个擦写周期内擦除阈值增大,我们断定在二氧化硅/硅界面附近产生了正陷阱俘获电荷,这些正陷阱俘获电荷在100个擦写周期后达到饱和,所以阈值电压保持稳定。1000次擦写后,擦除阈值再次增加,这可以解释为由于第二种陷阱俘获电荷产生所引起的。这些正陷阱俘获电荷也远离二氧化硅/硅界面,所以对写入电场不产生影响,写入阈值电压基本保持稳定。

从图6可以看出,在1000次擦写后,写入阈值电压也增大,这可以解释为在远离二氧化硅/硅界面产生了负陷阱俘获电荷,这些陷阱俘获电荷对擦除阈值电压的影响很小,但减小了写入注入电场,所以写入阈值变大。

5.3 陷阱俘获电荷产生动力学

传统上用陷阱密度和俘获截面来表示隧道氧化层的陷阱行为。常用的方法是将硅中的电子注入到MOS电容的氧化层中,测定平带电压随时间的漂移。平带电压的漂移可用一阶陷阱动力学模型来表示^[4]:

$$V_{fb} = \sum_{j=1}^n qN_{osj}(X_i/2\epsilon_{ox})[1 - \exp(-\sigma_j F)] \quad (11)$$

式中 N_{osj} 、 σ_j 分别为每一种陷阱俘获电荷的饱和密度和俘获截面。 X_i 为氧化层的厚度, F 为电子的流量。这一简单的模型不能解释以上的实验结果。Cohen等人提出了陷阱俘获电荷

的动力学模型^[4]:

$$dn_{oi}/dt = (J/q)[\sigma_a(N_{os} - n_{oi}) - \beta n_{oi}] \quad (12)$$

式中 n_{oi} 是被电子填充的陷阱俘获电荷密度, J 是电流密度, σ_a 是陷阱俘获电荷的俘获截面, β 是运动电子碰撞电离的几率,它由注入电场决定。当俘获和解俘获两个过程平衡时,俘获速率和解俘获速率相等,达到稳态。稳态时被电子填充的陷阱密度 n_i 为:

$$n_i = N_{os}/(1 + \sigma_{oi}/\beta) \quad (13)$$

平衡时未被电子占据的陷阱密度 p_i 为:

$$p_i = N_{os} - n_i = N_{os}/(1 + \beta/\sigma_a) \quad (14)$$

由于俘获截面 σ_a 和碰撞电离几率 β 由电场决定,所以稳态时被填充的陷阱俘获电荷密度 n_i 由电场决定,不是由电子流量决定。假定在受电场应力之前陷阱被电子占据的密度为 n_0 ,实践表明^[4],当电场为 6.5mV/cm 时, $n_0 \approx n_i$,在这一电场下,电荷的注入不改变电子占据的陷阱密度;当 $E < 6.5\text{mV/cm}$ 时, $n_i > n_0$,在低场下负电荷被俘获;当 $E > 6.5\text{mV/cm}$ 时,由于高场的作用,正电荷陷阱俘获正电荷,或者说产生了正陷阱俘获电荷。由图3、图4可见,当擦写电压较低时,擦除阈值一直减少,说明产生了负陷阱俘获电荷;当擦写电压较大时,擦除阈值开始增大,说明在高场下产生了正陷阱俘获电荷,进一步证实了陷阱俘获动态模型的正确性:陷阱俘获电荷的产生与注入电场的条件有关。

6 结论

理论研究了陷阱俘获电荷对FLOTOX EEPROM中隧道氧化层的注入电场和阈值电压的影响。实验研究了在各种擦写条件下,FLOTOX EEPROM的阈值电压与擦写周期的关系。当擦写电压低于16V时,在反复擦写过程中产生负陷阱俘获电荷,当擦写电压高于17V,或者擦写时间足够长时,产生了两种正陷阱俘获电荷。



于宗光 1964年出生,博士,教授级工程师,信息产业部无锡微电子科研中心设计中心副主任,中国电子学会高级会员、青年工作委员会副主任委员,完成部级鉴定20多项,获部级以上奖励6项,发表论文90余篇。



徐征 1967年出生,1989年毕业于东南大学半导体专业,高级工程师,中国华晶中央研究所MOS研究室副主任,完成部级鉴定20多项,或部级以上奖励5项。目前主要从事EEPROM、Flash memory等特种存储器方面的研究工作。

参考文献

- [1] Kuo C, Yeagain J R, Dooney W J, et al. IEEE, J Solid State Circuits, 1982, 17(5): 821~827

(下转第67页)

肖特基二极管零偏压下结电容在 10PF 以内,就能较满意的减小衬底电流,提高器件的抗热载流子能力;经分析计算,肖特基二极管的其他器件参数对衬底电流影响不大,因而这种肖特基二极管在 CMOS 工艺是很容易实现的.表 1 列出了 BERT

计算出的常规 CMOS 与结构(c)的倒相器在不同输入条件下的衬底电流及长期退化特性的比较,因而可以看出该结构可在很宽的工作范围内降低衬底电流,提高电路的抗热载流子退化能力.

表 1 BERT 模拟的不同工作条件下的单级倒相器的衬底电流及退化特性比较

输入信号 VDD = 5 V VSS = 0V VH = 5V VL = 0V		周期 10 μ s 脉宽 4.5 μ s		周期 1 μ s 脉宽 45ns		周期 100ns 脉宽 450ns	
		上升、下降时间 0.5 μ s	上升、下降时间 1.5 μ s	上升、下降时间 50ns	上升、下降时间 150ns	上升、下降时间 5ns	上升、下降时间 15ns
常规 结构	输入上升最大衬底电流/ μ A	1.88	1.90	1.90	1.93	1.89	1.92
	输入下降最大衬底电流/ μ A	1.79	1.91	0.89	1.92	1.74	1.92
	工作 10 年后漏电流退化/%	1.35	1.93	1.45	1.78	1.98	1.87
漏极串联 肖特基二 极管结构	输入上升最大衬底电流/ μ A	0.83	0.834	0.84	0.84	1.68	1.02
	输入下降最大衬底电流/ μ A	0.63	0.84	0.29	0.85	0.62	0.85
	工作 10 年后漏电流退化/%	0.776	0.97	1.04	0.98	1.36	1.66

5 结论

为克服 VLSI 的热载流子退化效应,本文提出了一种新的 CMOS 数字电路结构,即通过在受热载流子退化效应较严重的 NMOSFET 漏极串联一肖特基二极管来降低热载流子退化效应,SPICE 及电路可靠性模拟软件 BERT2.0 的计算结果表明,该结构不会增加延迟与降低电路速度,其衬底电流降低为常规 CMOS 结构的大约 50%,热载流子退化效应明显改善;且该电路结构中肖特基二极管可在 NMOSFET 漏极直接制作肖特基金半接触来方便地实现,工艺简单又无须增加芯片面积.

感谢华晶集团公司中央研究所提供了实验样品和二十四所的技术支持.

参考文献

- [1] Chengming Hu, et. al. . Hot electron induced MOSFET Degradation model, monitor and improvement. IEEE Trans. on ED, 1985, 31(1): 375~ 384
- [2] Takayasu Sakurai, Kazutaka Nogami, et. al. . Hot Carrier generation in submicrometer VLSI environment. IEEE Journal of Solid State Circuits, 1986, 21(1):87~ 192

- [3] Heung Joon Park, Kwyo Lee et. al. . A new CMOS NAND logic circuit for reducing hot carrier problems. IEEE Journal of Solid State Circuits, 1989, 24(4): 1041~ 1046
- [4] Ping Chung Li, Ibrahim N. Hajj. Computer aid redesign of VLSI circuits for hot carrier reliability. IEEE Trans. on CAD, 1996, 15(5): 453 ~ 468
- [5] Robert H. Tu, Elyse Rosenbaum et. al. . Bert Berkeley Reliability Tools. University of California, Berkeley, Electronics Research Laboratory Memorandum UCB/ERL M91/107, December 1991
- [6] 陈勇, 钟玲. 深亚微米 MOS 器件模型 BSM2 及其参数提取. 电子科技大学学报, 1997, 26(5):487~ 491



陈 勇 讲师,1989 年在电子科技大学微电子科学与工程系获硕士学位并留校任教.从事微电子器件与集成电路方面的教学与科研.现为该系在职博士生.研究兴趣包括器件建模和集成电路模拟与设计技术,发表论文十余篇.

(上接第 70 页)

- [2] Papadac C, Ghibaudo Gerard. Model for programming window degradation in FLOTOX EEPROM cells. IEEE, Trans. Electron Lett., 1992, 13(2): 89~ 91
- [3] 于宗光, 许居衍, 魏同立. 双层多晶硅 FLOTOX EEPROM 单元的

优化设计, 应用科学学报, 1997, 15(1): 82~ 87

- [4] Cohen Y N, Shappir J, Bentdkowsky D F. Dynamic model of trapping/detrapping in SiO_2 . J Appl. Phys. 1985, 58(6): 2252~ 2287