

# 浮栅隧道氧化层 EEPROM 中浮栅上电荷泄漏研究

于宗光, 陆 锋, 徐 征, 叶守银, 黄 卫, 王万业, 许居衍

(信息产业部微电子研究中心, 无锡 214035)

摘 要: 本文从研究不同单元尺寸浮栅隧道氧化层 EEPROM 在不同状态、不同温度保存下阈值电压的变化入手, 论述了浮栅隧道氧化层 EEPROM 中浮栅上电荷的泄漏机理, 并提出了改进 EEPROM 保持特性的措施。

关键词: EEPROM; 浮栅; 隧道氧化层; 电荷; 泄漏

中图分类号: TP343 文献标识码: A 文章编号: 0372-2112 (2000) 05-0090-02

## The Study for Charge Leakage on The Floating-gate of FLOTOX EEPROM

YU Zong-guang, LU Feng, XU Zheng, YE Shou-yin, HUANG Wei, WANG Wan-ye, XU Ju-yan

(Wuxi Microelectronics Institute., Wuxi, 214035, China)

Abstract: Based on the research on the changes of threshold voltage of FLOTOX EEPROM cells in different size under various states and storage temperatures, the mechanism for charge leakage on the floating-gate of FLOTOX EEPROM is discussed. Then, the methods to improve the retention characteristic of FLOTOX EEPROM are presented.

Key words: EEPROM; floating-gate; tunnel-oxide; charge; leakage

### 1 引言

由于各种泄漏机理的存在, 使得 EEPROM 的保持特性受到严重影响. 典型的泄漏机理是直接隧道效应和热激发<sup>[1]</sup>. 当对 EEPROM 读出时, 由于在浮栅上要加电压, 所以也使得电荷泄漏<sup>[1-3]</sup>, 一般认为, 要使 EEPROM 的保持特性良好, 隧道氧化层的质量是最关键的<sup>[3]</sup>, 通常考核 EEPROM 的保持特性是采用热加速实验的方法<sup>[4,5]</sup>, 到目前为止, 关于浮栅上电荷泄漏机理的系统研究未见报道. 本文对 FLOTOX EEPROM 在不同状态、不同存储温度下浮栅中电荷的保持特性进行了研究.

### 2 理论分析

所采用的 FLOTOX EEPROM 结构如图 1 所示. 当存在电荷时  $Q_{fg}$ , 会使 EEPROM 存储管的阈值电压  $V_{TP}$  发生变化, 即

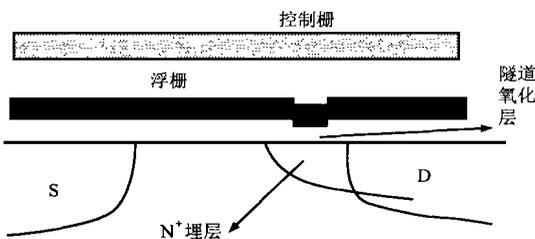


图 1 FLOTOX EEPROM 结构示意图

$$V_{TP} = V_{ti} + (Q_{fg} / C_{pp}) \quad (1)$$

式中  $V_{ti}$  为浮栅上无电荷时 FLOTOX EEPROM 的阈值电压 (原始阈值),  $C_{pp}$  为两层多晶硅之间的电容.

浮栅上的电荷  $Q_{fg}$  可以表示为

$$Q_{fg} = n(t) q \quad (2)$$

式中  $n(t)$  是  $t$  时刻浮栅上的电荷数,  $q$  是电子电量. 由式 (1)、(2) 可以求出在  $t$  时刻浮栅上的电荷数  $n(t)$  为

$$n(t) = [(V_{TP}(t) - V_{ti}) C_{pp}] / q \quad (3)$$

由式 (3) 可得, 在  $t$  时刻浮栅上的电荷数  $n(t)$  和初始时刻 ( $t = 0$ ) 浮栅上的电荷数  $n(0)$  之比为

$$n(t) / n(0) = [V_{TP}(t) - V_{ti}] / [V_{TP}(0) - V_{ti}] \quad (4)$$

由式 (4) 可见, 如果  $V_{TP}(0)$  和  $V_{ti}$  已知, 只要知道了在任意时刻的阈值电压  $V_{TP}(t)$ , 就可以求出相对于初始时刻, 浮栅上电荷的泄漏量.

### 3 实验

#### 3.1 样品的制备

采用的实验样品是经过优化设计<sup>[6]</sup>、在无锡微电子研究中心 1μm CMOS 工艺上加工出来的. 单元分两种, 一种是经过优化设计后的 FLOTOX EEPROM 单元<sup>[6]</sup>, 称为 A 单元, 其宽长比为 3/3.2; 另一种单元 (B 单元), 与 A 单元相比, 隧道氧化层面积和厚度相同, 但其浮栅面积增大了一倍, 其宽长比为 3.8/5.

#### 3.2 实验方法

所用的测试设备为 4062B 半导体参数自动测试系统, 首先测量各单元的原始阈值, 再对单元进行擦除或写入. 擦除时

控制栅加 18V 电压,时间为 3ms,源端、漏端和衬底都是接地的,电子由漏端经过隧道氧化层到达浮栅,擦除后浮栅上有多余的电子,EEPROM 的阈值为高阈值,称为“擦”态;写入时控制栅和衬底接地,漏端加 18V 电压,时间为 3ms,源端悬浮,电子由浮栅到达漏端,写入后 EEPROM 的阈值为低阈值,我们称为“写”态。擦除/写入操作完成后,将各种单元放在充有氮气的烘箱中进行烘烤,烘烤温度为 175 和 250 两种,然后再测量经过不同时间烘烤后的阈值电压。为了测量反复擦写对保持特性的影响,对所有的单元,首先进行反复擦写 1000 次,然后再进行上述实验。阈值电压定义为当  $V_{ds} = 1V, I_{ds} = 1\mu A$  时控制栅所加的电压。

### 3.3 原始阈值的确定

由于在加工过程中会引入一些缺陷和电荷,刚加工出来的存储单元的阈值电压是不稳定的,首先利用紫外光对刚加工出来的圆片进行分钟 30 照射,再进行阈值电压的测量,实践证明这是一种非常好的方法。A 单元和 B 单元的原始阈值  $V_{thA}$  和  $V_{thB}$  分别为 3V 和 2.85V。

## 4 实验结果及讨论

表 1 给出了各种擦/写情况下、不同存储温度、不同存储时间后浮栅上电荷的泄漏百分比  $n(t)/n(0)$  (%)。由表 1 可以看出:

表 1 各种擦/写情况下、不同存储温度、不同存储时间后浮栅上电荷的泄漏百分比  $n(t)/n(0)$  (%)

试验条件和状态	保存时间(小时)					
	0	1	5	10	31	50
A 单元,“擦”态,175 下保持	100	—	86.04	85.34	84.41	83.95
A 单元,“擦”态,250 下保持	100	73.73	66.41	60.35	42.42	24.49
A 单元,“写”态,175 下保持	100	98.91	—	98.64	98.34	98.23
A 单元,“写”态,250 下保持	100	95.93	94.08	93.03	90.54	89.22
A 单元,1000 次擦/写后,“擦”态,175 下保持	100	81.82	79.11	78.13	77.15	76.66
A 单元,1000 次擦/写后,“擦”态,250 下保持	100	74.75	64.46	55.88	27.24	6.86
A 单元,1000 次擦/写后,“写”态,175 下保持	100	97.62	95.15	—	—	90.22
A 单元,1000 次擦/写后,“写”态,250 下保持	100	92.15	—	90.06	88.10	86.80
B 单元,“擦”态,175 下保持	100	89.77	86.33	85.71	85.09	84.89
B 单元,“擦”态,250 下保持	100	79.50	74.33	70.19	57.97	46.17
B 单元,“写”态,175 下保持	100	94.69	94.22	93.40	92.10	91.03
B 单元,“写”态,250 下保持	100	83.64	81.88	80.99	78.67	77.35

Nozawa 等人认为<sup>[7]</sup>,浮栅上电子的发射符合热电子发射模型,即

$$n(t)/n(0) = \exp[ \exp(-\phi_b/KT) ] \quad (5)$$

式中  $\omega$  是电子晶格振荡频率,  $\phi_b$  是势垒高度,  $K$  是波尔兹曼常数,  $T$  是绝对温度。根据式(5),浮栅上电荷的泄漏只与温度有关,而与单元尺寸无关,根据实验结果,式(5)只适合于较低温度下浮栅上电荷的泄漏。

## 5 结论

FLOTOX EEPROM 浮栅上电荷的泄漏与单元的尺寸有关,电荷的泄漏量与单元所处的状态有关。在“写”态下,浮栅上电荷的泄漏与 IPO 的质量有关。而在擦态下,浮栅上电荷的泄漏与 IPO 的质量无关。在保持特性失效中,如果有“写”态失效,工艺上 IPO 的质量不能不考虑;如果没有“写”态失效,工艺上无需考虑 IPO 的质量,重点应放在隧道氧化层的质量提高上。

(1)在“写”态下,浮栅上电荷的泄漏比“擦”态下小。对于 A 单元,在 250 下保持 50 小时后,处于“擦”态的 EEPROM 浮栅上电荷的泄漏很多,只剩下 24.49%;而处于“写”态的 EEPROM 浮栅上电荷却仍有 89.22%。

(2)经过反复擦写后,浮栅上电荷容易泄漏,如对于 A 单元,经 1000 次擦写后,再在 175 下保持 50 小时,处于“擦”态的 EEPROM 浮栅上电荷剩下 76.66%;而未经擦写 1000 次,在 175 下保持 50 小时,处于“擦”态的 EEPROM 浮栅上电荷剩下 83.95%。

(3)在高温(250)下,“写”态下,B 单元浮栅上电荷的泄漏比 A 单元快。在“写”态下,经 250 下,50 小时储存后,B 单元中浮栅上的电荷只剩下 77.35%,而 A 单元中电荷还剩下 89.22%。由于 B 单元与 A 单元相比,仅仅是浮栅面积增大了,所以可以认为正电荷有一部分是从两层多晶硅之间的氧化层(IPO)泄漏的。所以,如果在保持特性失效中有“写”态失效,工艺上 IPO 的质量不能不考虑。

(4)在 175 下,“擦”态下,B 单元中电荷的泄漏量和 A 单元基本相同;而在 250 下,B 单元的泄漏比 A 单元小,这说明浮栅上负电荷并不是从 IPO 上泄漏的。如果在保持特性失效中没有“写”态失效,工艺上无需考虑 IPO 的质量,重点应放在隧道氧化层的质量提高上。

经过反复擦写后,浮栅上电荷的泄漏速度加快。

于宗光 (见本期 70 页)

徐征 (见本期 70 页)

## 参考文献

- [1] Jeppson K O, Svensson C M. IEEE J Solid - State Circuits, 1979, 14 (4): 723 ~ 729
- [2] Wang S T. IEEE Trans on Electron Device, 1980, 27(1): 297 ~ 299
- [3] Yaron G, Prasad S J, Ebel M S, et al. IEEE J Solid - State Circuits, 1982, 17(5): 833 ~ 840
- [4] Euzent B, Boruta N, Lee J, et al. in Proc. Int. Reliability Phys. Symp., 1981, 11 ~ 16
- [5] Chang M B, Sharma U, Cheng S K. Solid-State Electronics, 1992, 35 (10): 1513 ~ 1520 (下转第 95 页)

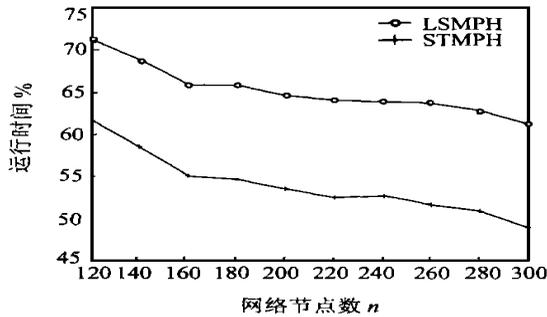


图 4 网络节点数对算法时间的影响

## 5 结论

本文对边对称情形下的组播树生成算法的实验性能进行了仿真。从仿真结果看,在网络节点数和端节点数变化的条件下,LSMPH 和 STMPH 算法性能稳定,比 MPH 算法更适用于更大的网络。LSMPH 和 STMPH 算法是紧密相关的,在实际中可以根据需要决定选用哪一种。

## 参考文献

- [ 1 ] 卢开澄,卢华明著.图论及其应用.北京:清华大学出版社,1995,8
- [ 2 ] Pawel Winter. Steiner problem in networks: A survey. Networks, 1987, 17:129 ~ 167
- [ 3 ] S. Ramanathan. Multicast tree generation in networks with asymmetric links. IEEE/ACM Trans. On Networking, August 1996, 4(4)
- [ 4 ] Bernard M. Waxman. Routing of multipoint connections. IEEE Journal on Selected Areas in Communications, December 1988, 6(9)

- [ 5 ] Anees Shaikh, and Kang Shin. Destination-driven routing for low-cost multicast. IEEE Journal on Selected Areas in Communications, April 1997, 15(3)



李汉兵 1970 年出生,博士生,1997 年 3 月于西安电子科技大学获得通信与电子系统工学硕士学位。目前正在攻读信号与信息处理博士学位。主要研究方向有卫星通信,计算机通信,网络路由算法,高速路由器技术等。



喻建平 1968 年出生,1995 年获西安电子科技大学通信与电子学博士学位,深圳大学副教授。从事信息安全保密技术,通信与计算机信息系统的研究。



谢维信 1941 年出生,西安电子科技大学博士生导师,深圳大学校长兼信息工程学院院长,从事信号与信息处理和计算机通信的研究工作。

(上接第 91 页)

- [ 6 ] 于宗光,许居衍,魏同立等.应用科学学报,1997,15(1):82 ~ 87
- [ 7 ] Nozawa H, Matsukawa N, Mbrita S. IEEE Trans on Electron Device, 1986, 33(1):275 ~ 280
- [ 8 ] Atsumi S, Kuriyama M, Umezawa A, et al. IEEEJ Solid-State Circuits, 1994, 29(4):461 ~ 469
- [ 9 ] Kawahara T, Kobayashi T, Youno Y, et al. IEEEJ Solid-State Circuits, 1996, 31(11):1590 ~ 1600
- [ 10 ] Kim J. K., Sakui, K., Lee, S. S, et al. IEEEJ Solid-State Circuits, 1997, 32(5):670 ~ 678