

# 可重构硬件芯片级故障定位与自主修复方法

郝国锋,王友仁,张 砦,袁 鹏,孔德明

(南京航空航天大学自动化学院,江苏南京 210016)

**摘 要:** 外部集中控制的 $\text{RH}$ 容错系统,其重构控制算法复杂、重构时间开销大,且存在单点失效问题.本文研究芯片级分布式在线自主容错技术,提出了能够实现芯片级自修复的新型可重构硬件细胞阵列结构,阐述了互连资源的在线故障定位和自主修复方法.设计了功能细胞电路和容错开关块电路,采用分段定位法检测互连资源中多路器故障和连线开路故障,通过重配置布线和线移位操作分别实现多路器与连线故障自修复.以4位串并乘法器电路为例进行实验验证,分析了容错设计的硬件开销与时间开销,实验结果表明新方案的容错时间短、资源利用率高.

**关键词:** 可重构硬件; 芯片级容错; 分布式控制; 故障定位; 自主修复

**中图分类号:** TP302.8 **文献标识码:** A **文章编号:** 0372-2112 (2012) 02-0384-05

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2012.02.028

## In-Chip Fault Localization and Self-Repairing Method for Reconfigurable Hardware

HAO Guo-feng, WANG You-ren, ZHANG Zhai, YUAN Peng, KONG De-ming

(College of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing, Jiangsu 210016, China)

**Abstract:** Fault-tolerant system of Reconfigurable Hardware (RH) with centralized controller has the shortcomings of complex reconfiguration algorithm and long reconstruction time, and the system will be invalidation when the controller is in fail. To realize online distributed fault-tolerant in-chip, a new RH architecture of cell arrays was proposed, which has the ability to achieve in-chip self-repairing. The method of fault localization and self-repairing for interconnection circuit between electronic cells in RH are described in detail. The electronic cell circuit and a Fault-Tolerant Switch Block (FT-SB) in RH are designed. The fault-tolerant method of interconnection circuit includes two stages. Firstly, the MUXs in FT-SB and the connection lines between FT-SBs in the fault channels are detected, then the re-routing and line-shift methods in interconnection circuit are introduced to heal the fault MUXs and the broken lines respectively. The implementation and simulation experiment of a 4-bit serial-parallel multiplier are presented. The performance analysis of fault-tolerant time and hardware resources consumption show that the fault-tolerant performance of the interconnection circuits in new RH is improved greatly.

**Key words:** reconfigurable hardware; in-chip fault-tolerant; distributed control; fault localization; self-repairing

## 1 引言

集成化电子系统芯片的功能与结构日益复杂,高故障率已成为制约其发展的重要因素之一.高性能和高可靠性设计是目前亟需解决的问题,与集成电路工艺技术的快速发展相比,高可靠性设计实现难度大,尤其芯片级可靠性设计和容错技术急需突破<sup>[1]</sup>.可重构硬件有结构灵活、开发周期短、研发成本低等特点,已经在通信、雷达、航空与航天等领域得到广泛应用,而集成化可重构电子系统容错技术研究正日益受到重视<sup>[2-4]</sup>.

依据重构控制方式不同,可重构硬件芯片级容错技术有外部控制器集中控制和分布式自主控制两种.集中

控制方式实现的容错控制算法复杂、重构时间长,且当控制器发生故障时重构将无法实现(即单点失效).而分布式自主控制方式下,控制逻辑分布在各可重构单元中,容错算法较简单、重构速度快.可重构硬件主要由逻辑功能单元和互连资源组成,目前面向逻辑功能单元故障的可重构硬件容错方法研究成果较多,已提出多种硬件结构模型<sup>[3-6]</sup>.面向互连线故障的可重构硬件容错方法研究,由于互连资源中连线多,故障模型较复杂,成果较少<sup>[4,7]</sup>.

文献[8]提出了一种普通FPGA(Field Programmable Gate Array)离线重配置方法,在离线状态下配置可编程逻辑单元CLB(Configurable Logic Block)生成测试向量进

行互连资源测试,无需专门测试向量生成电路,缺点是不能在线测试,重配置由外部控制器控制;文献[9]采用一种簇结构,对簇内和簇外的互连线进行分层诊断,使得配置 CLB 生成测试向量所需的配置数据长度大大缩短.但采用离线外部控制整体配置的互连线故障修复方法没有变;文献[10,11]用 Roving STARs 和内建自测试相结合方法进行互连资源测试,通过动态重构实现互连资源在线检测,但仍然需要外部控制器来控制在线检测和故障修复;文献[12]提出了类似总线结构的可重构互连资源容错方法,设计了总线结构型互连资源用于测试其它互连资源.由外部控制器将待诊断互连资源的配置数据配置到专用总线互连资源中进行故障诊断;文献[13~15]模仿生物体免疫系统工作机制,构建一种新型可重构硬件结构,借助免疫层电路来实现互连资源和逻辑功能单元的分布式故障诊断,实现了在线自主容错,但免疫层硬件开销很大.

针对可重构硬件中互连资源故障在线修复困难、集中控制容错系统存在单点失效等问题,以生物体胚胎细胞理论为基础,设计具有互连资源分布式故障定位与自主修复能力的可重构硬件结构,给出在线自主容错实现方法,并通过实验进行验证和分析.

## 2 芯片级自主容错可重构硬件结构

### 2.1 系统结构

芯片级自主容错可重构硬件系统结构由功能细胞(CELL)、容错开关块(FT-SB)和输入/输出模块(I/O)构成,如图1所示.功能细胞结构完全相同,容错开关块连接相邻功能细胞单元.

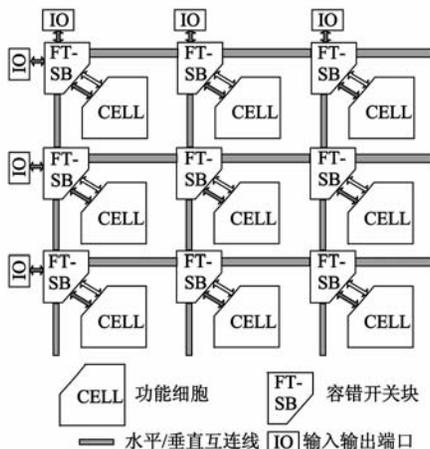


图1 自主容错可重构硬件系统结构

### 2.2 功能细胞

功能细胞逻辑结构包括可配置逻辑层、配置控制层、检测层和修复层四层.

可配置逻辑层主要是可配置逻辑块,结构与普通FPGA芯片的基本逻辑单元相似.

配置控制层包括配置寄存器组和配置控制电路,配置寄存器组存储着功能细胞的布线路径信息;控制电路负责触发配置寄存器组输出,以配置可编程逻辑块和容错开关块.

检测层由捕获单元、读回单元和同步比较单元组成.捕获单元捕获工作通路的输入数据;读回单元根据相邻细胞发出的读回使能信号进行数据读回;同步比较单元负责将捕获单元的捕获数据和读回单元的读回数据进行同步比较,以判断通路的故障状态.

修复层主要包括修复控制模块,在检测出故障后,控制故障定位和触发自主修复.

### 2.3 容错开关块

图2(a)所示为4通路开关块SB(Switch Block),每条通路只能与其它三个方向的相同通路相连,其由五个4选1多路器构成.

容错开关块的结构如图2(b)所示.control\_s通道用于输入开关块测试向量和修复控制信号,S通路是修复开关块间连线开路故障的冗余通路,各方向的线移位模块#0~#3用于辅助实现连线修复.

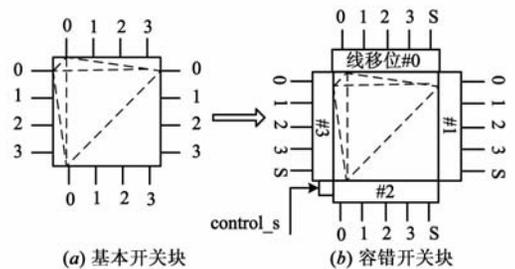


图2 开关块结构

## 3 互连资源分布式在线自主容错

互连资源故障自主容错分为在线故障定位和自主修复两个阶段.

### 3.1 在线故障定位

故障检测:因工作通路影响电路功能,故只检测工作通路故障.若通路发生故障则输入和输出数据不一致,否则通路无故障.

故障定位:确定互连资源故障是发生在容错开关块内部的多路器上还是容错开关块间的连线上.检测到故障后,测试容错开关块内部多路器状态,若发生故障则进行多路器自修复;否则,认为容错开关块之间的连线有故障,触发连线自修复.

### 3.2 自主故障修复

#### (1)多路器故障自修复

容错开关块内部多路器的自修复思想是用容错开关块内部的空闲冗余多路器代替故障多路器.多路器故障定位后,在自修复周期内进行功能重配置.图3所示

为容错开关块的修复原理,其中#0、#1为工作多路器, #2为冗余多路器。#0多路器发生故障时,输入和配置信息都依次传递(#0转到#1, #1转到#2),该过程由细胞中修复控制模块控制。

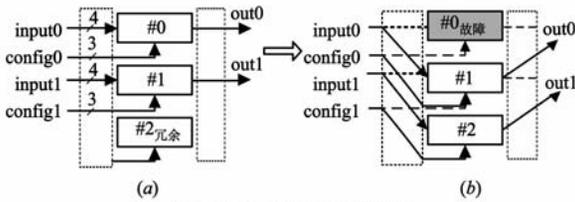


图3 容错开关块修复原理

(2) 连线故障自修复

容错开关块之间连线的修复是通过故障线移位方式实现.图4所示为容错开关块中线移位模块的结构图,线移位模块包括输入线移位和输出线移位,两个模块可实现用冗余通路替代故障连线通路.其修复过程为:

①断开故障连线:定位连线故障后,修复控制模块根据故障方向(N、E、S、W)触发该方向的线移位单元(线移位模块#0、#1、#2、#3其中之一)。

②开启冗余通道连线:容错开关块输出线修复完成后,根据①中确定的故障线连接方向,线修复控制模块向右边相邻(以右边输出线故障为例)的开关块发送修复控制信号,触发其线移位模块中的输入线移位模块(右边相邻开关块的左边输入连线),重新配置布线,使得该容错开关块左边输入线与其左边开关块的右边输出线相同。

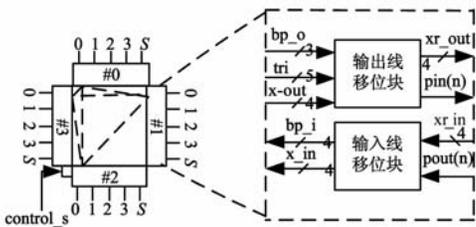


图4 线移位模块结构

4 应用实例及实验结果分析

4.1 应用实例与仿真结果

以四位串并乘法器电路设计为例,验证评估新型可重构硬件芯片级分布式互连资源故障定位和自主修复方法的正确有效.用VHDL语言描述,在Xilinx公司Virtex2系列的xc2v6000 FPGA芯片上进行仿真.四位串并乘法器中乘数a以串行方式输入,乘数b以并行方式输入.试验中, #0通路注入连线开路故障, #1通路注入了多路器故障.在ISE6.2环境下编程,用Modelsim6.0进行功能仿真,结果如图5所示。

整个仿真过程测试信号有效 test = “1”,持续检测自身工作状态,注入故障信号之前(t0时刻前),电路正

常工作,输入数据 a\_in(乘数 a)串行输入“0011”,输入数据 b\_in(乘数 b)并行输入“1100”,乘法结果 p\_out = “00100100”.在 t0 时刻注入故障:bk\_inject1 = “0010”表明在 #1 通道中注入多路器故障, fault\_line = “1”表明在 #0 通道注入连线开路故障,故障注入后,电路输出变成“00100000”,出现错误.电路开始自主容错,先诊断 #0 通道,检测层在 t1 时刻发现通道 #0 出现故障,故障信号 faulta 变为“1”,故障定位过程对容错开关块内部的多路器进行测试,多路器故障输出信号 fault\_ka = “0”表明多路器无故障,即发生连线故障,触发连线修复操作, t2 时刻完成故障线修复, faulta = “0”;由于 test 始终为“1”,通道 #0 修复完成后,继续对通道 #1 进行故障诊断, t3 时刻发现故障, faulta 变为“1”, t4 时刻 fault\_ka = “1”,定位为开关块内多路器故障,进行自主修复, t5 时刻修复完成,电路输出 p\_out = “00100100”,电路正常工作,说明实现了容错。



图5 四位串并乘法器电路容错过程仿真结果

4.2 容错性能分析

(1) 硬件开销分析

采用分布式故障诊断和自修复方法,每个功能细胞和容错开关块结构完全相同,诊断和修复模块资源开销也相同,故可用部分资源的统计结果进行说明分析.以 4 × 4 阵列为例,用硬件开销(诊断与修复模块消耗与可重构硬件细胞消耗的比)数据来衡量自主容错的代价(单个细胞内).本文设计中,每个细胞互连资源允许每个通路各修复一个多路器故障,容错开关块的每个方向各修复一条连线,硬件资源开销为 43.4%,与传统二模(100%)、三模(200%)冗余方法相比,硬件资源利用率更高.表1中给出了四种可重构硬件容错方法的容错性能对比。

(2) 时间开销分析

一条通路容错所需时间为 T,则  $T = T_{\text{定位}} + T_{\text{修复}}$ ,其中  $T_{\text{定位}}$  表示故障定位的时间开销,  $T_{\text{修复}}$  表示自主修复的时间开销.在上述实例中,容错开关块内有四条连线通路,因只需对工作通路进行容错(非工作通路对电路正常工作没有影响),可减少容错测试时间,只有当通路处于工作中时才进行容错.则容错开关块的最大

容错时间为  $4T$  (四个通道都处于工作状态), 最小时间开销为  $T$ 。

普通 FPGA 互连资源测试一般采用 Roving BIST 方法, 在  $4 \times 4$  阵列的可重构硬件上实现修复所需时间为  $300\text{ms}$ <sup>[10]</sup>; 基于总线结构的 FPGA 故障诊断方法当选用 4 输入 1 输出的查找表时, 在  $4 \times 4$  阵列可重构硬件上所需要诊断时间为 133 个容错周期  $T$ , 且随阵列规模增大而增加<sup>[12]</sup>; 采用免疫电子系统方法进行互连资源故障诊断, 离线学习时间难以估计<sup>[14]</sup>。

实验仿真中, 本文方案的故障检测与自主修复所需的时间分别为 8 个时钟周期和 6 个时钟周期, 实验中采用的容错时钟周期为  $40\text{ns}$  (与文献 10、12 的容错周期相同), 所需最小容错时间为  $560\text{ns}$ , 最大时间为  $2.24\mu\text{s}$ 。因采用了分布式故障检测与自修复方法, 容错时间不会随着硬件规模扩大而增加。

表 1 四种可重构硬件结构及其容错方法的容错性能对比

可重构硬件类型	容错方法	硬件开销	时间开销	备注
普通 FPGA <sup>[10]</sup>	全局控制离线状态	-	300ms	复杂的外部计算
基于总线的 FPGA <sup>[12]</sup>	全局控制在线状态	50%	$5.32\mu\text{s}$	行列冗余检测局限性大
免疫电子系统 <sup>[14]</sup>	分布式在线状态	100%	-	离线状态下的免疫学习
本文设计方案	分布式在线状态	43.4%	$2.24\mu\text{s}$	-

## 5 结论

提出一种具有分布式在线自主容错能力的可重构硬件结构, 设计了功能细胞电路和容错开关电路。采用四位串并乘法器对新型可重构硬件芯片级在线故障定位和自主修复方法的正确有效性进行验证, 不仅能定位互连资源故障和在线修复故障, 且容错过程由芯片内细胞单元分布式自主控制实现。与现有的代表性可重构硬件容错设计相比, 本文方案的容错速度快、硬件利用率更高。

## 参考文献

[1] 党炜, 孙惠中, 李瑞莹, 等. COTS 器件空间应用的可靠性保证技术研究[J]. 电子学报, 2009, 37(11): 2589 - 2594.  
Dang Wei, Sun Huizhong, Li Ruiying, et al. Research on reliability assurance of COTS components in space application[J]. Acta Electronica Sinica, 2009, 37(11): 2589 - 2594. (in Chinese)

[2] 高娜娜, 李占才, 王沁, 等. 一种可重构体系结构用于高速实现 DES、3DES 和 AES[J]. 电子学报, 2006, 34(8): 1386 - 1389.  
Gao Nana, Li Zhancai, Wang Qin, et al. A reconfigurable archi-

ture for high-speed implementations of DES, 3DES and AES [J]. Acta Electronica Sinica, 2006, 34(8): 1386 - 1389. (in Chinese)

[3] 姚睿, 王友仁, 于盛林, 等. 具有在线修复能力的强容错三模冗余系统设计及实验研究[J]. 电子学报, 2010, 38(1): 177 - 183.  
Yao Rui, Wang Youren, Yu Shenglin, et al. Design and experiments of enhanced fault-tolerant triple-module redundancy systems capable of online self-repairing[J]. Acta Electronica Sinica, 2010, 38(1): 177 - 183. (in Chinese)

[4] 郝国锋, 王友仁, 张岩, 等. 可重构硬件内建自测试与容错机制研究[J]. 仪器仪表学报, 2011, 32(4): 856 - 862.  
Hao Guofeng, Wang Youren, Zhang Zhai, et al. Research on built-in self-test and fault-tolerant technology for digital reconfigurable hardware [J]. Chinese Journal of Scientific Instrument, 2011, 32(4): 856 - 862. (in Chinese)

[5] Szasz C, Chindris V. Fault-tolerance properties and self-healing abilities implementation in FPGA-based embryonic hardware systems[A]. Proceeding of the 7th IEEE International Conference on Industrial Informatics[C]. Cardiff, Wales, 2009. 155 - 160.

[6] Zipf P. Applying dynamic reconfiguration for fault tolerance in fine-grained logic arrays[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2008, 16(2): 134 - 143.

[7] Zhang Z, Wang YR, Yang SS, et al. The research of self-repairing digital circuit based on embryonic cellular array[J]. Neural Computing & Applications, 2008, 17(2): 145 - 151.

[8] Tahoori M B, Subhasush M. Automatic configuration generation for FPGA interconnect testing [A]. Proceedings of the 21st IEEE VLSI Test Symposium[C]. Stanford, CA, USA, 2003. 134 - 139.

[9] Kumar T N, Inn C S. An automated approach for the diagnosis of multiple faults in FPGA interconnects[A]. Proceedings of 1st Asia Symposium on Quality Electronic Design [C]. Kuala Lumpur, 2009. 391 - 395.

[10] Harris L G, Tessier R. Testing and diagnosis of interconnect faults in cluster-based FPGA architectures[J]. IEEE Transactions on CAD of Integrated Circuits and Systems, 2002, 21(11): 1337 - 1343.

[11] Hsu CL, Chen T. Built-in self-test design for fault detection and fault diagnosis in SRAM-based FPGA[J]. IEEE Transactions on Instrumentation and Measurement, 2009, 58(7): 2300 - 2315.

[12] Dutt S, Verma V, Suthar V. Built-in-self-test of FPGAs with provable ingnosabilities and high diagnostic coverage with application to online testing[J]. IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, 2008, 27(6): 309 - 326.

[13] Shnidman N R, Mangione-Smith W H, Potkonjak M. On-line

fault detection for bus-based field programmable gate arrays [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 1998, 6(4): 656 – 666.

- [14] Zhang XG, Dragffy G, Pipe A G, et al. Artificial innate immune system: an instant defence layer of embryonics[A]. Pro-

ceedings of the 3rd International Conference on Artificial Immune Systems[C]. Catania, Italy, 2004. 302 – 315.

- [15] Lala P K, Kumar B K, Parkerson J P. On self-healing digital system design[J]. Microelectronics Journal, 2006, 37: 353 – 362.

## 作者简介



**郝国锋** 男, 1984 年生, 南京航空航天大学硕士研究生. 研究方向为可重构电子系统容错技术.

E-mail: Perfection1984@163.com

**王友仁(通讯作者)** 男, 1963 年生, 博士, 教授, 博士生导师. 研究方向为电路理论、信号处理、进化硬件、故障诊断预测等.

E-mail: wangyrac@nuaa.edu.cn

**张 砦** 男, 1980 年生, 南京航空航天大学博士研究生, 讲师. 研究方向为数字仿生硬件及应用技术.

E-mail: wolnyzhang@nuaa.edu.cn