

# 基于输出违例概率的时延向量测试质量评估

王 杰<sup>1,2</sup>, 梁华国<sup>1</sup>, 李华伟<sup>2</sup>, 闵应骅<sup>2</sup>, 李晓维<sup>2</sup>

(1. 合肥工业大学计算机与信息学院, 电子科学与应用物理学院, 安徽合肥 230009;  
2. 中国科学院计算机系统结构重点实验室, 中国科学院计算技术研究所, 北京 100190)

**摘 要:** 针对冒险引起的测试质量评估误差, 本文提出了一种基于输出违例概率的测试质量评估方法. 定义了到达时间窗口和输出违例概率的概念, 使用输出违例概率来反映测试向量的小时延缺陷检测能力, 有效地避免了忽略冒险引起的计算误差, 从而准确的评估了向量对小时延缺陷的检测质量. 实验结果表明, 相对于基于输出偏移的国际同类方法, 本文的评估方法不增加额外的时间开销; 在其指导下筛选出来的向量具有更高的测试质量.

**关键词:** 小时延缺陷; 时延测试; 冒险; 测试质量评估; 输出违例概率

**中图分类号:** TP303      **文献标识码:** A      **文章编号:** 0372-2112 (2011) 05-1031-06

## Test Quality Evaluation for Delay Test Pattern Based on Output Violation Probability

WANG Jie<sup>1,2</sup>, LIANG Hua-guo<sup>1</sup>, LI Hua-wei<sup>2</sup>, MIN Ying-hua<sup>2</sup>, LI Xiao-wei<sup>2</sup>

(1. School of Computer and Information, School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China;  
2. Key Laboratory of Computer System and Architecture, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China)

**Abstract:** A new test quality evaluation method based on output violation probability to reduce errors induced by hazards is presented. The concept of arrival time window is introduced and the concept of output violation probability is defined to accurately reflecting the pattern capability on SDD detection, which eliminates the errors of probability calculation caused by ignoring hazard. Experimental results show that the proposed evaluation method brings no extra run time overhead, and the selected patterns by this method can achieve higher test quality for SDD detection compared to the previous method based on output-deviation.

**Key words:** small delay defect; delay test; hazard; test quality evaluation; output violation probability

## 1 引言

伴随着集成电路工艺尺寸的不断缩小, 时钟频率不断加快, 芯片对时延波动越来越敏感. 尤其是集成电路工艺步入纳米时代后, 工艺波动、电源噪声、串扰噪声<sup>[1]</sup>以及阻性开路和阻性短路 (resistive opens and shorts) 会在电路中引入大量的小时延缺陷<sup>[2]</sup>, 这些小时延缺陷的存在会严重影响芯片性能和可靠性, 导致芯片早期失效. 传统的时延测试方法很难检测出小时延缺陷, 原因如下: 在测试的时候, 大时延缺陷引起的延迟效应沿着任何一条通路传播都能被检测到, 而单独一个小时延缺陷的延迟效应沿短通路传播是不能被检测到的. 然而在工作状态下, 这些小时延缺陷的延迟效应很有可能会沿着关键通路传播引起芯片失效. 时延测试一般使用跳变故

障 (transition fault-TF) 模型<sup>[3]</sup>, 而传统的跳变故障模型基于大时延缺陷假设, 自动测试生成 (Automatic Test Pattern Generation, ATPG) 往往更倾向于把故障效应沿着短通路传播, 从而导致对小时延缺陷的漏测.

目前, 针对小时延缺陷的测试方法研究倍受关注. 文献[4~6]使用传统 TF 向量, 采用超速测试 (fast than at-speed test) 来提高小时延缺陷的检测效果, 这种方法的问题在于: (1) 现有的测试仪 (ATE) 频率普遍低于芯片工作频率, 能提供高速测试频率的测试仪价格非常昂贵, 测试成本将大大增加; (2) 由于测试频率高于工作频率, 很有可能会造成过度测试 (Over Testing), 此外, 也会使得本来就很严重的测试功耗问题变得雪上加霜<sup>[7]</sup>. 文献[8~10] 在原有 TF-ATPG 的基础上, 增加定时信息 (Timing Information), 使故障效应沿着最长的通路传播

收稿日期: 2010-08-13; 修回日期: 2010-11-16

基金项目: 国家自然科学基金 (No. 60876028); 国家自然科学基金重点项目 (No. 60633060); 教育部博士点基金 (No. 200803590006); 安徽省海外高层次人才基金 (No. 2008Z014); 国家自然科学基金面上项目 (No. 60776031); 中国博士后科学基金 (No. 20080430050); 高等学校博士学科点专项科研新教师基金 (No. 200803591033)

到 PO/PPO, 直接生成能有效检测小时延缺陷的高质量测试向量. 文献[11]提出了带时间参数的双倍可变速测试点的测试方法, 可用于对通路的精确时延测试. 这些针对小时延缺陷的 ATPG 由于引入定时信息的处理, 其运算复杂度太高, 执行时间最高可达到传统 ATPG 的 200 倍<sup>[12]</sup>, 这将不能适应大规模电路的测试生成需求.

针对小时延缺陷的测试质量评估是解决小时延缺陷测试问题的一个重要环节. 如果我们可以准确并快速的评估传统 TF 向量对小时延缺陷的测试质量的话, 就可以从随机 TF 测试集中筛选出需要的高质量测试向量. 文献[13]提出了一种评估测试向量对小时延缺陷检测能力的标准: 输出偏移(output deviation). 这种评估方法可以快速的完成对向量的测试质量评估, 每个向量的评估过程只需对电路的一次遍历即可完成. 但是该方法在信号概率计算过程中, 没有考虑信号传播过程中产生的冒险(hazard)问题, 计算造成的误差会导致对向量检测能力过于乐观或者过于悲观的估计; 计算所得输出偏移不能真实的反映向量对小时延缺陷的检测能力, 特别是忽略了非强健测试向量的检测能力.

为了更加准确地评估向量对小时延缺陷的检测能力, 本文把冒险的影响引入了输出偏移的计算. 重新定义了信号跳变概率, 提出了新的测试质量评估标准: 输出违例概率, 修正了忽略冒险带来的信号跳变概率的计算误差. 进一步, 为了应对工艺波动对时延测试的影响, 在评估体系中采用了使用了门时延缺陷概率的统计时延模型, 保证了在工艺波动条件下评估结果的准确性. 实验结果表明, 相对于输出偏移本文的评估方法不增加额外的时间开销, 可以更加准确的评估时延向量的测试质量. 在其指导下筛选出来的向量能够测试到 1.5 倍数量的长通路, 并且能在测试早期发现更多的小时延缺陷.

## 2 基于输出偏移的测试质量评估

### 2.1 门时延缺陷概率

在超深亚微米工艺下, 集成电路工艺波动日趋严重. 有研究指出, 65 纳米工艺下器件时延波动最大可以达到 20%. 在这种情况下, 很难准确估计器件在流片后的时延, 使用确定性时延参数的测试质量评估将会造成很大误差. 本文考虑了这种工艺带来的时延波动, 引

入了门时延缺陷概率(gate-delay defect probabilities)模型<sup>[13]</sup>: 每个门的时延在设计阶段会有一个期望值  $\mu$ , 由于工艺波动和信号噪声的影响门时延会在  $\mu$  附近产生波动, 并呈现某种分布特性(一般假设为正态分布). 当一个门的时延波动超过一定的界限  $T_{CRT}$  的时候, 就认为这个门出现了时延缺陷. 假设门时延的密度函数为  $pdf(x)$ , 从而门出现时延缺陷的概率是:

$$DDP = Prob(x > T_{CRT}) = \int_{T_{CRT}}^{\infty} pdf(x) dx \quad (1)$$

在这种模型下, 每个门的时延不再是固定值, 而是一个随机变量. 通过设置其统计参数来模拟工艺波动, 相对于确定性的时延参数能更加准确的反应真实芯片的时延特性.

### 2.2 信号跳变概率和输出偏移

在时延测试中, 一对测试向量在输入激发跳变并沿着电路进行传播, 线上会出现的跳变信号有以下四种可能:  $L \rightarrow L, L \rightarrow H, H \rightarrow L, H \rightarrow H$ , 分别代表稳定 0, 上跳变, 下跳变, 稳定 1. 文献[13]在单跳变假设的前提下, 定义了一组信号跳变概率  $< P_{L \rightarrow L}, P_{L \rightarrow H}, P_{H \rightarrow L}, P_{H \rightarrow H} >$ , 分别代表在电路中出现四种跳变的概率值. 电路输入上出现某种跳变的概率是 1, 每经过一级门, 由于该门有可能会时延缺陷导致跳变被阻塞, 所以输出端跳变概率就等于逻辑运算的输入组合跳变概率  $\times (1 - DDP)$ , 其中 DDP 是该门出现时延缺陷的概率. 如图 1 所示: 门 B 出现时延缺陷的概率是 0.4, 则其输出能观测到上跳变的概率是:  $1 \times (1 - 0.4) = 0.6$ . 依次类推, 可以得到每条线的信号跳变概率, 直到电路输出. 只考虑初始值和最终值, 时延测试向量在无故障电路中模拟得到的跳变为输出期望跳变, 若某电路输出的输出期望跳变的概率是 PE, 文献[13]把  $1 - PE$  定义为输出偏移(output deviation), 以它作为衡量向量检测时延缺陷能力的指标.

### 2.3 忽略冒险带来的问题

这种信号跳变概率计算方法只考虑初始值和最终值, 忽略了中间跳变, 这也是图 1 中四个信号跳变概率至少有两个为 0 的原因. 如图 2 当与门的输入端出现两个相反的跳变的时候, 文献[13]把输出当作  $L \rightarrow L$  处理, 故障效应被阻塞. 而实际上当下跳变晚于上跳变的

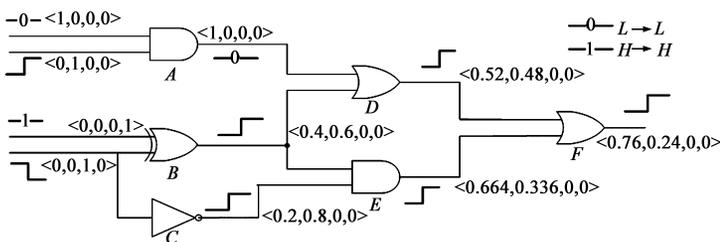


图1 不考虑冒险的输出偏移计算

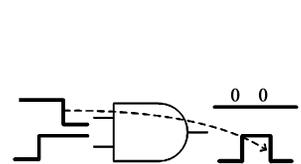


图2 非强健向量导致的冒险

时候,输出端会出现一个冒险,这是一个典型的通路的非强健测试的例子,上面那根线上的故障效应实际上是可以继续向前传播的.下面举两个具有代表性的例子具体的分析一下这种非强健冒险带来的问题.

**例 1** 图 3 是一个非强健时延测试向量计算输出偏移的结果,线上的括号中的四个值为按照文献[13]中方法计算得到的信号跳变概率.我们发现:当两个相反跳变在门 G 上汇聚后跳变被阻塞,所有输出的输出偏移都是 0,也就是说认为这个向量不能检测任何时延缺陷.

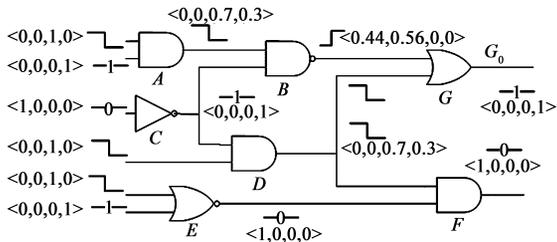


图3 例1不考虑冒险的输出偏移计算

考虑真实情况,如图 4 所示:当两个反向跳变汇聚到门 G 上时,上跳变到来时旁路已经处于非控制值,上路跳变可以传播到门 G 的输出 G0.当前这个向量可以敏化图中粗体表示的通路,标识阴影门上的时延缺陷都可以被测试覆盖到.这种情况下,文献[13]中方法认为当前向量没有时延缺陷检测能力是完全错误的判断.事实上该向量敏化的恰是一条长通路,文献[13]中方法则会在向量筛选阶段漏选这种非强健测试向量.

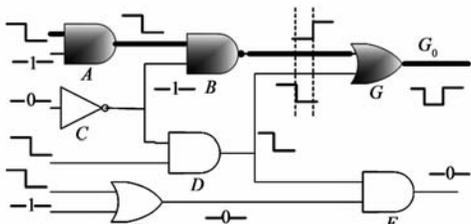


图4 例1真实情况的分析

**例 2** 图 5 中两个反向跳变在门 E 上汇聚,原方法认为线 C2 上出现 L→L 的概率是 1, C1 上出现 L→H 的概率是 0.56.假设门 C 发生时延缺陷的概率(DDP)为 0.3,则输出线 C3 上 L→H 的概率是 1 \* 0.56 \* (1 - 0.3) = 0.392, C3 输出偏移为 0.608.

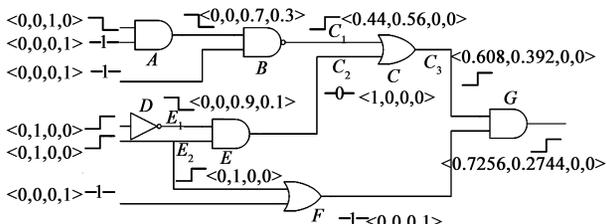


图5 例2不考虑冒险的输出偏移计算

但是真实情况如图 6 所示: E1 上的跳变晚于 E2 上的跳变, C2 上会出现一个静态冒险, C1 上的跳变只

有在 C2 达到稳态 0 以后才能传到 C3. 否则当 C1 上的跳变出现在冒险中间或之前,都会出现测试失效的情况(检测不到粗线上的小时延缺陷),而原方法忽略了这些可能.图 5 的计算中, C2 上出现 L→L 的真实概率是小于 1 的,该情况下原方法其实是过于乐观的估计.在相同敏化通路长度的时候,应该选择失效风险小的向量,因此需要对该情况下的信号跳变概率予以修正.

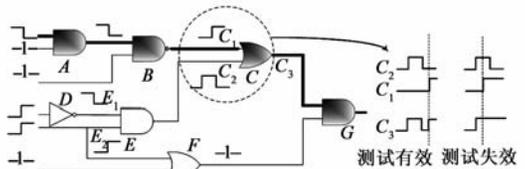


图6 例2真实情况的分析

### 3 基于输出违例概率的质量评估

针对文献[13]中信号跳变概率计算中出现的以上问题,我们提出了考虑冒险的信号跳变概率计算方法,进而提出了新的测试质量评估标准.

#### 3.1 输出违例概率的定义

为了准确地描述考虑冒险条件下的概率,下面重新定义信号跳变概率,并定义输出违例概率来反映测试向量的小时延缺陷检测能力.首先引入到达时间窗口的概念.给电路施加测试向量时,信号会沿着一些通路传播到电路输出.假设每条线上都有一个信号到达时间,其中电路输入的信号到达时间为 0,逻辑门输出的信号到达时间为门的一个输入(至于选择门的哪个输入由该门的功能决定)的信号到达时间加上门的额定时延.由于施加的向量不同,电路的每个输出都会有不同的信号达到时间,其中能使输出的信号到达时间接近测试时钟周期的向量将很有可能检测到小时延缺陷.

**定义 1** 在给定向量的前提下,假设线 L 上的信号到达时间为 T,则线 L 的到达时间窗口定义为:时刻 T 之前的一个小的时间区间,记做  $[T - \Delta, T]$ ,其中  $\Delta$  是时间窗口大小.

**定义 2** 在给定向量的前提下,线 L 上的信号跳变概率  $\langle P_{L \rightarrow L}, P_{L \rightarrow H}, P_{H \rightarrow L}, P_{H \rightarrow H} \rangle$  定义为:四种可能的跳变(即 L→L, L→H, H→L, H→H)出现在 L 的到达时间窗口内的概率.

这四个概率所对应的跳变分别有两个达到最终值 0 ( $P_{H \rightarrow L}$  和  $P_{L \rightarrow L}$ ),两个达到最终值 1 ( $P_{L \rightarrow H}$  和  $P_{H \rightarrow H}$ ).给定向量后,每个电路输出都有一个期望值,指的是电路在无故障情况下在该输出的最终值.

**定义 3** 在给定向量的前提下,电路原始输出(PO)或伪输出(PPO)的输出违例概率定义为最终值和期望值不同的两个信号跳变概率之和.

输出违例概率的定义有别于文献[13]中的输出偏

移. 在文献[13]中只有与期望值不同的稳定的 0/1(即  $L \rightarrow L, H \rightarrow H$ )信号跳变概率才被计入输出偏移; 输出违例概率定义中, 若存在冒险导致非稳定跳变(即  $L \rightarrow H, H \rightarrow L$ )的概率不为零, 最终值与期望值不同的跳变( $L \rightarrow H, H \rightarrow L$ )的概率也会被计入输出违例概率.

图 7 形象的给出了考虑冒险的到达时间窗口和输出违例概率的概念, 此例中与门的输出违例概率是  $P_{L \rightarrow H} + P_{H \rightarrow H}$ . 输出端  $bo$  的输出波形是一个静态冒险, 如果电路是无故障的, 应该在输出端上观测到最终的期望值 0. 但是输出波形很有可能因为小时延缺陷的原因被延迟, 导致在到达时间窗口中观测到的波形发生变化(右移). 如果我们在时间窗口中观测到  $H \rightarrow L$  或者  $L \rightarrow L$  的话, 电路最终还是达到期望值 0, 时延缺陷没有被检测到. 反之, 输出端  $bo$  没有达到期望值, 则时延缺陷就会被检测到. 因此输出违例概率表达的是考虑冒险条件下, 时延缺陷被检测到的概率, 反映了向量对时延缺陷的检测能力.

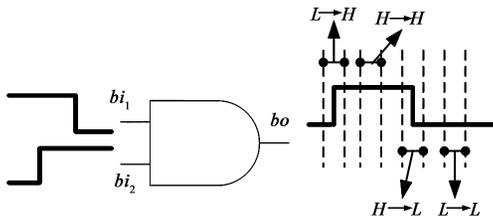


图7 到达时间窗口以及考虑冒险的输出违例概率

### 3.2 考虑冒险的信号跳变概率传播计算规则

对于信号跳变概率的传播, 由于每条线上的四种跳变概率都有可能不为零, 需要考虑所有可能输入组合情况. 我们总结了一系列公式, 单独计算门输出线上的四种信号跳变的概率, 下面举例说明与门输出  $H \rightarrow L$  的概率的计算方法, 其余同理.

图 8 列举了与门输出端出现下降跳变的所有可能情况, 其中 (C) 带有冒险; 在非强健测试的观点看来, (C) 中下跳变可以传播到与门输出, 也就是最终落在观测窗口的是最后的下跳变, 因此我们把 (C) 也看成  $H \rightarrow L$ .

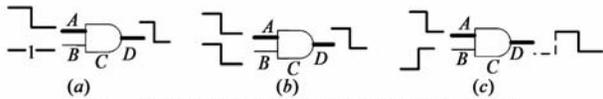


图8 与门输出端出现下降跳变的所有输入组合

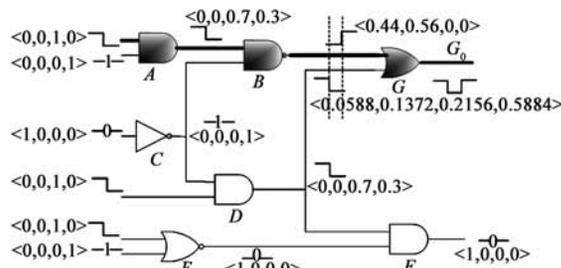


图9 例1考虑冒险的输出违例概率计算

考虑图 8 中的所有情况可知, 与门输出线上  $H \rightarrow L$  概率是:

$$\begin{aligned}
 P_D(H \rightarrow L) = & P_A(H_- \rightarrow L) * P_B(H_- \rightarrow L) * (1 - P_C) \\
 & + P_A(H_- \rightarrow L) * P_B(H_- \rightarrow H) * (1 - P_C) \\
 & + P_B(H_- \rightarrow L) * P_A(H_- \rightarrow H) * (1 - P_C) \\
 & + P_A(H_- \rightarrow L) * P_B(L_- \rightarrow H) * (1 - P_C) * T_A \\
 & + P_B(H_- \rightarrow L) * P_A(L_- \rightarrow H) * (1 - P_C) * T_B
 \end{aligned}
 \tag{2}$$

其中  $P_C$  是与门的 DDP,  $P_A(H_- \rightarrow L)$  代表  $A$  上出现  $H_- \rightarrow L$  的概率,  $T_A$  和  $T_B$  两个参数用来表征  $A, B$  上的两个跳变到来的顺序, 因为 (C) 中下跳变可以传播到与门输出的前提是上跳变晚于下跳变. 在不知道  $A, B$  上跳变到来的时间的前提下, 这里假设  $T_A = 0.5, T_B = 0.5$ , 即反向跳变汇聚的时候有 50% 的概率会出现冒险.

## 4 两种评估方法的比较

不考虑冒险的方法中输出偏移和通路长度密切相关, 相关系数接近于 1, 使用这种方法来评估强健测试是准确的. 但是对于非强健测试向量来说, 冒险会给测试带来以下两个方面的影响. 首先, 一些非强健向量(如例 1)是依靠冒险来传播故障效应的, 忽略了冒险就意味着忽略了向量的检测能力, 是一种悲观的估计. 其次, 旁路上的冒险会引起非强健失效(如例 2), 忽略了冒险就意味着忽略了非强健失效的可能性, 是一种乐观的估计. 另外对于一些功能可敏化的向量来说, 多路的故障效应都可能被传播到电路输出, 其结果取决于各路信号到达的时间, 无论把输出偏移跟哪条通路关联都是不准确的. 本文输出违例概率的计算当中, 对于强健向量我们的计算结果和文献[13]一致, 也是和通路长度完全相关; 但是对于非强健向量来说, 我们的计算结果不是和通路长度完全相关, 但是由于考虑到冒险给测试带来的各种影响, 更符合电路中的实际情况, 能够更加准确的评估向量的测试质量.

例 1、例 2 的输出违例概率如图 9、图 10 所示. 图 9 中采用新的传播计算规则得到  $G_0$  的输出违例概率是 0.2744, 相比文献[13]的 0 输出偏移考虑了下路的非强健测试约束, 消除了对于有效非强健向量的误判, 更加

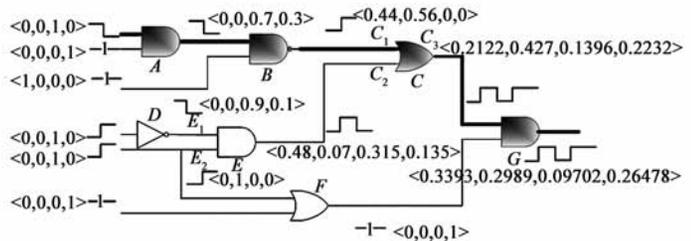


图10 例2考虑冒险的输出违例概率计算

符合图 4 中对真实情况的分析.图 10 中,由于冒险的存在,四种不同的跳变都有可能出现在 C2 上,上路的故障效应在某些情况下有可能被阻塞.在新输出偏移的计算当中,所有可能的测试失效的概率都被考虑到了,因此可以对向量做出更加准确地评估.

### 5 实验结果

为了对比输出偏移和输出违例概率的评估效果,我们分别使用这两种方法来评估已有的随机向量集,进而各自筛选出 10% 的高质量向量,并参照测试质量从高到低进行排序.进而通过对精简向量集的动态模拟来检验其真实测试质量.

第一个实验对筛选出来的向量进行带时间参数的动态模拟,评估精简向量集对长通路的覆盖数目,这里长通路我们指的是超过关键通路时延 70% 的通路.第二个实验,随机在关键通路上注入 100 - 1000 个(根据电路大小不同)小时延缺陷,缺陷的大小设为时钟周期的 15%,然后对筛选的向量按顺序逐个进行动态模拟,评估对小时延缺陷的覆盖率.如果一个小时延缺陷的故障效应可以沿一条敏化通路传播到输出,并且该通路时延超过时钟周期,则认为该缺陷被检测到了.

图 11 给出了第一个实验的结果,三组数据分别是按照输出偏移、输出违例概率以及随机方法筛选的结果.图中三种方法敏化长通路的数目以基于输出偏移方法为标准做了归一化处理.实验结果表明,输出违例概率与输出偏移的方法相比,所选择的测试集覆盖的

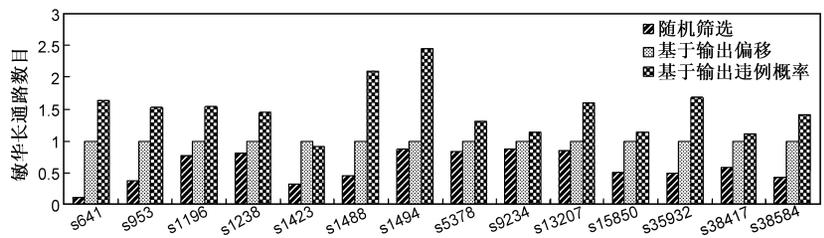


图 11 敏化长通路数目比较

长通路数比后者平均提高 50%. 两种方法的程序运行时间差距很小,主要是因为算法都是基于电路的遍历.而每个电路节点的运算只是简单的算术运算,其中输出违例概率的算术运算要比输出偏移复杂;但是输出偏移在算术运算前需要分别使用分支语句判断输出跳变类型和输入跳变类型,而输出违例概率不需要,因此,综合起来基于输出违例概率的方法 CPU 时间略少于基于输出偏移的方法.

图 12 给出了第二个实验的结果,可以发现跟输出偏移相比较输出违例概率的方法可以更加快速的检测到小时延缺陷,有助于在测试早期发现有缺陷的芯片.

两个实验的结果都表明:输出违例概率的方法能筛选出质量更高的测试向量,质量评估的结果更符合向量的真实测试质量.主要原因是:对于强健测试向量,由于不存在冒险,本文方法计算的输出违例概率和文献[13]计算的输出偏移的结果是相同的,如果电路中有很多长的强健可测通路,那么两种方法的筛选结果将非常相似.然而对于例一这样的非强健测试向量来说,事实上是使用冒险来传播故障效应,忽略了冒险就是忽略了该向量的检测能力.输出偏移的评估方法会

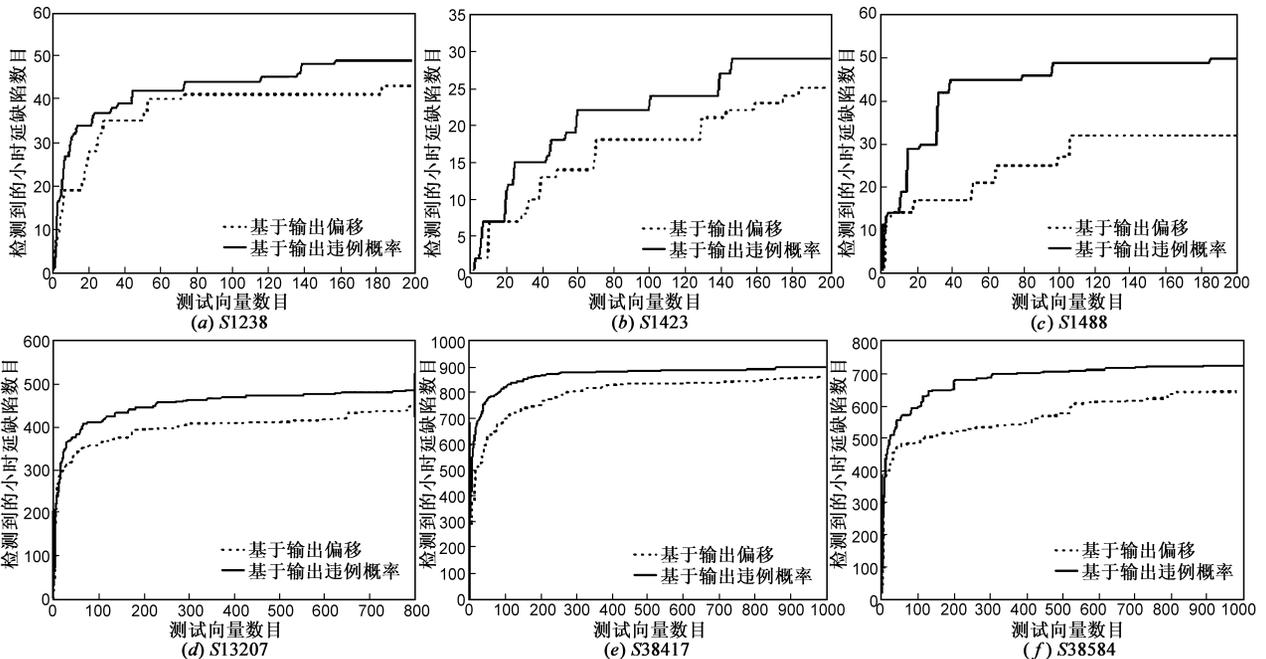


图 12 检测到的小时延缺陷数目

将此类向量误判为无检测能力,进而在筛选的时候抛弃此类向量;当该向量敏化通路足够长的时候,输出违例概率的方法则会找回这些被抛弃的高质量的非强健测试向量.对于例二这样的非强健测试向量,由于剔出了冒险引起的测试失效的概率,因此相同敏化通路长度下,它的输出偏移要小于输出违例概率.进而在向量选择的时候,本文方法会优先选择强健测试向量;同是非强健向量的情况下,则会选择测试失效概率小的向量.输出违例概率方法实际上是在原输出偏移的方法上,对冒险引起的测试有效或者失效在概率上的一种补偿和修正,更接近于真实情况,因此实验结果上能优于文献[13]中方法;特别是能够敏化长通路的非强健测试向量越多的情况下,实验效果越好.

## 6 结束语

在工艺波动条件下,对向量进行准确并快速的测试质量评估对解决小时延缺陷测试问题有着非常积极的意义.本文在输出偏移方法的基础上,考虑非强健向量引起的冒险,提出了基于输出违例概率测试质量评估方法.该方法能有效地消除忽略冒险引起的输出偏移计算误差,减小工艺波动对时延测试的影响;在不增加额外时间开销的前提下能够更准确地评估向量对小时延缺陷的检测能力,为后续的测试向量筛选以及重排序提供更加坚实的基础.

## 参考文献

- [1] 阮刚,肖夏,等. VLSI 电路中互连线的延迟及串扰的数值模拟 [J]. 电子学报, 2000, 28(5): 1-3.  
Ruan Gang, Xiao Xia, et al. Numerical simulation of time delay and cross-talk noise for the interconnect in VLSI circuits [J]. Acta Electronica Sinica, 2000, 28(5): 1-3. (in Chinese)
- [2] N Ahmed, M Tehranipoor, et al. Timing-based delay test for screening small delay defects [A]. Proceedings of Design Automation Conference [C]. San Francisco, USA: IEEE Computer Society, 2006: 320-325.
- [3] J Waicukauski, E Lindloom, et al. Transition fault simulation [J]. IEEE Design and Test of Computers, 1987, 4(2): 32-38.
- [4] R Putman, R Gawde. Enhanced timing-based transition delay testing for small delay defects [A]. Proceedings of VLSI Test Symposium [C]. Berkeley, USA: IEEE Computer Society, 2006: 336-342.
- [5] A Uzzaman, M Tegethoff, et al. Not all delay tests are the same-SDQL model shows true-time [A]. Proceedings of Asian Test Symposium [C]. Fukuoka, Japan: IEEE Computer Society, 2006: 147-152.
- [6] B N Lee, L C Wang, M S Abadir. Reducing pattern delay variations for screening frequency dependent defects [A]. Proceedings of VLSI Test Symposium [C]. Palm Springs, USA: IEEE

Computer Society, 2005: 153-160.

- [7] 王伟,韩银和,李晓维,张佑生. 基于测试向量中不确定位的漏电流优化技术 [J]. 电子学报, 2006, 34(2): 282-286.  
Wang Wei, Han Yinhe, Li Xiaowei, Zhang Yousheng. Techniques of leakage current optimization based on don't care bits in test vectors [J]. Acta Electronica Sinica, 2006, 34(2): 282-286. (in Chinese)
- [8] W Qiu, J Wang, et al. K longest paths per gate (KLPG) test generation for scan-based sequential circuits [A]. Proceedings of International Test Conference [C]. Charlotte, USA, IEEE Computer Society, 2004: 223-231.
- [9] Y Shao, I Pomeranz, S M Reddy. On generating high quality tests for transition faults [A]. Proceedings of Asian Test Symposium [C]. Guam, USA, IEEE Computer Society, 2002: 1-8.
- [10] X Lin, K Tsai, et al. Timing-aware ATPG for high quality at-speed testing of small delay defects [A]. Proceedings of Asian Test Symposium [C]. Fukuoka, Japan: IEEE Computer Society, 2006: 139-146.
- [11] 李华伟,李忠诚,闵应骅. 双倍可变观测点的时滞测试 [J]. 电子学报, 1999, 27(11): 120-123.  
Li Huawei, Li Zhongcheng, Min Yinghua. Delay testing with duplicating variable observation points [J]. Acta Electronica Sinica, 1999, 27(11): 120-123. (in Chinese)
- [12] M Yilmaz, K Chakrabarty, et al. Interconnect-aware and layout-oriented test-pattern selection for small-delay defects [A]. Proceedings of International Test Conference [C]. Santa Clara, USA: IEEE Computer Society, 2008: 1-10.
- [13] M Yilmaz, K Chakrabarty, et al. Test-pattern grading and pattern selection for small-delay defects [A]. Proceedings of VLSI Test Symposium [C]. San Diego, USA: IEEE Computer Society, 2008: 233-239.

## 作者简介



王杰 男, 1982 年生于安徽淮北, 博士研究生, 主要研究方向为 VLSI/SOC 设计验证、测试生成、时延测试、3D 芯片测试。

E-mail: hfut\_jie\_wang@sina.com



梁华国 男, 1959 年生于安徽合肥, 博士生导师, 中国计算机学会容错计算专业委员会委员, 主要研究方向为测试数据压缩、嵌入式系统综合与测试、数字系统设计自动化等。

E-mail: huagulg@hfut.edu.cn