

# 砷化镓 8Bit ADC 电路的抗辐射设计和辐照试验研究

田国平<sup>1</sup>, 王 丽<sup>2</sup>, 朱思成<sup>1</sup>

(1. 专用集成电路国家重点实验室中国电子科技集团公司第十三研究所, 河北石家庄 050051; 2. 中国国防科技信息中心, 北京 100036)

**摘 要:** 砷化镓模数转换器(ADC)具有良好的电性能和耐辐照能力, 广泛应用于各种领域, 尤其是航空航天领域. 电路的抗辐射能力与设计 and 工艺密切相关, 在前期对电路进行辐照试验基础上, 针对电路设计和工艺制造进行大规模集成电路的抗辐射研究, 改进电路的设计和工艺制造技术, 提高电路的抗辐射能力. 本文主要对该电路的设计、工艺研究和  $\gamma$  总剂量辐照试验进行描述, 试验结果表明该模数转换器能够抗 100K rad(Si)总剂量的辐照.

**关键词:** 砷化镓; 模数转换; 抗辐射; 总剂量

**中图分类号:** TN305

**文献标识码:** A

**文章编号:** 0372-2112 (2011) 05-1042-05

## Research on Anti-Radiation Design and Irradiation Test of GaAs 8Bit ADC Circuit

TIAN Guo-ping<sup>1</sup>, WANG Li<sup>2</sup>, ZHU Si-cheng<sup>1</sup>

(1. The National Key Laboratory of ASIC, the 13th Research Institute of China Electronics Technology Group Corporation, Shijiazhuang, Hebei 050051; 2. Information Center of China Defense Science and Technology, Beijing 100036, China)

**Abstract:** GaAs Analog to Digital Converter(ADC) has been widely used in various fields especially in aerospace because of its good electrical and anti-radiation properties. The anti-radiation ability of circuit is closely related to circuit design and process technology. On the base of prophase study, we research on the anti-radiation ability of LSI(Large Scale Intergrated circuit) and improve circuit design and manufacturing process technology to enhance radiation resistance of the circuit. This paper focuses on the circuit design, process technology and  $\gamma$  total dose radiation.

**Key words:** GaAs; analog to digital; radiation resistance; total dose

## 1 引言

砷化镓(GaAs)模数转换器(ADC)在数据处理、数字化雷达、数字射频存储器等方面具有广泛的用途<sup>[1,2]</sup>.

## 2 理论分析

Ⅲ-V 族化合物半导体材料砷化镓与硅材料相比, 具有许多显著的优点, 如电子迁移率比硅高六倍, 饱和漂移速度比硅高一倍, 在亚微米栅长的短沟道 FET 中可出现弹道电子传输的过冲效应. 因此砷化镓 FET 具有比硅器件更高的工作频率、更快的开关速度.

GaAs MESFET 的工作原理与硅 JFET 相似, 以栅电压的高低来控制沟道电流的大小, 从而实现控制沟道电导. 它是以多数载流子来传输信息的有源器件, 因此抗中子辐射能力极强. 由于 MESFET 没有 MOSFET 那样的栅介质, 它的抗  $\gamma$  的能力也很好.

GaAs MESFET 在辐照后主要的变化体现在  $V_p$ (阈值

电压)上, 从而导致饱和电流和跨导的变化, 对整体电路来说就是电流变化和逻辑错误、时延变大. 究其原理, 砷化镓 FET 的平面结构, 是以各类金属薄膜为基础, 实现欧姆和肖特基接触. 器件退化的主要原因是金-半界面和半导体表面的退化, 在欧姆接触和肖特基接触中, 金属沿自由半导体表面扩散和迁徙, 从而导致性能退化. 通过电路设计进行补偿和优化工艺制备技术, 可以减小  $V_p$  的变化, 提高电路的抗辐射能力.

在辐照后将形成一个背栅, 使器件的性能下降. 由于背栅, 来一个信号, 其前沿很快而后沿很慢形成拖尾, 因而不能发挥 GaAs MESFET 高速度的特点<sup>[3,4]</sup>.

## 3 电路设计

### 3.1 电路结构的选取

对于 ADC 的设计, 电路的基本结构有闪速型(FLASH)、流水线型(Pipeline)、连续逼近型(SAR)、过采样  $\Sigma-\Delta$  型、积分型和折叠插值转换等多种结构方式<sup>[5~8]</sup>, 目

前主流的结构形式是前四种,且各具特色. 闪速型结构和流水线型结构适用于采样速率高的转换器. 对于闪速型结构,由于全部比较/转换几乎是同时发生的,所以转换速度要高于其他结构. 但这一结构有其固有的缺点: 对于  $N$  位分辨率要求有  $2^N - 1$  个比较结构(包括比较器和权电阻),若分辨率提升一位,所需器件数目就要增加近一倍,使得电路变的非常复杂. 例如,从 4 位提高到 8 位,所需器件数目就要增加近 16 倍,芯片面积和电路功耗也相应的增加,这也是难度所在. 此外,位数越多,对电阻网络的均匀性及比较器阈值要求也越苛刻. 对于流水线型结构,把  $N$  位 A/D 变换分成了几个子变换部分,与 FLASH 型结构相比,在相同的精度下所需的比较器数量大大减少,子变换部分的 ADC 电路设计降低了难度,但该结构所用电路类型相对较多,增加了电路设计的多样性<sup>[9-11]</sup>. 本文描述的 8Bit ADC 是综合现有工艺能力,依据 GaAs 器件本身具有的高速性能,采用了折叠插值结构进行电路设计,既保证了电路的速度,同时又有效地降低了电路规模,降低了功耗,将工艺容限放大. 总体说来,规模的降低可以有效提高电路抗辐射能力,而工艺容限的增大为改进工艺提高电路抗辐射能力提供了较大的调整范围.

### 3.2 基本单元电路的选择

GaAs MESFET 基本单元有直接耦合场效应逻辑(DCFL),缓冲场效应逻辑(BFL),源耦合场效应逻辑(SCFL)等多种形式. SCFL 电路与其它电路相比,具有速度快,对材料的阈值电压标准偏差要求较宽松,易于实现多种复杂电路的特点. SCFL 既可以用增强型 FET 来制作,也可以用耗尽型 FET 完成电路的功能. 为此,根据目前的工艺水平,采用已经用于其它抗辐射电路的 SCFL 电路单元进行电路设计. 图 1 给出了基本单元 D 锁存器的原理图.

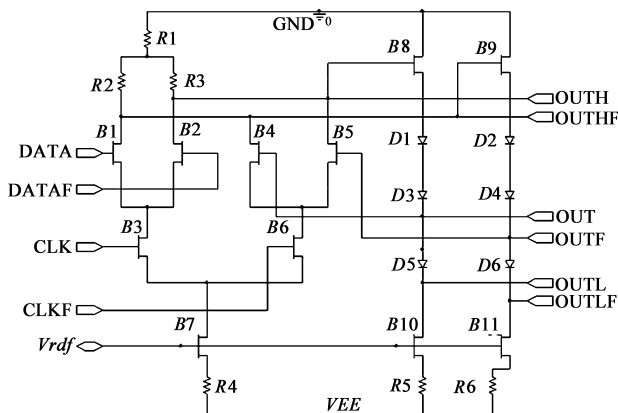


图1 锁存器电路

### 3.3 电路总体设计

图 2 为折叠插值 ADC 的基本结构框图,其中输入

信号通过采样保持电路后,分为两路,一路进入粗分 ADC 进行转换,产生数字信号的高 3 位,一路进入细分 ADC 进行转换,产生数字信号的低 5 位. 这里,粗分 ADC 由 flash 结构实现,细分 ADC 由折叠插值结构实现. 其中采样保持电路保证了电路的输入带宽和两条信号路径的同步性,折叠插值结构的细分 ADC 决定了电路的转换精度、误码率等特性,是电路设计的关键.

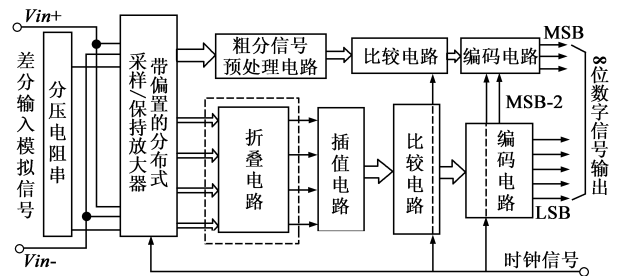


图2 折叠插值ADC电路框图

细量化的功能包括比较量化-折叠-放大-插值-编码. 折叠插值电路是整个电路的难点,设计时对折叠电路的工作点进行重点分析,确定了恒流源的工作方式,折叠对管和恒流管的栅宽比例. 为提高折叠电路的抗辐照能力,在折叠电路前增加比较放大单元,使得折叠电路的灵敏度有了较大的提高,折叠电路中恒流管的有效栅压由原来的 0.1V 提高到 0.3V,恒流管工作更加稳定,同时对提高工所速度也有很大改善. 图 3 是 8 折叠电路原理图和仿真结果.

图 4 是采用折叠插值结构设计的 8 位 ADC 仿真结果,这种结构的优点是速度快,并且比直接比较型 ADC 规模要小得多,约为 Flash 结构 ADC 电路规模的 1/8,因此更易于工艺实现和降低功耗,同时易于优化电路提高抗辐射能力.

### 3.4 版图设计

对于国内 GaAs 工艺来说,8Bit ADC 的电路规模已经是很庞大. 虽然采用折叠插值结构有效地降低了电路规模,电路设计中也使用了 932 个电路单元. 采用初步建立的耐辐射单元库,对敏感的单元进行优化设计,降低辐照条件下单元电路性能的变化幅度. 同时优化版图设计,合理分布电源和接地布线,在外围形成较大的环形金属层.

为满足电路设计的要求,需要使用栅长为  $0.35\mu\text{m}$ 、栅宽最小为  $3\mu\text{m}$  的器件,其饱和电流一般为  $310\mu\text{A}$ (测试条件:  $V_{ds} = 1.5\text{V}$ ,  $V_g = 0.6\text{V}$ ). 相对于原来使用的最小栅宽为  $10\mu\text{m}$  的器件(饱和电路一般为  $1.2\text{mA}$ ),其电流缩小了三分之二还多,这对于器件的抗辐射能力是不利的. 通过对源漏间距、欧姆接触和沟道载流子浓度等因素的优化,获得具有良好的抗辐射能力的微小尺寸单管,以提高电路的抗辐射能力.

8Bit ADC 芯片尺寸为  $3.1 \times 3.1\text{mm}^2$ , 芯片照片如图 5 所示。

4 辐照试验

4.1 工艺流片

采用  $0.35\mu\text{m}$  GaAs 工艺平台, 利用已经进行辐照试验分析加固的工艺技术, 研制出 8Bit ADC 电路, 封装采用 LDCC52 管壳。

4.2 辐照试验

通过分析以往辐照试验的结果, 总结技术经验, 与试验单位充分沟通, 设计了 8Bit ADC 电路的  $\gamma$  总剂量辐照试验方法和试验电路板。据现场条件, 设计了动态试验方法, 试验框图如图 6(a) 所示。考虑现场同轴电缆线很长, 输入输出端口数量有限, 且要对三只器件进行总剂量辐照试验, 在设计试验电路板时对每只电路进行第一、第二路信号进行监测。同时, 试验综合考虑了试验效率和可靠性, 通过优化设计和布局, 将两种电路多个器件合理有效地设计到一块电路板上, 减少试验时使用的电路板数量和连接线。辐照试验框图如图 6(b) 所示。

4.3 试验结果

对 8Bit ADC 电路进行了  $\gamma$  总剂量辐照试验, 试验条件为:

$\gamma$  总剂量:  $100\text{k rad(Si)}$   $\gamma$  剂量率为  $50\text{rad(Si)/s}$  试验过程中对 8Bit ADC 进行动态监测, 图 7 分别给出了试验开始前、试验进行到 1165s 和试验结束后的高两位输出信号照片, 图 8 给出了辐照试验后样品的测试结果 (左图为高三位的输出, 中图为第四 ~ 六位输出, 右图

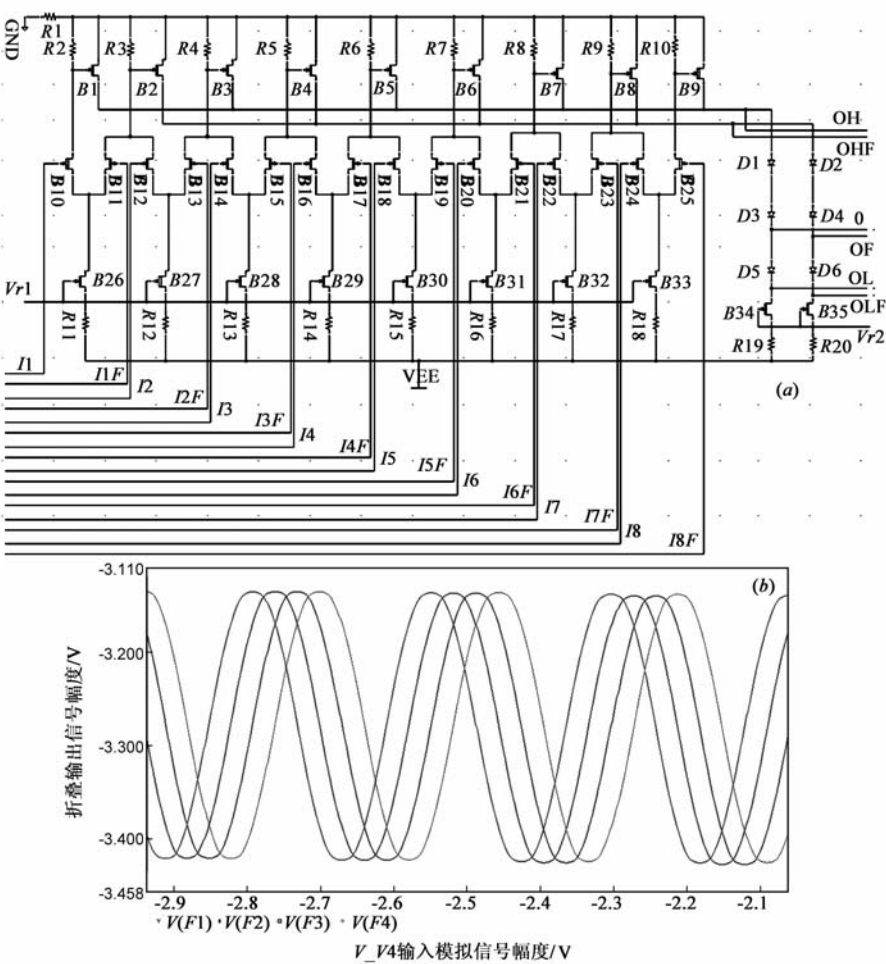


图3 (a) 8折叠电路原理图; (b) 8折叠电路仿真结果

为第六 ~ 八位输出)。辐照试验后 8Bit ADC 功能正常。表 1 列出了 8Bit ADC 辐照前后的电性能指标对比。

表 1 8Bit ADC 辐照前后的电性能指标对比				
样品编号	器件状态	分辨率 (Bit)	工作电流 (mA)	转换速率 (Gs/s)
C1	辐照前	8	440	0.53
	辐照后	8	420	0.53
C2	辐照前	8	430	0.53
	辐照后	8	410	0.52
C3	辐照前	8	420	0.51
	辐照后	8	410	0.51

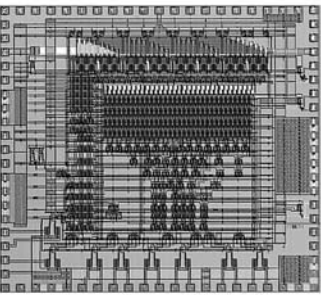


图5 8Bit ADC 芯片照片

在  $\gamma$  剂量率为  $50\text{rad(Si)/s}$  的辐照过程中, 电路输出信号的上升下降沿出现恶化 (图 7 所示), 电流降低  $2 \sim 5\%$ 。辐照结束后, 进行移地测试, 输出信号正常, 与辐照前相同<sup>[12]</sup>。究其原因有两个: (1) 辐照过程中  $\gamma$  射

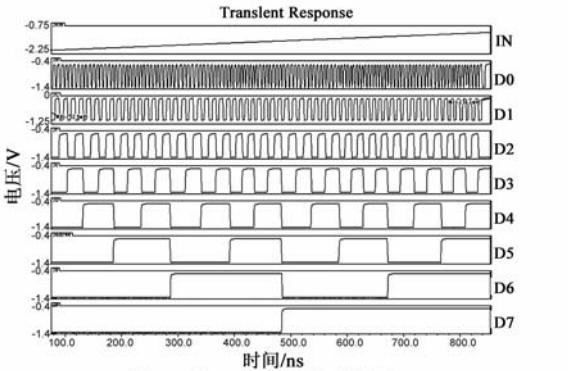


图4 8位ADC电路仿真结果

线引起的总剂量辐照效应对载流子浓度和速度产生影响, 导致上升下降沿变缓, 电流降低; (2) 输入输出使用约十五米长同轴电缆的影响。

目前国外对抗辐射加固电子元器件的报导很少, GaAs 电路的抗  $\gamma$  总剂量理论上能达到 1000k rad(Si)。国内因受工艺限制, 电路的抗辐射能力与国外有差距, 目前所能达到的水平为 100k rad(Si), 部分场效应晶体管能达到 300k rad(Si)。

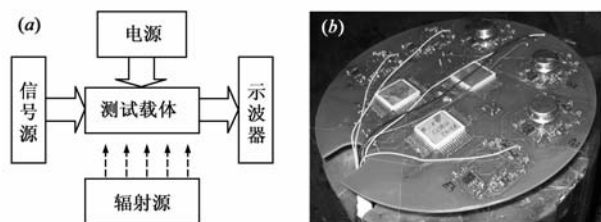


图6 (a) 动态试验框图; (b) 试验电路板照片

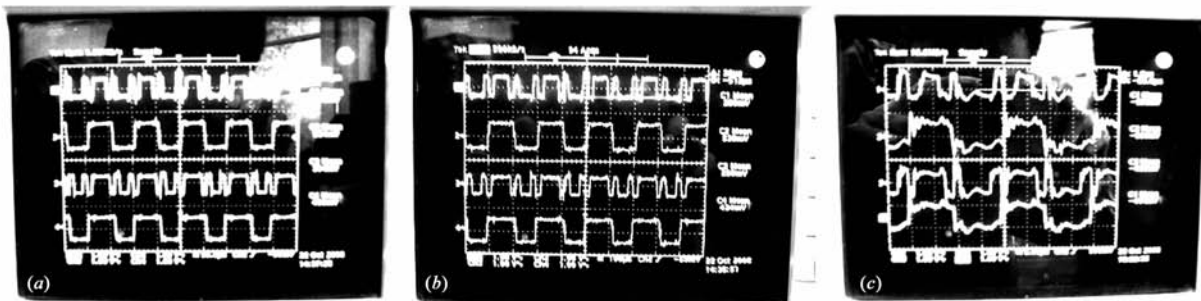


图7 (a) 辐照前; (b)  $5.825 \times 10^4 \text{ rad(Si)}$ ; (c) 辐照结束

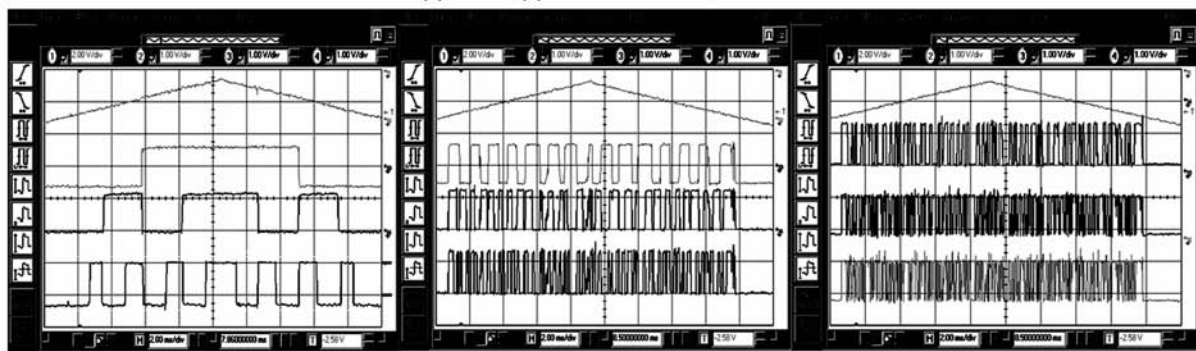


图8 辐照试验后样品测试结果

## 5 结论

8Bit ADC 采用了折叠插值结构进行设计, 有效地降低了电路规模, 并保证了电路的速度。在设计上尽量加大局部电路的设计容限, 并对电路核心部分折叠插值电路进行补偿设计, 来提高电路的抗辐射能力。工艺制造上采用  $0.35 \mu\text{m}$  GaAs 工艺平台, 充分利用以前的加固工艺技术。从电路加固技术角度来说, 研制的 8Bit ADC 电路经过 100k rad(Si)  $\gamma$  总剂量试验后, 电路功能正确, 证明其抗辐射能力满足设计要求, 为后续的试验和提高电路抗辐射加固能力提供更多的经验和依据。但从电性能角度来说, GaAs 8Bit ADC 的电性能指标与 Si 电路相比, 其功耗很大, 还需要进一步从器件模型和工艺技术两方面进行深入研究, 在保证电路速度的前提下降低功耗。

## 参考文献

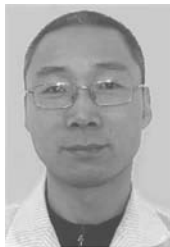
[1] 田国平, 等. 砷化镓集成电路辐照试验研究[A]. 第九届全国抗辐射电子学与电磁脉冲学术年会论文集[C]. 重庆.

2007. 6. 117 - 119.

- [2] 王义元, 等. 10 位双极数模转换器的电离辐射效应[A]. 第十届全国抗辐射电子学与电磁脉冲学术年会论文集[C]. 沈阳. 2009. 7: 63 - 68.
- [3] Sengouga N, Jones B K. Backgating effects in GaAs FETs with a channel-semi-insulating substrate boundary [J]. Solid-State Electronics, 1995, 38(7): 1413.
- [4] Liu Y, Dotton R W, Deal M D. Sidegating effects of GaAs MESFETs and leakage current in a semi-insulating GaAs substrate [J]. IEEE Electron Device Lett, 1990, 11(11): 505.
- [5] 周蕾, 李冬梅. 基于  $0.18 \mu\text{m}$  CMOS 工艺 8Bit/150MHz 折叠插值 ADC [J]. 半导体材料技术, 2007, 32(6): 524 - 531. Zhou Lei, Li Dong-mei, 0.18  $\mu\text{m}$  CMOS 8bit/150MHz Folding and Interpolation ADC [J]. Semiconductor Technology, 2007, 32(6): 524 - 531. (in Chinese)
- [6] 孟晓盛, 王百鸣, 闫杰. 两种流水折叠分级式 ADC 及其结构比较 [J]. 电子学报, 2008, 36(8): 1651 - 1654. Meng Xiao-sheng, Wang Bai-ming, Yan Jie. Implementation of two pipelined folding subranging ADCs and comparison on their different architectures [J]. Acta Electronica Sinica, 2008, 36

- (8):1651 – 1654. (in Chinese)
- [7] 吴春瑜,佟波,等.一种八位并行插值型模数转换器的设计[J]. 辽宁大学学报(自然科学版), 2009, 36(4): 310 – 312.
- Wu Chun-yu, Tong Bo, etc. Design of a 8 bit parallel interpolation analog to digital converter[J]. Journal of Liaoning University(Natural Sciences Edition), 2009, 36(4): 310 – 312. (in Chinese)
- [8] 黄显洋,等.一种适用于高速高精度流水线 ADC 的放大器[J]. 电子学报, 2006, 34(1): 131 – 134.
- Huang Xian-yang, et al. An amplifier for high speed high accuracy pipelined ADC[J]. Acta Electronica Sinica, 2006, 34(1): 131 – 134. (in Chinese)
- [9] 王海柱,王继安,等.一种高速、高精度跟踪/保持电路的设计[J]. 电子与封装, 2009, 9(9): 20 – 24.
- Wang Hai-zhu, Wang Ji-an, et al. A high speed & resolution track-and-hold circuit for pipelined A/D converter[J]. Electronics & Packaging, 2009, 9(9): 20 – 24. (in Chinese)
- [10] 胡蓉彬,王继安,等.一个 3 位 flash ADC 核设计[J]. 微处理机, 2008. 12, (6): 5 – 8.
- Hu Rong-bin, Wang Ji-an, etc. A design of 3-bit Flash ADC Core[J]. Microprocessors, 2008. 12, (6): 5 – 8. (in Chinese)
- [11] 李迅波,等.高速 ADC 微分相位、微分增益的测试[J]. 电子学报, 2003, 31(12): 138 – 140.
- LI Xun bo, etc. Differential phase and differential gain testing of analog-to-digital converters[J]. Acta Electronica Sinica, 2003, 31(12): 138 – 140. (in Chinese)
- [12] 半导体器件辐射加固试验方法  $\gamma$  总剂量辐照试验, 中华人民共和国国家军用标准[S]. GJB 762.2 – 89:1.

#### 作者简介



田国平 男,山西定襄人,高级工程师,毕业于电子科技大学微电子电路与系统专业,主要从事 III-V 族半导体集成电路的设计和测试研究. E-mail: fastlook@163.com