

40Gbps 甚短距离并行光传输技术与实验系统

胡庆生, 许 多, 苗 澎

(东南大学射频与光电集成电路研究所, 江苏南京 210096)

摘 要: 介绍了 40Gbps 甚短距离(VSR)并行光传输系统的实现和测试. 用两片 Altera Stratix II GX FPGA 分别实现发送/接收转换芯片, 通过对 FPGA 内嵌的吉比特收发器的合理配置, 以及在去斜移电路中采用滑动窗口生成器和共用窗口比较器的方法节省了硬件资源; 基于异或定位原理, 采用二分查找法大大提高了帧同步电路的速度. 自制的 12 通道垂直腔面发射激光器(VCSEL)的工作速率达到了 $12 \times 3.318\text{Gbps}$. 利用 Agilent 81250 误码仪, 通过并行光发射/接收模块和 7 米长的 12 芯多模带状光纤, 成功实现了 SDH STM256/OC768 的点到点测试, 连续两小时的测试结果表明, 系统误码率小于 10^{-12} , 满足设计要求.

关键词: 甚短距离; 光传输; 垂直腔面发射激光器; 去斜移; 帧同步; 误码率

中图分类号: TN913 **文献标识码:** A **文章编号:** 0372-2112 (2011) 05-1174-04

40Gbps Very Short Reach Parallel Optical Transmission and System

HU Qing-sheng, XU Duo, MIAO Peng

(Institute of RF- and OE-ICs, Southeast University, Nanjing, Jiangsu 210096, China)

Abstract: The design and measurement of 40Gbps Very Short Reach (VSR) parallel optical transmission system are presented. The transmitter and receiver are implemented using Altera Stratix II GX PFGA which has embedded high-speed transceiver. By configuring the high-speed transceiver correctly, using window generator and sharing the window comparator within the deskew module, the hardware area is reduced greatly. Binary search is also employed in the frame synchronization module to raise the circuit speed. Additionally, a $12 \times 3.318\text{Gbps}$ VCSEL transmitter is researched and works correctly. At last, the VSR5 point-to-point measurement is undertaken by connecting the receiver and transmitter via a 7-meter $400\text{MHz} \cdot \text{km}$ $62.5\mu\text{m}$ multi-mode fiber ribbon and Agilent tester. Under the continuous test of 2 hours, a system bit error rate(BER) of lower than 10^{-12} is obtained.

Key words: very short reach; optical transmission; vertical cavity surface emitting laser (VCSEL); de-skew; frame synchronization; bit error rate (BER)

1 引言

甚短距离(VSR, Very Short Reach)并行光传输是一种采用低成本光收发模块并行垂直腔面发射激光器(VCSEL, Vertical Cavity Surface Emitting Laser)及并行光互连技术, 在不降低系统总吞吐量的前提下, 降低每根光纤的传输速率, 从而实现的一种简单、廉价和可靠的光传输方式, 主要应用于建筑物、机房内的短距离、低成本设备的互连^[1]. 该技术已经成为通信领域的热门技术, 国际上也不断有相关产品推出, 如 CISCO 公司的基于 VSR4 的 10Gbps 速率的产品^[2]. 国内也研制出了 10Gbps 速率的 VCSEL 发射阵列^[3~5], 并且推出了符合 VSR4 标准的并行光传输系统^[6,7].

VSR5 是光互联论坛针对 40Gbps 甚短距离光互连制定的接口标准^[8,9], 基于这一标准, 近年来国内外对 40Gbps 的 VSR5 开展了研究, 并取得了一定的进展. 但

这些研究主要集中在并行光收发模块方面^[10,11], 在 VSR5 系统方面的研究结果尚不多见. 本文主要介绍自行研制的 40Gbps 的 VSR5 实验系统, 重点介绍了转换芯片的设计及整个 VSR5 点到点实验系统的测试.

2 VSR5 实验系统的设计

2.1 VSR5 实验系统结构

图 1 所示为 VSR5 实验系统框图. 收发电路各采用一片 Altera 公司 65nm 工艺的 Stratix II GX EP2SGX130 作为发送和接收芯片, 另外, 还各有一块 $12 \times 3.318\text{Gbps}$ 的并行光发射和接收模块, 发送电路与接收电路通过 7 米长的 12 芯 $400\text{MHz} \cdot \text{km}$ $62.5\mu\text{m}$ 多模带状光纤相连. 收发芯片系统侧的接口为 SFI5 接口, 其定义为 $16 \times 2.488\text{Gbps}$ 的数据外加一路同样速率的去斜移通道(DSC, DeSkew Channel); 用户侧的接口则为 VSR5, 其数据率为 $12 \times 3.318\text{Gbps}$, 收发芯片的主要功能就是实现

SFI5 与 VSR5 之间的转换。

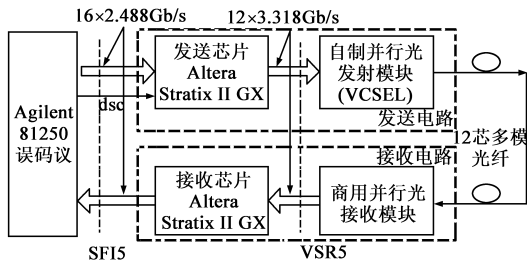


图1 VSR5实验系统框图

2.2 转换芯片的设计与实现

图2为转换芯片结构框图。在发送方向,由 SFI5 输入的 OC768 帧经过 Altera FPGA 内嵌的吉比特高速收发器 ALT2GXB(后面简称 GXB)^[12],进行时钟恢复、串并转换,得到 16 路 2.488Gbps 的数据以及 DSC 数据,与此同时,GXB 恢复出 155.52MHz 的时钟作为芯片内部的系统时钟。之后,这 16 路数据被送到去斜移电路以便去除 16 路数据之间的斜移量,然后,通道重排电路将对齐后的数据转换成 16 个 OC-48 帧格式。OC768 帧同步电路实现帧头的查找和帧对齐,随后,16:12 映射模块将 OC768 帧分配到 12 个通道上,最后,数据经过 GXB 的 32:1 并串转换后输出到光发送模块。接收方向的功能与发送方向类似。

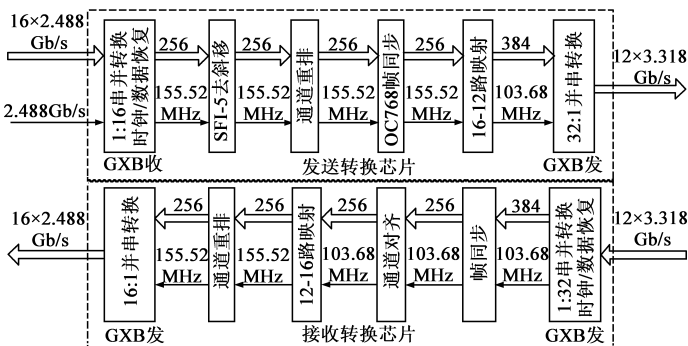


图2 转换芯片功能框图

本系统实现的关键是速率为 40Gbps 的发送/接收芯片的设计,尤其是在要求误码率低于 10^{-12} 的条件下,下面主要介绍转换芯片中关键模块的设计与实现。

2.2.1 高速收发器 GXB

本系统采用的 EP2SGX130 含有 20 个高速 GXB,每个 GXB 包括锁相环、串并转换、字节对齐和相位补偿等模块。其支持的单方向最大传输速率达 6.375Gbps,并且接收和发送可以采用不同的速率,符合 SFI5 和 VSR5 两种接口的速率要求。由于发送和接收的速率可以不同,GXB 的时钟管理比较复杂,有一系列的时钟管脚。

以发送芯片为例,收、发数据的速率分别为 2.488Gbps 和 3.318Gbps,需要为 GXB 提供 2 种频率的参考时钟:155.52MHz 和 103.68MHz。具体做法是,板上晶

振产生的 155.52MHz 时钟通过芯片的输入管脚进入增强型锁相环 (EPLL),为接收 GXB (GXB_RX) 提供 155.52MHz 的参考时钟,该时钟可以通过芯片内部的全局时钟线引入到 GXB_RX 中。而发送 GXB (GXB_TX) 的参考时钟必须由芯片的外部管脚引入,因此,先要将 GXB_RX 恢复出的 155.52MHz 的时钟通过时钟引脚输出,然后通过 PCB 上的走线输入另一 EPLL,分频后得到 103.68MHz 的时钟输出到片外,再经过外部的时钟管理模块输出给 GXB_TX 的专用参考时钟引脚。使用时钟管理模块的目的是增加时钟线的驱动能力。

2.2.2 发送芯片的去斜移和通道重排

发送芯片收到 SFI5 侧的 16 路数据后,首先要通过去斜移电路将 16 路数据信号重新对齐,以消除传输过程引入的斜移量,图3为其实现框图。首先,滑动窗口生成器得到 31 比特宽的“窗口”;然后,窗口比较器将“窗口”中的数据与 DSC 同步后的数据进行比较,一旦检测到了 DSC 中对该路复制字节的位置并确定了数据的斜移量,就将结果输出给选择电路;最后,选择电路根据接收到的斜移量信息,从 31 比特的数据中选择 16 比特去斜移后的数据输出。本电路的特点是一个窗口比较器与多路器、分路器配合工作,实现 16 个通道的轮流去斜移,提高了工作速度,节省了资源。

窗口比较器从输入的并行数据流中检测出可能存在的某特定码组,并输出其位置。窗口比较器由选择电路,16 个比较器和编码电路组成,输入的并行数据流 ($d1$) 和特定码组 ($d2$) 位宽均为 16 比特,窗口的宽度设为 31 比特,由当前输入的数据和上一时钟输入数据的低 15 比特组成。16 个比较器并行工作,检测特定码组 $d2[15:0]$ 是否存在于窗口中,若当前窗口不包含该码组,则比较器的输出 $C[15:0]$ 各位全为零;一旦检测到特定码组的存在,则将码组位置编码输出并给出相应的指示信号。

DSC 帧同步电路通过检测 DSC 的帧定界符 A1A1 (F6F6H) 和 A2A2 (2828H) 找到每一帧的起始位置,并将结果提供给各路数据作为去斜移的参考。

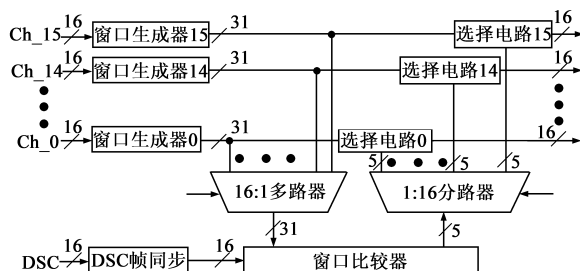


图3 SFI5去斜移电路

2.2.3 接收芯片的帧同步和通道对齐

帧同步模块的功能就是搜索出帧同步码,确定帧

- Miao Peng, et al. 10Gbit/s very short reach parallel optical transmission module and system [J]. Acta Electronica Sinica, 2007, 35(2): 304 – 306. (in Chinese)
- [7] 陈雄斌, 刘丰满, 刘博, 等. 基于 STM-64 的甚短距离并行光传输系统[J]. 光电子. 激光, 2008, 19(8): 1050 – 1053.
- Chen Xiongbín, et al. Very short reach parallel optical transmission system based on STM-64 [J]. Journal of Optoelectronics Laser, 2008, 19(8): 1050 – 1053. (in Chinese)
- [8] OIF-SFI5-01. 02 Serdes framer interface level 5 (SFI-5): implementation agreement for 40Gb/s interface for physical layer devices[S]. Optical Internetworking Forum, 2002.
- [9] OIF-VSR5-01. 0 Very short reach interface level 5 (VSR-5): SONET/SDH OC-768 interface for very short reach (VSR) applications [S]. Optical Internetworking Forum, 2002.
- [10] Opnext Corporation. 40G VSR Transceivers [Z]. <http://www.opnext.com>: Opnext Corporation, 2008.
- [11] Liu Fengman, Tang Jun, Chen Xiongbín, et al. 40Gbps Parallel Optical Module Based On an Advanced Structure of Optical Coupling [A]. Asia-Pacific Optical Communications [C]. Hangzhou, 2008.
- [12] Stratix II GX Transceiver User Guide [Z]. Altera Corporation. February 2007.
- [13] 任滨, 王志功, 苗澎, 等. 40Gbps 甚短距离光传输系统的去斜移设计[J]. 光通信技术, 2008, 32(9): 1 – 4.
- [14] 解峰. 12 路并行 40Gb/s 0.35 μm SiGe BiCMOS 高速激光驱动器设计与实现[D]. 南京: 东南大学硕士学位论文, 2009.

作者简介



胡庆生 女, 1964 年出生, 现为东南大学信息科学与工程学院教授, 博士生导师, 研究领域包括通信系统设计、高速超大规模集成电路设计.

E-mail: qshu@seu.edu.cn



许 多 男, 1985 年出生, 硕士, 研究方向为通信集成电路设计, 现在华为技术有限公司工作.