

基于冗余抑制技术的低功耗组合电路设计

吴训威¹, 卢仰坚², M Pedram³

(1. 宁波大学电路与系统研究所, 浙江宁波 315211; 2. 浙江大学信电系, 浙江杭州 310027; 3. 美国南加州大学电气工程与系统系, 美国 CA 90089)

摘要: 本文阐明了基于冗余抑制技术的低功耗电路的设计原理, 分析了在组合电路中冗余行为的各种抑制结构及工作机理. 作为设计实例, 本文提出了基于冗余抑制技术的低功耗比较器设计. PSPICE 模拟与能耗分析证明该一设计技术能有效地达到节省功耗的目的.

关键词: 组合电路; 低功耗设计; 冗余抑制; 比较器

中图分类号: TP331; TN431 **文献标识码:** A **文章编号:** 0372-2112 (2002) 05 0672-04

Design of Low Power Combinational Circuits Based on Redundancy Restraining Technique

WU Xun wei¹, LU Yang jian², Massoud Medram³

(1. Inst. of Circuits and Systems, Ningbo University, Ningbo, Zhejiang 315211, China;

2. Dept. of Info. & Elect. Eng, Zhejiang University, Hangzhou, Zhejiang 310027, China;

3. Dept. of Elect. Eng. - Syst., University of Southern California, CA90089, USA)

Abstract: The low power design principle based on redundancy restraining technique is explained in this paper. Various constructions for restraining redundancy in combinational circuits and their working mechanism are analyzed. Furthermore, a low power magnitude comparator design based on this technique is proposed. PSPICE simulation and energy analysis proves that saving energy dissipation can be effectively achieved by using this design technique.

Key words: CMOS; low power; redundancy restraining; magnitude comparator

1 引言

随着 CMOS 集成电路技术的飞速发展, 集成密度不断提高, 芯片尺寸逐渐增大, 工作速度日益加快. 这些因素使得系统的功耗迅速增加, 但过大的功耗已成为超大规模集成电路继续发展的一个重大障碍. 美国半导体工业联合会已确认低功耗设计技术是当前大规模集成电路设计的一个紧急技术需要^[1].

对 CMOS 电路功耗的分析中发现: 对电路内部节点电容的充、放电而产生的动态功耗是 CMOS 电路中功耗中的主要部分, 约占集成电路功耗的 70% 到 90%^[2]. 因此, 减小电路中的节点数目及所有节点的开关活动将能有效地减少总体电路的能源消耗, 并因而成为低功耗电路的一种主要设计手段而受到广泛重视. 事实上, 在一般的数字系统中均存在冗余现象, 消除这些冗余信号跳变, 便可降低整个电路的开关活动性, 达到低功耗设计的目的^[2].

在数字系统中, 时序电路是低功耗设计中一个能够获得相当大功耗节省的研究领域. 时序电路中主要存在如下三种冗余现象: (1) 传统的触发器均为只对时钟的上升沿或下降沿敏感的单边沿触发器 (Single edge triggered flip flops). 因此时钟

另一半的跃迁行为与电路无关而成为冗余行为; (2) 时钟的作用是使全部触发器同步地转换状态 (从现态到次态). 在该转换过程中, 如某一触发器的次态与现态相同, 即处于保持状态, 则此时时钟对该触发器的触发即为冗余行为; (3) 在时序电路的状态分配中经常出现冗余态, 这也隐含着冗余行为. 作者已对以上三方面的冗余提出相应的三种冗余抑制技术, 即双边沿触发器 (Double edge triggered flip flops) 技术^[3]、门控时钟技术^[4,5]与冗余态消除技术^[6]. 研究表明, 应用这些冗余抑制技术设计的时序电路均能获得明显的功耗节省.

显然, 冗余抑制技术应能同样地被用于低功耗组合电路的设计. 如果电路中某一部分在某一段时间内对电路功能不起作用, 则它就是冗余的. 若该部分的工作在对应时间内能予以抑制 (通过切断电源或锁定其输入信号), 则就通过冗余抑制而达到能量节省的目的. 因此, 可以发展一种相应的低功耗组合电路设计技术: 首先通过分析电路的工作过程, 找出在什么时候哪部分电路或哪部分信号是冗余的, 并由此产生一个冗余标志信号以报告冗余条件的出现, 然后用此冗余标志信号来抑制电路中相应的冗余部分或冗余信号的开关活动, 最后达到抑制相应的“冗余功耗”的目的. 鉴于以往一直缺乏对

组合电路实现冗余抑制技术的讨论, 本文将探讨组合电路中的冗余抑制机理, 及其在相关组合电路设计中的应用. 作为例子, 本文对数值比较器中冗余信号的存在及相应的抑制技术进行了具体的讨论, 其节省功耗的有效性将用 PSPICE 模拟及相应的能耗分析来予以验证.

2 组合电路冗余行为的抑制机理

在组合电路中存在着大量的冗余现象, 最简单的例子是与门的一个输入为 0 时其它输入就是冗余的, 对或门则当一个输入为 1 时其它输入是冗余的. 本节将主要讨论某一部分电路在某个条件下发生冗余时如何抑制其冗余行为.

如果某电路在某一时间满足冗余条件, 我们首先需要设计附加电路以产生一个冗余标志信号 r , 并由此信号关闭冗余电路, 抑制由冗余产生的无用功耗. 用冗余标志信号抑制电路最简单的方法就是切断整个冗余电路的电源回路, 图 1 所示原理框图表示了这一思想. 然而这一方法的缺点也是显而易见的, 介入的 MOS 管要承受太大的电流, 且增加了电路正常工作时的延迟时间.

其实, 只要我们抑制冗余电路输入信号的跃变行为, 使整个冗余电路处于“静止状态”, 则就可以消除该部分电路的动态功耗. 对输入信号 x 的抑制可以通过抑制标志信号控制输入信号悬空、控制输入信号存储或固定输入信号于某值等三种方法实现, 如后所述.

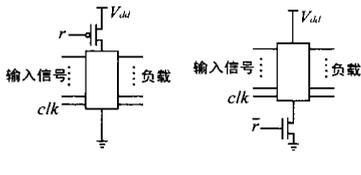


图 1 切断电源的冗余抑制法

在以上的冗余抑制结构中, 均把输入信号与后级电路隔离, 把对后级电路的作用信号 x' 固定在抑制作用生效时的值 (0 或 1). 其实, 该值只要保持不变即能节约动态功耗, 而取何值是无关紧要的. 因此可以把图 2(b) 所示的数据选择器在冗余抑制作用 ($r=1$) 时选通任意一个固定电平即可, 如图 2(c) 所示. 更进一步, 甚至可以在信号通路中简单的插入或门, 与门等实现抑制作用, 如图 2(d)、(e) 所示. 在图 2(d) 中当 $r=1$ 时, x' 固定在 1, 在图 2(e) 中当 $r=1$ 时, x' 固定在 0. 事实上, 图 2 所示的冗余抑制方案中并不必另行插入或门、与门, 而只需使用一对 PMOS、NMOS 管就可实现相应“或”、“与”功能, 以下说明之. 由于静态 CMOS 逻辑门是在 CMOS 反相器的基础上构成的, 用 PMOS 管组成的逻辑块和 NMOS 管组成的逻辑块分别代替反相器中单个的 PMOS 管和 NMOS 管, 利用 PMOS 管和 NMOS 管的互补逻辑特性, 使上拉通路和下拉通路轮流导通, 实现逻辑操作. 图 3(a) 所示电路结构框图说明了静态 CMOS 逻辑门的构成特点, 图中 PMOS 逻辑块的输入端加小圈表示 PMOS 管是输入低电平有效. 针对 CMOS 逻辑门的构成特点, 当产生冗余时, 可以利用隔离输入信号的方法将该电路对

为了把输入信号与后级电路隔离, 可以用一个简单的 CMOS 传输门实现, 如图 2(a) 所示. 当冗余检测信号 $r=1$ 时, PMOS 管与 NMOS 管均关闭, 切断输入信号 x 与 x' 之间的通路, 而在关断前冗余信号 $r=0$ 时 x 的值将被传输管的输出结点电容存储. 于是, 在冗余检测信号 $r=1$ 期间输入端 x 的信号跃迁不会使 x' 处的结点电压也随之跳变, 从而使 x' 上的冗余跳变被抑制, 不会向与之相连接的后继电路中相关联结点继续传递, 免除了与冗余相关的功耗. 然而, 该方法存在一个问题, 如果抑制检测信号切断输入通路瞬间, x' 上的电平值也刚好变化到中间电平, 则结点电容存储的信号值亦处于中间电平, 这将剧增后级电路的静态电流, 使电路的静态功耗迅速上升, 这是决不允许的.

鉴于对后级作用信号 x' 的悬空会带来的负面影响, 可考虑采用信号存储的方法来解决. 图 2(b) 所示电路中采用了一个反馈结构的透明门锁 (latch), 它以一个整形电路 (一般可由二个反相器串接而成) 的输出反馈至输入构成反馈环, 并在反馈环中插入由一个传输门构成的数据选择器. 冗余检测信号 r 接至数据选择器控制端控制信号源 x 值的跃迁是否输出至后续电路. 在这种抑制结构中, 当 $r=1$ 时, 上面的传输门切断输入信号 x 与 x' 之间的通路, 下面的传输门开启, latch 反馈环接通通路, 使 x' 端值要么是 0 电平要么是 1 电平, 而不可能处于中间电平. 此法在功能上具有满意的结果, 缺点在于略微增加了电路的复杂性.

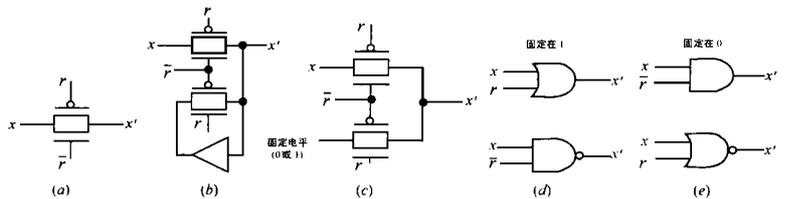


图 2 各种冗余抑制结构

后级电路的输出锁定, 如图 3(b)、(c) 所示. 图中冗余检测信号 r 控制一对 PMOS 管与 NMOS 管锁定输出 y 为 1 (或 0). 此种设计结构比插入或 (与) 门的固定信号源的结构为简单, 且减少延迟. 此外, 冗余检测信号 r 不仅能抑制信号源变化的传递, 而且将前级电路从电源到地的通路同时切断, 所以能更好的达到节省动态功耗的目的. 应该指出, 图 3 所示的抑制结构在本质上属于图 1 切断电源的冗余抑制机构, 但其输出结点不会像图 1 所示的抑制结构那样出现悬空的现象.

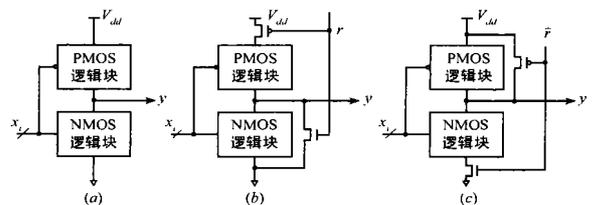


图 3 隔离输入信号的或 (与) 抑制结构

在以上提出的冗余抑制机构的基础上我们便可进一步讨论冗余抑制的具体实施. 冗余抑制技术首先可应用于抑制“冗余的”子系统或功能部件, 例如, 乘法器在不作乘法运算的时

间中是一个闲置部件,因此我们可予以抑制以消除相应的无效功耗.此外,我们也可以直接运用冗余抑制技术来降低(组合的或时序的)功能部件的功耗,为大规模集成电路的设计提供低功耗的元件库.然而应该指出,冗余抑制技术的有效使用取决于设计的对象,这是因为该技术的使用是有代价的.首先,为了检测冗余的出现需要有附加的电路进行检测并产生相应的抑制控制信号;然后,我们又需要一个附加的电路对冗余的输入信号实施抑制作用.这二个附加电路不仅增加电路的复杂性,而且均会带来额外的功耗增量.因此,我们重点对那些存在较多冗余现象,冗余抑制信号容易获得,且容易实现冗余抑制的组合功能部件进行研究.比较器就属于这样的典型例子:在比较器中只要高位输入不等则较低位的比较全属冗余,此时高位不等信号对低位就是抑制控制信号.以下我们将以并行比较器这一组合功能部件为例讨论冗余抑制技术的应用及其在节省功耗上的有效性.

3 基于冗余抑制技术的低功耗比较器设计

并行比较器可用一位比较单元级联方式构成.并行比较器的级联可以采用二种形式:先比较低位或先比较高位.以下我们将分别予以讨论之.

设比较器的二个 n 位被比较数为 $A = (a_{n-1}a_{n-2} \dots a_0)$, $B = (b_{n-1}b_{n-2} \dots b_0)$,若先比较低位,则当 A 和 B 的第 i 位比较时,其主输入为 a_i 和 b_i ,而级联输入用 e_{i-1} , g_{i-1} 两位编码,用以有效传递前一位的比较结果(e 表示 a 与 b 相等, g 表示 a 大于 b).级联输出同样用两位编码,以 e_i , g_i 表示.其真值表如表 1 所示,图 4(a) 为 e_i 和 g_i 的卡诺图.由此可得相应的输出表达式为:

$$e_i = e_{i-1} \cdot (\bar{a}_i \cdot \bar{b}_i + a_i \cdot b_i) = e_{i-1} \cdot \overline{(a_i \oplus b_i)} \quad (1)$$

$$g_i = a_i \cdot \bar{b}_i + g_{i-1} \cdot (\bar{a}_i \cdot \bar{b}_i + a_i \cdot b_i) = a_i \bar{b}_i + g_{i-1} \cdot \overline{(a_i \oplus b_i)} \quad (2)$$

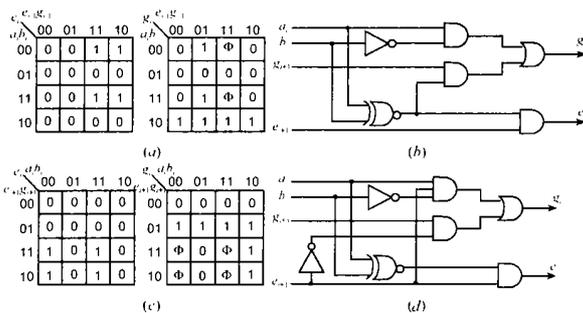


图 4 一位比较单元. (a) 低位先比的卡诺图, (b) 电路图, (c) 高位先比的卡诺图, (d) 电路图

表 1 低位先比的一位比较单元真值表

a_i	b_i	e_{i-1}	g_{i-1}	e_i	g_i
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	ϕ	1	ϕ
0	1	ϕ	ϕ	0	0
1	0	ϕ	ϕ	0	0
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	ϕ	1	ϕ

根据化简后的表达式画出逻辑电路图,如图 4(b) 所示.

若先比较高位,则当 A 和 B 的第 i 位比较时,其主输入为 a_i 和 b_i ,而级联输入应为 e_{i+1} , g_{i+1} 两位编码,辅助输出仍为 e_i , g_i .其真值表如表 2 所示,图 4(b) 为 e_i 和 g_i 的卡诺图.由此可得相应的输出表达式为:

$$e_i = e_{i+1} \cdot (\bar{a}_i \cdot \bar{b}_i + a_i \cdot b_i) = e_{i+1} \cdot \overline{(a_i \oplus b_i)} \quad (5)$$

$$g_i = e_{i+1} \cdot g_{i+1} + e_{i+1} \cdot (a_i \cdot \bar{b}_i) \quad (6)$$

与之相应的电路如图 4(d) 所示.

表 2 高位先比的一位比较单元真值表

e_{i+1}	g_{i+1}	a_i	b_i	e_i	g_i
0	0	ϕ	ϕ	0	0
0	1	ϕ	ϕ	0	1
1	ϕ	0	0	1	ϕ
1	ϕ	0	1	0	0
1	ϕ	1	0	0	1
1	ϕ	1	1	1	ϕ

其实当 $e_{i+1} = 0$ 时,较低位的 a_i 和 b_i 之比较已变成不需要的冗余行为.因此, $e_{i+1} = 0$ 可直接用作为冗余标志

信号,参照图 2(e) 所示.图 5 高位先比的一位比较单元的方案.通过与门抑制输入端 a_i 和 b_i ,使与门的输出 a'_i 和 b'_i 固定为 0,这就达到了抑制 a'_i 和 b'_i 的冗余跳变的目的.由于在该设计中 $a'_i = b'_i = 0$ 将使 $e'_i = 1$, $g'_i = 0$.为使 $e_{i+1} = 0$ 能对更低位的电路进行抑制,我们要求有 $e_i = 0$,为此我们可在 a_i 和 b_i 的比较的基本结构中增设 e'_i 的输出与门以达到传递 $e_i = e_{i+1} = 0$ 的信息,如图 5 所示.同时我们在图中增设了 g'_i 的输出或门以达到在 $e_{i+1} = 0$ 时传递 $g_i = g_{i+1}$ 的效果.图 5 中门 1 与门 2 是此比较单元中的抑制门.

以下我们对四位的并行比较器进行设计.按照逐级级联比较的思想,分别以如图 4(b), (d) 及图 5 所示的比较单元构成低位先比的并行比较器和高位先比的并行比较器,它们的级联方式分别如图 6(a), (b), (c) 所示.注意到三者中,图 6(a) 所示的低位先比比较器中每个比较单元的输入信号均可

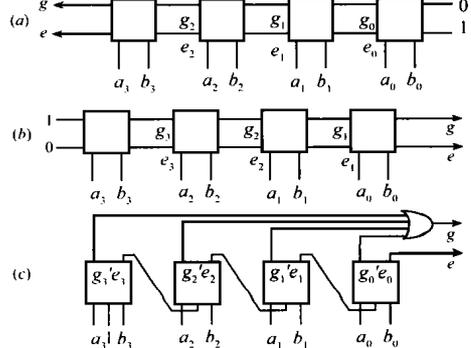


图 6 四位并行比较器 (a) 基于图 4(b) 单元的低位先比比较器; (b) 基于图 5 单元的高位先比比较器; (c) 基于图 6 单元的高位先比比较器

变, 低位比较结果输入对向高位的比较输出不存在必然的影响, 因此不存在冗余抑制的功能. 在图 6(b) 所示的高位先比较器中, 较高位的不等比较结果将传递到以后每一位, 使如图 4(d) 所示比较单元的输入 e_{i+1} , g_{i+1} 为固定值, 但是, 此时该位的输入 a_i 和 b_i 并未受到抑制. 因此, 虽在理论上较高位的比较已有不等结果时较低位的比较属于冗余行为而可节省相应功耗, 但该设计的电路仍有浪费的功耗. 相比之下, 在图 6 所示的带抑制功能的高位先比较器中, 由于在图 5 所示比较单元中 a_i 和 b_i 的输入与门被 $e_{i+1} = 0$ 所抑制, 因此该比较单元的功耗完全被节省.

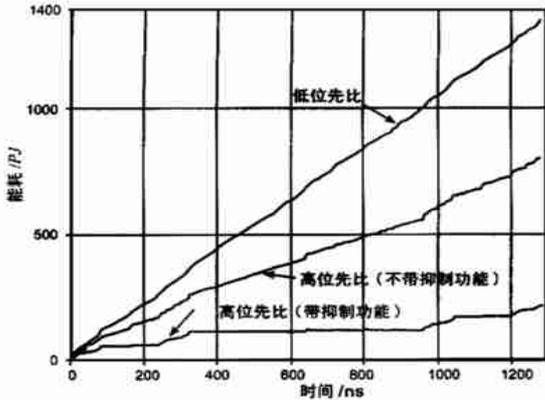


图 7 三种并行比较器能耗曲线比较

我们已以 $a_3b_3a_2b_2a_1b_1a_0b_0$ 编码, 时序输入测试向量 0000000, 0000001, ..., 1111111, 对图 6 中的三个四位并行比较器分别进行了 PSPICE 模拟. 对模拟数据处理后得到三者的能耗曲线如图 7 所示. 结果表明, 在该输入条件下, 图 6(b) 所示的高位先比较器要比图 6(a) 的低位先比较器节省 40.3% 的能耗, 而图 6(c) 所示的带抑制功能的高位先比较器则能节省 83.8% 的能耗. 此外, 从图 7 所示的能耗曲线中我们可以发现在输入测试向量为 0100000 至 1011111 的区间内(时间轴上对应于 320ns~960ns 的时段), 带抑制功能的高位先比较器的能耗曲线为平坦状. 这是由于最高位在此阶段内保持不等 (a_3b_3 先为 01, 后为 10), 由此产生的 $e_3 = 0$ 对以后各低位的比较实现了完全的抑制作用.

4 结论

为了降低集成电路的功耗, 有必要对数字系统中的逻辑功能单元重新设计以满足低功耗设计的要求. 数字电路中的冗余现象导致电路内部存在相应的与信号传输、处理无关的开关行为, 这些冗余行为的消除无疑能起到降低电路功耗的作用, 由此可以归结为低功耗设计中的“冗余抑制原理”, 并可发展相应的冗余抑制技术来实现电路的低功耗设计.

作者在以往已对时序电路中三方面的冗余进行分析, 并对相应的冗余抑制技术进行了研究, 本文则进一步研究在组

合电路中冗余信号的存在及相应的抑制机构. 作为一个设计实例, 本文对并行比较器中存在高位比较优先权及由此产生的冗余现象进行分析, 并利用冗余抑制技术分别设计了低功耗的高位先比并行比较器. PSPICE 模拟验证了所设计的电路具有正确的逻辑功能, 并能获得可观的能量节省. 最后应该指出, 本文的讨论虽仅限于一个并行比较器的实例, 但是, 在设计中所采用的冗余抑制原理可用于其他存在较多冗余现象的组合电路, 如优先编码器的设计等^[7], 从而达到降低电路功耗的目的.

致谢: 感谢汪鹏君同志在准备修改稿过程中所给予的帮助.

参考文献:

- [1] Workshop Working Group Reports [R]. Semiconductor Industry Association, Irving, TX, 1992. 22-23.
- [2] M Pedram. Power minimization in IC Design: Principles and applications [J]. ACM Transactions on Design Automation, 1996, 1(1): 3-56.
- [3] 吴训威, 韦健. 低功耗双边沿触发器的逻辑设计 [J]. 电子学报, 1999, 27(5): 129-131.
- [4] Q Wu, M Pedram, X Wu. Clock-gating and its application to low power design of sequential circuits [J]. IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, 2000, 47(3): 415-420.
- [5] X Wu, M Pedram. Low power design on sequential circuits using T flip flops [J]. International Journal of Electronics, 2001, 88(6): 635-643.
- [6] X Wu, M Pedram, L Wang. Multi code state assignment for low power circuit design [J]. IEE Proc. on Circuits Devices Syst., 2000, G 147(5): 271-275.
- [7] 卢仰坚, 吴训威. 低功耗优先编码器设计 [J]. 浙江大学学报(理学版), 2001, 28(4): 467-472.

作者简介:



吴训威 男, 1940 年出生, 教授, 宁波大学信息学院执行院长, 浙江大学博士生导师, 中国电子学会会士, 美国 IEEE 高级会员, 现从事高密度与低功耗集成电路方面的研究.

卢仰坚 男, 1976 年出生, 浙江大学硕士研究生.

Massoud Pedram 男, 1960 年出生, 教授, 美国 IEEE 会士 (Fellow), 现从事大规模集成电路方面的研究, 他曾于 1996 年荣获美国总统奖 (Presidential Faculty Awards).