

# 三通道多普勒雷达杂波信号实时模拟器

恽小华,葛良波,孙琳琳

(南京理工大学微波与通信工程研究中心,江苏南京 210094)

**摘 要:** 本文采用一种新的杂波信号实时重构和调制技术,研制了三通道多普勒雷达杂波信号实时模拟器.与简单组合一系列时域数据组相比,由于对时域数据组采取了加窗、搭接等处理,使得到的杂波信号的信噪比由 30dB 提高到 60dB 以上.同时,由于采用了数字正交调制,从而有效地提高了镜频抑制度.

**关键词:** 脉冲多普勒雷达;杂波模拟;信号重构;数字正交调制

**中图分类号:** TN955.3 **文献标识码:** A **文章编号:** 0372-2112 (2003) 09-1330-04

## Three-Channel Real-Time Clutter Simulator for Doppler Radar

YUN Xiao-hua, GE Liang-bo, SUN Lin-lin

(Microwave and Communication Engineering Research Center, NUST, Nanjing, Jiangsu 210094, China)

**Abstract:** A three-channel real-time clutter simulator for Doppler radar is developed by applying a new real-time signal reconstruction and modulation technic. Windowing and overlapping the series time domain sequence instead of simple combination, the ratio of signal to noise increases from 30 dB to 60 dB. At the same time, we refrain mirror frequency effectively with the method of digital quadrature modulation (DQM).

**Key words:** pulse Doppler radar; clutter simulation; signal reconstruction; DQM

### 1 引言

多普勒雷达在下视工作时会遇到强烈的地、海杂波,对杂波的抑制能力是检验多普勒雷达性能的重要指标,因此,在雷达探测性能仿真中,实时逼真地仿真杂波信号具有重要意义.

杂波表现形式为平面的时域和频域都连续的信号,实验室不可能模拟面信号,因为它需要无穷多个信号通道,通常采用的方法是空间匹配注入法.空间匹配注入法是将面回波信号折算为一个和波束杂波信号和两个差波束杂波信号,从天线主瓣匹配注入,评估导引头在不同地面或海面背景下对目标的搜索截获的稳定跟踪能力.空间匹配注入法考核了包括天线、和差器、环形器、选通器和前中放大在内的导引头性能,它需要阵列具有三个射频通道.图1为杂波仿真系统实现框图,三通道杂波信号模拟器接收计算机传来的数据,经过实时处理输出三路杂波信号,然后经混频调制到射频输出,阵面辐射杂波信号的幅度变化由信号源控制计算机控制射频程控衰减器实现.

三通道杂波信号模拟器是整个仿真系统的关键部件,是形成射频杂波信号的基础,它接收计算机传来的杂波功率谱数据,做信号重构、数字正交调制等运算,实时产生三路杂波信号.统计结果表明,当目标信号较弱,噪声信号高于杂波主瓣信号 - 60dB 时,导引头可能误将噪声当作目标截获<sup>[1]</sup>.为了使实验室模拟的杂波信号具有高于 60dB 的信噪比,在传统

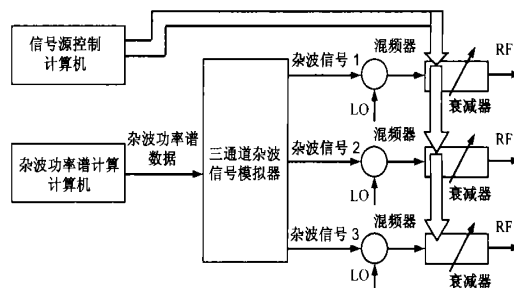


图1 杂波仿真系统实现框图

的快速傅里叶变换的基础上,对信号加以特殊处理,即对幅度频谱相位随机化,对一系列的时域数据组加窗、搭接等处理,构造出频谱和幅度统计特性都符合要求的非平稳杂波信号.一系列的时域数据组简单连接会带来较大的旁瓣泄露,噪声电平相对主瓣高达 - 30dB,此信号可能远高于目标信号,而经过特殊处理后的噪声电平可降至 - 60dB 以下.在杂波仿真系统中,需要将时域信号搬移到中频或射频上,由模拟电路组成的线性正交调制器虽然在功能上能实现了非对称信号的正交调制,但由于相位不正交和幅度增益不一致造成镜频抑制一般只达到 - 20dB<sup>[2]</sup>,为了得到较高的镜频抑制制度,采用数字正交调制的方法把得到的时域信号调制到一定载频,然后再调制到中频或射频上去.美国高级仿真中心研制了专用芯片,用硬件实现数字的内插扩展、低通滤波和数字正交调制,得到了

高达 61dB 的信噪比,是至今查文献中指标最高的杂波调制技术.专用芯片的研制耗资巨大,该项技术国外对华禁运.

本文详细讨论了确定功率谱下瑞利分布杂波信号实时重构、数字正交调制等方法,并给出三通道杂波信号实时模拟器的硬件实现方案.

## 2 杂波信号的统计特性

由于目标背景散射特性的多样性和随机性,目标背景的散射特性通常从统计角度加以描述,其幅度统计特性一般不能用高斯白噪声表示,研究表明:在高分辨雷达体制下,目标背景杂波特性可以从幅度统计特性和相关特性(功率谱特性)两方面同时进行描述,即把背景杂波描述为具有某种幅度分布的相关随机过程.近半个世纪以来,很多科技工作者就雷达杂波问题进行了大量的理论研究和实验测定,不断探索各种新的方法,建立了各种模型以较为准确地反映各种杂波的分布.通常采用的模型有:瑞利分布、韦布尔分布、对数正态分布、 $K$ 分布、莱斯分布等等<sup>[3]</sup>.不同的分布对于虚警概率的检测是不同的<sup>[1]</sup>,所以正确地考虑杂波的概率分布特征具有重要意义.

目前对雷达杂波序列的研究主要是以平稳的随机过程建模进行的,在许多情况下,多普勒雷达在下视状态下所接收到的杂波信号是振幅服从瑞利分布、相位服从均匀分布的随机信号,即其实部和虚部都满足高斯分布,由于高斯分布信号在线性变换后统计特性保持不变,因此可以产生具有特定功率谱、幅度符合瑞利分布、相位符合在 $[0, 2\pi]$ 区间均匀分布的杂波时间序列.本文只讨论瑞利分布的情况.

## 3 研究功率谱下瑞利分布杂波信号的实时重构

设由等距离—等多普勒线网格划分法计算得到的功率谱密度为 $S(n, f)$  ( $n=0, \pm 1, \pm 2, \pm 3, \dots$ ),  $N/2 f$  为对应速度下的双边带多普勒带宽,为了方便数字正交调制后滤波,将 $S(n, f)$ 补零至 $N$ 个值,然后将功率谱转换为矢量频谱<sup>[4]</sup>:

$$X(n, f) = \sqrt{S(n, f)} e^{j\varphi(n, f)} \quad (1)$$

其中: $\varphi(n, f)$ 为单位相位矢量,  $E[\varphi(n, f)] = 0, |\varphi(n, f)| = 1$

常用的网格划分法计算杂波时丢失了相位信息,由功率谱转换为频谱时人为加上了相位矢量,结果不改变幅频特性,对频谱作傅里叶反变换后,频谱相位特性决定了时域幅度的概率分布特征,当且仅当 $\varphi(n, f)$ 是高斯分布时,对应 $\{x(k, t)\}$ 的 $I, Q$ 两路正交信号都符合高斯分布,而 $\{|x(k, t)|\}$ 符合瑞利分布,这正是数字正交调制的结果.

$$x(k, t) = \frac{1}{N} \sum_{n=0}^{N-1} X(n, f) \exp(j2\pi kn/N) \quad (2)$$

其中: $N=1/f \cdot t$

在杂波谱的更新周期内认为杂波信号是平稳随机信号,根据上式可以得到一系列的随机数,简单组合这些数据是不行的,因为每一组数据的结尾和下一组数据的开头有一“突跳”现象,且两组数据是不相关的,简单组合会带来较大的旁瓣泄露,当目标信号高于杂波主瓣信号-60dB时,导引头可能截获目标,所以如果旁瓣泄露超过-60dB时,可能被导引

头误认为目标信号截获,解决这一问题的方法是对一系列的数据组进行加窗和搭接,加窗和搭接的原则应保证下一数组起始值和前一数组末尾值相等(常为0)且任一时刻均值不变,搭接长度应大于随机过程的相关距离,窗函数应满足以下条件: $w_1^2(t) + w_2^2(t) + w_3^2(t) + \dots = 1$ .加窗搭接后的随机序列即为非平稳杂波信号.

## 4 杂波信号的数字正交调制及数字滤波<sup>[5]</sup>

当采用空间匹配注入法进行杂波仿真时,需要将计算出的时域杂波信号搬移到一定的载频,然后再混频到中频和射频上支.由模拟电路组成的线性正交调制器(LQM)虽然实现了非对称的信号正交调制,但镜频抑制一般只能达到-20dB,误差为自相位不正交和幅度增益不一致,其后果是产生对称的镜频分量,若相位正交误差为 $\phi$ 弧度,增益相对误差为 $a = (|I| - |Q|)/|I|$ ,则镜频分量和理想频谱分量的功率比为:

$$IR = 10 \log((a^2 + \phi^2)/4) - 43 |a| \text{ (dB)} \quad (3)$$

即使精心调整正交双路使误差减小到 $a=0.05, \phi=2^\circ$ ,IR也只能达到-30dB,远不能满足杂波仿真的要求.如果整个调制过程采用数字信号处理的方法,很容易实现,且能达到满意的效果.

由于计算得到的杂波数据是针对基带信号的最大带宽的,为了进行数字正交调制,必须对这些数据进行内插扩展和数字滤波.

当数字载频高于1/4倍的正交数据率 $f_q$ 时,就需要对低数据率的序列 $\{i(n)\}$ 和 $\{q(n)\}$ 内插数据,使之数据率达到 $f_s = 4f_c$ ,数据内插的效果,须保证不能改变基带内的信息.

常用的滤波器有无限冲击响应滤波器 IIR 和有限冲击响应滤波器 FIR, FIR 具有线性相位特性,应用更为广泛,在做 FIR 时需要窗函数,正确地选择窗函数对调制结果非常重要,经常用到的窗函数有矩形窗、Hanning 窗、Hamming 窗和 Blackman 窗等,矩形窗具有很大的旁瓣,不能满足-60dB的旁瓣抑制要求,而 Hanning 窗、Hamming 窗和 Blackman 窗等为了达到较深的旁瓣抑制,需要以加宽主瓣延长过渡过程作为代价,而 Kaiser 窗则全面反映了过渡过程与旁瓣抑制之间的关系,具有良好的综合性能,在实践中广泛采用.

图2是内插扩展10倍与数字滤波的效果图,图3是数字正交调制的效果图,信号载频位于采样频率的1/4,由算法带

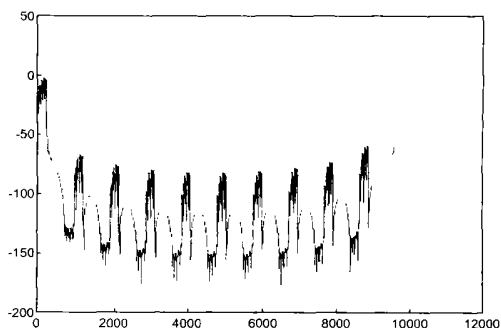


图2 内插扩展与数字滤波效果图

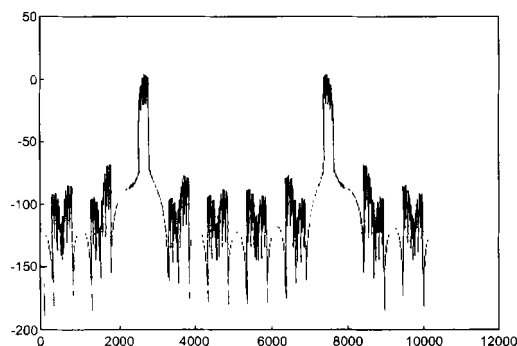


图3 数字正交调制效果图

来的噪声低于信号 60dB.

### 5 三通道杂波信号实时模拟器的硬件实现

三通道杂波信号实时模拟器接收计算机传来的杂波功率谱数据,做信号重构、数字正交调制等运算,实时输出调制在 512kHz 上的三路杂波信号,每个通道的硬件电路是相同的.整个器件包括:数字信号处理器(TMS320VC33)、程序代码存储器(FLASH Memory)、数据存储器(SRAM)、外围逻辑控制电路(XC3064-100)、D/A 变换电路(AD568 等)、低通滤波器及隔离放大器、与上位微机交换数据的 USB(Universal Serial Bus)接口等,见图 4 所示.

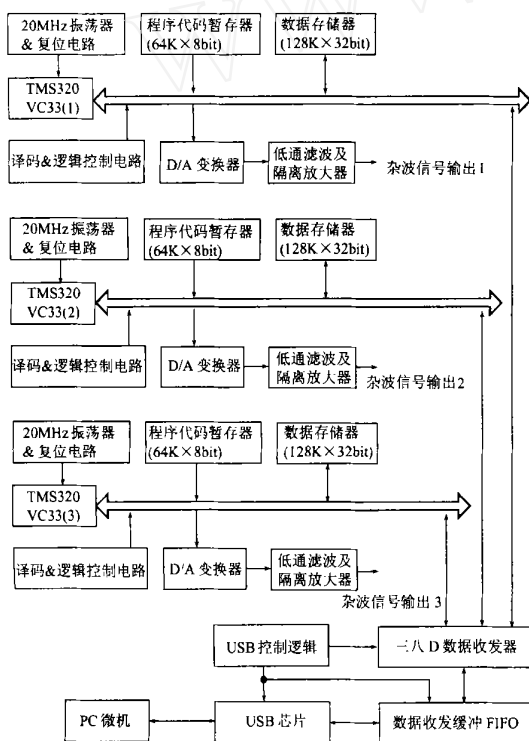


图4 三通道杂波信号实时模拟器原理框图

#### 5.1 数字信号处理器

因为三个通道分别需要进行反复多次的 FFT 运算(或逆 FFT 运算)、卷积运算、数字正交调制等复杂费时的运算,并且这些运算还需要实时处理,这无疑对各通道的信号处理系统

的运算速度和数据存储器容量都提出了极高的要求.在实时信号处理领域,作为特殊单片机系列的 DSP(Digital Signal Processor)得到了广泛应用.在本课题中,数据是以帧为单位更新的,每帧的长度为 ms 量级,DSP 可以在这段时间内实时完成 FFT 等多种运算.因此本课题选用 DSP 处理器来构成三个通道的信号处理器硬件系统.美国 TI 公司最近推出了 TMS320VC33 32 位浮点运算 DSP 器件<sup>[6,7]</sup>,单片 VC33,就可实现单个通道的信号处理任务,并且它的指令系统也适合本课题的信号处理操作,所以我们分别选择一片 VC33 作为核心构成每个通道的数字信号处理硬件系统.

#### 5.2 程序/数据存储器电路

因 VC33 片内含有 34K  $\times$  32bit 的双端口随机存取存储器(SRAM),该内部存储器可分为 2  $\times$  16K  $\times$  32bit + 2K  $\times$  32bit.将 VC33 片内存储器中的 16K  $\times$  32bit 作为程序存储器,在外部另外设置一片 64K  $\times$  8bit(FLASH Memory)的程序代码存储器(低速存储器件),暂存 VC33 系统的工作程序代码.当硬件系统上电复位完成之后,VC33 的“Boot Loader”自动将 VC33 系统的工作程序由外部程序代码暂存器加载到 VC33 的内部 SRAM 中(16K  $\times$  32bit),程序加载到 VC33 内部存储器之后,VC33 便可全速运行其程序代码.

VC33 的另外 16K  $\times$  32bit + 2K  $\times$  32bit 内部 SRAM 可作为数据存储器,因这部分存储器的存取时间比外部存储器的存取时间短,所以可把它们用于旋转经常存取或变更的数据.因 VC33 系统有大运算量 FFT( $\text{FFT}^{-1}$ )和卷积运算,数据存储器的用量(包括运算过程中的中间结果存放等)较大,需要在 VC33 外部另外设置 128K  $\times$  32bit(由 4 片 IS61C1024-15PC 组成)的数据存储器.

#### 5.3 外围逻辑电路

VC33 系统的外围电路主要由一片现场可程序器件(FPGA:Field Programmable Gate Array):XC3064 构成.主要完成 VC33 系统的地址译码、总线收发控制及 D/A 变换器和 USB 接口控制信号产生、16 位开关量输入/输出电路等.

因三个信号处理通道都需要通过 USB 接口与 PC 机(上位机)进行数据交换,因此 USB 接口的逻辑控制电路,如数据收发器的切换、USB 数据缓冲 FIFO 的读/写控制信号、复位控制信号的生成、“溢出”或“空”等标志信号的检测,都特别需要用 FPGA 器件通过编制相应的程序来实现.

#### 5.4 D/A 变换电路

D/A 变换电路是本硬件系统的关键环节,它的性能直接决定了每个通道输出信号的质量.根据系统的技术要求,这里选用 12 位的电流输出型高速 DAC 器件 AD568 为核心构成 D/A 变换电路.

AD568 的转换速度可达 35ns,D/A 变换器的外部逻辑控制电路(由 XC3064 实现)使 AD568 的数据更新周期为  $T(=35\text{ns})$ ,按照系统需求,数据更新频率为 2MHz,因此  $T=1/2\text{MHz}=500\text{ns}$ .因 VC33 的速度很快(指令周期仅为 13ns 或 17ns),对于如此大的  $T$ ,不宜由 VC33 直接管理 D/A 变换器,即不能由 VC33 直接向 D/A 变换器传递数据,否则会大大降低 VC33 的系统运算速度.可以通过 FIFO-SRAM 器件或双端

口 SRAM 器件实现 VC33 与 D/A 变换器的数据传递,因需要传递的一帧数据量较大(约  $20K \times 16\text{bit}$ ),这里用双端口 SRAM 器件最为合适. VC33 系统算完一帧数据之后,一次性写入双端口 SRAM 中, D/A 变换器的逻辑控制电路(用 FPGA 器件编程实现)周期性地调用双端口 SRAM 的数据十次,输出相应的模拟信号.

### 5.5 低通滤波器与隔离放大器

高速 D/A 变换器的输出是不连续的,其输出信号的频谱含有  $1/T$  成分,为此需要增加一低通滤波器,将高频成分滤除. 为了使输出信号免受噪声污染,还须增加隔离放大器,其增益可以设置为 1.

### 5.6 USB 接口电路

由于输出信号只有  $0\text{dBmW}$ ,信噪比要求  $60\text{dB}$ ,如果采用常用的 PC 插卡形式,PC 机箱内的噪声电平高达几十  $\text{mV}$ ,难以满足信噪比要求,所以采用了 USB 形式, DSP 系统独立于 PC 机箱,采用单独的地线,做好接地、隔离处理,实现了高信噪比. USB 接口具有足够的带宽和连接距离. USB 允许两种数据传送规格,低速传送为  $1.5\text{Mbps}$ ,全速传送为  $12\text{Mbps}$ . 全速传送时,结点间的连接距离最大为  $5\text{m}$ ,该速率与一个标准串口相比,大约快 100 倍,即使与一个标准的并行接口相比,也要快出近 10 倍. 杂波功率谱由杂波计算计算机实时计算每  $100\text{ms}$  更新一次,每次  $3 \times 2048$  字,需要传输率  $0.96\text{Mb/s}$ , USB 接口传输最大速率为  $12\text{Mb/s}$ ,可以满足要求.

USB 总线接口芯片的种类有多种,这里我们选用 AN2100 系列的 AN2136SC 芯片. AN2136SC 芯片内含 8051 单片机,它可以接收 PC 机发送的差动式串行数据,并把串行数据变换为 8 倍并行数据;可以将 8 倍并行数据变换为差动的串行数据码发送出去. AN2136SC 在外围的 FIFO 存储器(分别用于存放接收和发送数据)、数据收发器、逻辑控制电路等一起构成 USB 接口电路.

## 6 结论

本文结合时域数据加窗搭接处理技术、数字正交调制、内插扩展、数字滤波等技术,提出了一种给定功率谱的杂波信号实时模拟技术,并给出了三通道杂波信号实时模拟器硬件实现方案. 作者对杂波信号内插扩展、低通滤波和数字正交调制算法充分优化,首次将其综合为一变系数的滤波器,提高了计算效率,结合信号重构过程,应用后峰锯齿波验证实例,实测结果表明信噪比可达  $65\text{dB}$ ,高于美国高级仿真中心的指标.

### 参考文献:

- [1] Goldstein G.B. False-alarm regulation in log-normal and Weibull clutter [J]. IEEE Trans on AES, 1973, 9(1): 84 ~ 92.
- [2] 张鹏飞,方再根,宋世和,等. 正交调制式的无线电引信目标与背景多谱勒模拟器 [J]. 兵工学报, 1996, 17(2): 108 ~ 110.
- [3] Szajnowski W.J. The generation of correlated weibull clutter for signal detection problem [J]. IEEE Trans on AES, 1977, 13(4): 536 ~ 541.
- [4] 苏涛,吴顺君,廖晓群. 高性能数字信号处理器与高速实时信号处理 [M]. 西安:西安电子科技大学出版社, 1999. 218 ~ 221.
- [5] Olson R.F. Application of the DQM to Clutter Signal Generation [Z]. Technical Note 130 - 068, 20 October, 1989.
- [6] TMS320VC33 Digital Processor [Z]. USA: Texas Instruments Inc, July, 2000.
- [7] TMS320VC3X/ C4X Assembly Language Tools User's Guide [Z]. USA: Texas Instruments Inc, 2000.

### 作者简介:

恽小华 男, 1965 年生于江苏省武进, 1988 年毕业于中国科技大学无线电系, 1996 年晋升为教授, 现任南京理工大学微波与通信工程研究中心主任. 主要研究方向: 微波毫米波射频技术、通信与信息处理技术等.