

低电压低功耗带通 Sigma Delta 调制器的设计

程剑平, 朱卓娅, 魏同立

(东南大学微电子中心, 江苏南京 210096)

摘 要: 本文设计了一种符合双标准接收机要求的一位四阶带通调制器. 为了实现低电压低功耗设计的要求, 改进了调制器结构, 并进行了从系统到电路模块的优化. 采用 0.35 μ m CMOS 工艺, Hspice 和 Matlab 联合模拟表明: 在 2V 电源电压下, 调制器在 GSM 和 WCDMA 系统中的 DR 分别为 86dB 和 36dB, 而功耗仅为 10.5mW 和 12mW.

关键词: 带通 $\Sigma\Delta$ 调制; 低功耗; 低电压运放; 自举开关

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112 (2005) 11-2051-05

The Design of Low Voltage Low Power Bandpass Sigma Delta Modulator

CHENG Jian ping, ZHU Zhuo-ya, WEI Tong-li

(Microelectronic Center, Southeast University, Jiangsu, Nanjing 210096, China)

Abstract: This paper presented a single bit fourth order sigma delta modulator for dual standard receiver. The low voltage and low power target is attained by improving the modulator structure and optimizing from system to circuit blocks. Hspice and Matlab co-simulation with 0.35 μ m CMOS technology indicates that dynamic range is 86dB for GSM, 36dB for WCDMA respectively and power dissipation is only 10.5mW and 12mW with 2V power supply.

Key words: bandpass sigma delta modulation; low power; low voltage operational amplifier; bootstrapped switch

1 引言

近些年来, 在接收机中采用带通 Sigma Delta 调制器将中频(IF)信号进行数字化得到了广泛的研究^[1~4], 这样可以使更多的电路在数字域中处理, 从而降低制造成本和减少设计时间. 在带通 Sigma Delta 调制器中, 有许多结构可供选择, 例如单环高阶结构, 级联结构和多位结构. 其中一位四阶结构是无条件稳定的, 并且具有电路简单、易于实现和输入范围大的优点, 因此它是实现中频数字化接收机的一种较好选择. 随着现代 IC 工艺的不断进步和便携式设备的广泛应用, 低电压低功耗已成为集成电路设计的发展趋势. 本文通过从系统到电路级的优化, 设计了一种低电压低功耗一位四阶带通调制器, 它可在 GSM 和 WCDMA 双标准接收器中应用.

2 功耗分析

带通 Sigma Delta 调制器的功耗由动态功耗和静态功耗组成. 动态功耗是在一定速度下, 对一定尺寸的电容充放电形成的; 而静态功耗主要由运放的静态偏置电流形成. 文献[5]中分析了积分器的动态功耗下限, 文献[6]分析了低通调制器的静态功耗与分辨率、带宽的关系. 根据文[5, 6]类似的方法, 带通 Sigma Delta 调制器的动态功耗和静态功耗可分别表示为

$$P_d = k_{\Sigma\Delta} \frac{m^2}{a} k \cdot T \cdot BW \cdot DR \quad (1)$$

$$P_s = k_{\Sigma\Delta} \cdot K_{OTA_s} \cdot V_{DD} \cdot \frac{V_{ov}}{a} \cdot \ln(2DR) \left\{ \frac{4mkT \cdot BW \cdot DR}{V_{rf}^2} \left[1 + \frac{C_{out} + C_{Ls2}}{C_f} \right] + f_s \left[\left(1 + \frac{C_{in}}{C_f} \right) (C_{out} + C_{Ls2}) + C_{in} \right] \right\} \quad (2)$$

式(1)中 $k_{\Sigma\Delta}$ 为整个调制器的动态功耗和单个谐振器的动态功耗之比, a 为采样频率和时钟频率之比, m 为谐振器中采样电容和反馈电容的个数之和, k 为玻尔兹曼常数, T 为绝对温度, BW 为带通调制器的带宽, DR 为动态范围. 式(2)中, k_{OTA_s} 为运放的静态电流与运放输入级的偏置电流之比, $k_{\Sigma\Delta}$ 为整个调制器的静态电流与运放的静态电流之比, V_{DD} 为电源电压, V_{rf} 为参考电压, V_{ov} 为运放输入管的过驱动电压, C_{in} 和 C_{out} 分别为运放寄生输入电容和寄生输出电容, C_s 为采样电容, C_f 为积分电容, C_{Ls2} 为由谐振器下一级带来的负载电容.

从关系式(1)和(2)可知: 调制器的动态功耗与 m 的平方、 BW 以及 DR 成正比, 与 a 成反比, 而与过采样率 OSR 和 V_{DD} 无关; 调制器的静态功耗与电路参数的关系则较为复杂, 但它也与 OSR 无关. 为了降低调制器的功耗, 一个有效方法是减小 BW 、 DR 、 m 以及增加 a , 因为这既可以减小动态功耗也可以减小静态功耗. 然而, 在一定的应用场合下 BW 和 DR 是不能任意改变的. 因此, 从电路设计的角度, 改变 m 和 a 则较为合适, 共用采样电容和反馈电容可以减小 m , 采用双采样或多通道技术可以增加 a .

由式(1)和式(2)中的比例因子 $k_{\Sigma\Delta}$ 、 $k_{\Sigma\Delta}$ 和 k_{OTA} 可知,为了降低功耗,一是在满足 DR 的要求下,应该用尽量少的谐振器;二是要尽量减少谐振器中运放的数量;三是要尽量减小运放中的支路

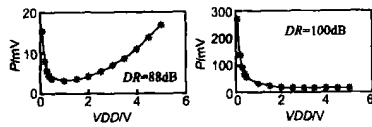


图1 电源电压与运放静态功耗的关系, 其中, $V_{ref}=V_{DD}/2$, $BW=270\text{kHz}$, $f_s=80\text{MHz}$, $V_{ov}=200\text{mV}$, $C_{in}=0.5\text{pF}$, $C_{out}=1\text{pF}$, $C_f=C_s/0.2$, $\alpha=2$, $m=4$, $k_{OTA}=5$

数量。由式(2)可知,减小运放的负载电容也可减小功耗。而 V_{ov} 与 P_s 的关系要复杂一些,因为改变 V_{ov} 会使 C_{in} 同时改变,实际上, V_{ov} 存在一个优化的值。另外,根据式(2)可以作出电源电压与运放静态功耗($k_{\Sigma\Delta}$ 设为1)的关系(图1)。当要求的调制器 DR 不是很大时,在一定范围内,运放的静态功耗随着 V_{DD} 的减小而减小;而当要求的调制器 DR 较大时,静态功耗随 V_{DD} 的减小而增大。

3 系统设计

3.1 结构设计

对于一位四阶带通调制器,比较典型的是1997年由Ong提出的结构^[1]和2003年由Chon提出的结构^[2],它们各有优缺点。

设四阶带通调制器中第一个和第二个谐振器的增益分别为 f_1 和 f_2 。在低电压条件下,为了减小调制器的内部信号摆幅,通常要将 Chon 型或 Ong 型调制器中的 f_1 降到 0.4 以下^[1,2]。此时,在相同的 f_1 条件下,它们中第一个谐振器的输出摆幅基本相等。而当 f_2 相同时,Chon 型调制器的摆幅始终比 Ong 型的大。

在改变 f_1 以改变第一个谐振器输出摆幅时(即在原 f_1 的基础上乘以比例因子 S_1),为了维持调制器的信噪比(SNR)特性不变,可以在第一个谐振器后和在第二个谐振器的反馈回路中乘以 S_1 的倒数。但这会增加第二个谐振器的 m ,同时也会增加谐振器中运放的负载电容。因此,从降低功耗的角度,应直接改变 f_1 ,而对电路的其他部分不进行相应的变化。此时,调制器的 SNR 特性会发生变化。Matlab 行为模拟表明,在 f_1 小于 0.4 时,Ong 型调制器的 SNR 大于 Chon 型的 SNR。由于第二个谐振器的后面直接跟一位量化器,系数 f_2 的变化不会影响调制器的 SNR 特性。

在 Ong 型四阶带通 Sigma Delta 调制器中,需要传递函数为 $H(z)=fz^{-2}/(1+z^{-2})$ 的谐振器。Ong 在设计时采用了双通道技术,每个谐振器需要两个运算放大器。而 Chon 型调制器需要转移函数为 $H(z)=fz^{-1}/(1+z^{-2})$ 的谐振器,Chon 在实现时采用了双采样 Salo 型谐振器^[3]。目前,Salo 型谐振器是较好的一种结构,它只需要一个运放,并且不会由于谐振器增益的减小而增加运算放大器的负载,从而可以大大减小调制器的功耗。可惜的是,Ong 型四阶带通调制器不能采用 Salo 型谐振器。

如果将一位四阶带通调制器改为如图2所示的结构,它

的反馈环路特性就和 Ong 型调制器的一致,从而使得它们的性能特性也一致。同时,改进的调制器可以用 Salo 型谐振器实现。因此,改进型调制器结合了 Ong 型调制器和 Chon 型调制器的优点。在低电压条件下,它可以以较低的功耗,较小的电容获得较高的 SNR。

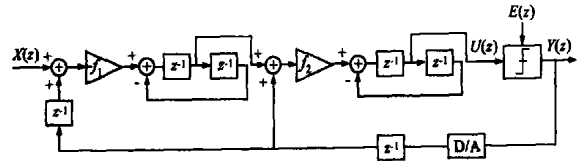


图2 改进型一位四阶带通调制器

3.2 影响调制器信噪比(SNR)的因素

在带通 Sigma Delta 调制器中,理论上由量化噪声决定的信噪比(SQNR)为^[7]

$$SQNR = 10 \log_{10} \left[\frac{3}{2} (2^B - 1)^2 \frac{(L+1) OSR^{(L+1)}}{\pi^L} \right] \quad (3)$$

其中 B 为量化器的位数, L 为调制器的阶数, OSR 为过采样率。实际上,调制器的最大 SNR 是由电路的非理想因素决定的。

对于改进型调制器,当谐振器采用如图3所示的 Salo 型结构时,可以推导由采样过程中 kT/C 噪声决定的 SNR 为

$$SNR_{kT/C} = 10 \log_{10} \left[\frac{2A_{in}^2 C_s OSR}{kT(1 + p_A/p_s)} \right] \quad (4)$$

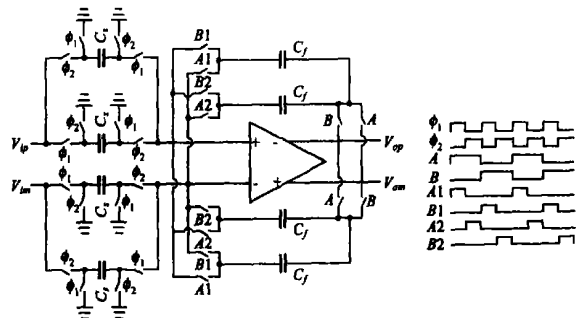


图3 谐振器及时钟信号

其中 A_{in} 为输入正弦信号幅度, C_s 为采样电容, p_A 为运放的闭环极点, p_s 为由 MOS 开关和采样电容形成的极点。而由运放的输入参考噪声电压 S_0 决定的 SNR 为

$$SNR_{noise} = 10 \log_{10} \left(\frac{2A_{in}^2 \tau_{cl} OSR}{S_0} \right) \quad (5)$$

其中, τ_{cl} 为运放闭环时间常数。

比较器的失调电压 $V_{Camp/OS}$ 对带通调制器的影响,主要体现在两个方面:一是它会使谐振器的平均输出发生偏移,有可能使放大器进入低增益区;另一方面,比较器的失调电压可以看作是加入在其输入端的直流电压,带通调制器会将该信号放大输出。如果调制器存在非理想因素,它会在信号带内产生镜像分量,使调制器的 SNR 下降。时钟抖动、运放有限增益 A_{DC} 和有限带宽 GBW 对调制器 SNR 的影响可参阅文献^[8,3]。

3.3 模块指标的确定

将带通调制器应用于中频 IF2 为 20MHz 双模式接收机中,根据文献^[9]的讨论,对于 GSM 系统,要求带通调制器的

DR 在 49dB 到 88dB 之间,对于 WCDMA 系统,要求 DR 在 26dB 到 54dB 之间. 通常情况下,调制器的 DR 会大于 SNR 几个 dB. 因此,设计时只要 SNR 到达上述要求即可. 为了降低功耗,以及考虑其他因素的影响,取电源电压为 2V. 根据以上设计目标,可以确定调制器中模块的指标要求.

对于图 2 所示的调制器结构,采样频率 f_s 是 IF2 的四倍,为 80MHz. 双采样技术使时钟频率是理论采样频率的一半,为 40MHz. 在 GSM 和 WCDMA 系统中,调制器的带宽分别为 270kHz 和 3.84MHz^[4],那么它们的过采样率分别为 148 和 10. 将调制器的参考电压设计为 $\pm 0.5V$,全差分电路结构使输入信号的理论最高电压为 1V. 为了在给定电源电压下,将谐振器的输出摆幅降低到适当的值,结合 Matlab 行为模拟,取 f_1 为 0.2, f_2 为 0.5. 此时,根轨迹分析表明调制器是稳定的.

对于改进型带通调制器,由式 (3) 可知:在 GSM 和 WCDMA 系统中的 $SQNR$ 分别为 97.4dB 和 38.8dB. 当选取上述谐振器增益后,实际上 SNR 会减小,Matlab 行为模拟表明:它们分别 88dB 和 35dB. 设计时,应该选取适当的参数,使调制器最终的 SNR 尽量接近这些值. 根据 3.2 和 Matlab 行为模拟确定电路模块的指标,结果总结于表 1.

表 1 调制器的指标及对电路模块的要求

Sampling Frequency/MHz	80	ADC/dB	60	V_{ref}/V	± 0.5
Clock Frequency/MHz	40	GBW/MHz	200	Cs_1/pF	0.6
Bandwidth/kHz	270/3840	Op Swing/V	± 1	G_1/pF	3
Time Jitter/ps	2	VCompOS/mV	± 30	Cs_2/pF	0.4
Op input reference Noise Voltage/mVrms	0.1	Capacitor Mismatch/%	0.2	G_2/pF	0.8

4 电路设计

4.1 运放设计

运算跨导放大器 (OTA) 的常见基本结构主要有: 两级结构、Folded Cascode 结构以及 Telescopic 结构^[10]. 在这些结构中,Telescopic 结构具有速度快、功耗小的优点,但其缺点是输出摆幅小,不利于在低电压下应用. 为此,谐振器中的 OTA 采用基于 Telescopic 结构的改进型结构 (图 4). 在图 4 中,如果 $M5$ 漏源两端所需的电压降低 ΔV ,则输出摆幅可以提高 $2\Delta V$. 为了减小 $M5$ 源漏两端所需的电压,将其偏置在线性区. 此时为了保持尾电流恒定不变,采用尾电流复制反馈技术^[10]. 它由 $M5$ 、 $M5r$ 、 $M1a$ 、 $M1b$ 、 $M2r$ 、 $M3r$ 以及 $M4r$ 组成,其工作过程为: 当 $M5$ 的漏端电压随着输入共模电压的改变而改变时, $M5r$ 的漏端电压就会发生相应的变化,由于 $M2r \sim M4r$ 中提供的恒定电流也流过 $M5r$,这样 $M5r$ 的栅极电压会自动调整,从而保证 $M5$ 中电流不变. 图 4 中加入了辅助运放 A 和 B,其目的是: 在采用短沟道器件以提高速度的同时,也能使 OTA 获得很高的增益.

辅助运放采用全差分 Folded Cascode 结构. 考虑到主运放 $M3a$ 、 $M3b$ 源端的直流电位较高,而 $M2a$ 、 $M2b$ 源端的直流电位较低,因此辅助运放 A 采用 PMOS 输入差分对,辅助运放 B 采用 NMOS 输

入差分对. 为了节省功耗,主运放和辅助运放共用偏置电路,并且它们的共模反馈 (CMFB) 电路都采用开关电容结构^[11]. 模拟的 OTA 的性能如表 2.

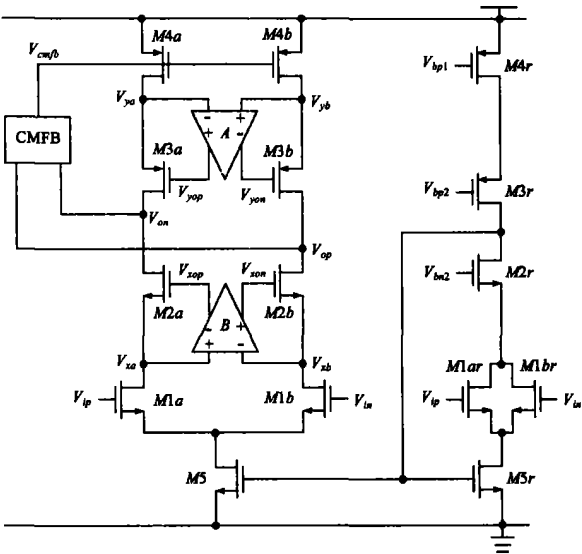


图 4 改进型低电压运放

表 2 OTA 模拟结果总结

GBW/MHz	Slew rate/ $V \cdot \mu s^{-1}$	Phase Margin / degree	$A_{DC}(V_{od}) = 0V / dB$	Output swing/V	Total power dissipation/mW
278.2	322.5	82.3	83.2	± 1.2	4.2

4.2 比较器设计

一位量化器如采用图 5 所示的锁存比较器实现. 它由输入差分对 $M1 \sim M2$, CMOS 锁存电路^[12], kickback 噪声减小电路^[13] 以及 RS 触发器组成. CMOS 锁存电路的组成部分包括: n 沟道触发器 $M3 \sim M4$, 选通管 $M5 \sim M6$, 复位开关 $M18$, p 沟道触发器 $M7 \sim M8$, p 沟预充电管 $M9 \sim M10$. Kickback 噪声减小电路为: $M11 \sim M16$. Φ_1 和 Φ_2 为两相不交叠时钟.

电路的动态工作分成两个时间段: 复位阶段和再生阶段. 在 Φ_2 相位, 比较器处于复位阶段. 再生阶段从 $M18$ 打开开始. 由于在 Φ_1 为低电平时, 选通开关 $M5$ 和 $M6$ 隔离了 p 沟道触发器和 n 沟道触发器, 两相不交叠时钟将再生过程分成两个阶段. 第一个再生阶段在 Φ_1 变为低电平和 Φ_1 变成高电平之间. 第二个再生阶段从 Φ_1 变成高电平开始.

$M11 \sim M12$ 的作用如下: 一是减小 kickback 噪声^[13], 二是

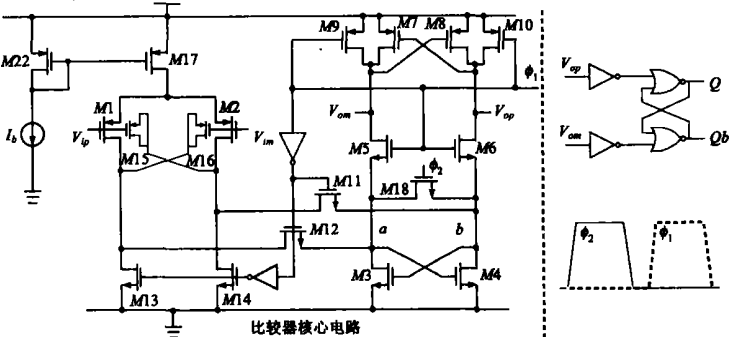


图 5 比较器及时钟信号

节约功耗. 如果没有 $M11$ 和 $M12$, 在再生结束后, V_{qp} 和 V_{cm} 中一端为高电平, 另一端为低电平. 假设 V_{cm} 为低电平, V_{qp} 为高电平, 则电流就会从电源开始流经 $M8$ 、 $M6$ 、 $M2$ 、 $M1$ 、 $M3$ 到模拟地, 形成静态电流通道, 增加了功耗. RS 触发器前的倒相器的作用是使锁存器具有相同的负载, 减小了失调电压. 为了防止 V_{qp} 和 V_{cm} 处的毛刺传入到输出端, 倒相器的阈值电压设置得比中间电平高. 模拟所得的比较器性能如表 3. 其中比较器失调电压是采用 Hspice 60 次 Monte Carlo 模拟获得的, 失调电压的均值为 1.54mV, 方差为 88.4 μ V.

表 3 比较器模拟结果总结

Power dissipation/ μ W	Maxim Offset Voltage/mV	Maxim speed/MHz	Sensivity /mV	Delay time(V_{in} = 0.3mV)/nS
57.6	± 24	200	0.3	21

4.3 开关及时钟设计

在 IF 接收机中, 高速的输入信号必须以较低的失真进行采样. 然而, NMOS 开关的导通电阻是信号依赖的, 它增加了调制器的非线性. 为了减小输入开关的导通电阻与信号的相关性, 提出了一种结构较为简单、能克服衬偏效应的自举开关(图 6). 在 Φ_2 相位, C_{offset} 充电到 V_{dr} . 在 Φ_1 相位, C_{offset} 通过 $Mn1$ 、 $Mp1$ 和 $Mn2$ 连接到输入端和开关 $MnSW$ 的栅极. 为了克服衬偏效应, 自举开关 $MnSW$ 采用 PMOS 管, 这样可以大大减小采样过程中的谐波失真. $Mn1$ 和 $Mp1$ 构成 CMOS 开关, 以提高自举开关的输入范围. 调制器中其余开关采用 CMOS 开关实现.

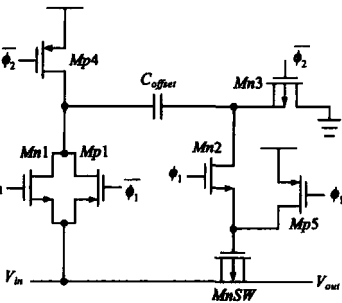


图 6 提出的自举开关

在调制器中需要八个非重叠的时钟信号, 以及实现下极板采样的时钟信号, 另外还需要驱动 CMOS 开关的反相信号. 非重叠时钟信号 Φ_1 、 Φ_2 和实现下极板采样的时钟信号由用于开关电容电路中的传统时钟发生电路产生. 其余时钟信号由触发器、一些门电路和 Φ_1 、 Φ_2 产生.

5 模拟结果

文中设计的一位四阶带通调制器采用 0.35 μ m CMOS 工艺实现, 电源电压为 2V. 模拟方法如下: 首先采用 Hspice 进行瞬态分析, 然后将结果在 Matlab 中进行后处理, 其中频谱分析时采用 65536 点 FFT, 窗函数为 $\beta=13$ 的 Kaiser 窗. 图 7 是当输入信号为 -1dBr 时模拟所得的调制器输出功率谱密度 (PSD). 考虑工艺和温度 (-40 $^{\circ}$ C 和 85 $^{\circ}$ C) 变化, 在最坏情况下: 对 GSM 系统最大 SNR 约为 84dB, DR 约为 86dB, 功耗为 10.5mW; 对 WCDMA 系统最大 SNR 约为 33dB, DR 约为 36dB, 功耗为 13mW. 模拟表明电源电压抑制比

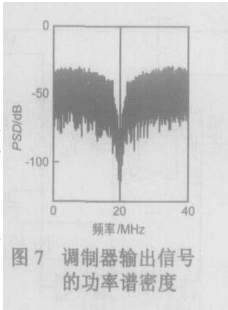


图 7 调制器输出信号的功率谱密度

(PSR) 约为 65dB. 下面根据模拟结果, 将本文设计的调制器和参考文献中的调制器进行比较.

调制器性能的比较是一项复杂的工作, 通常可以 FOM 进行粗略的估计, 它可表示为^[14]

$$FOM = \frac{4kT \cdot DR \cdot BW}{P}$$
 (6)

这里, P 为调制器的功耗. 表 4 给出了各种离散时间带通调制器的性能比较. 在 200kHz 左右的带宽条件下, 文中设计的调制器具有最高的 FOM, 在 3.84MHz 带宽条件下, 文中设计的调制器的 FOM 和参考文献[4]的差不多. 由此可见, 文中设计的调制器具有较好的综合性能. 式(6)没有考虑工艺、电源电压等因素的影响. 从表 4 可知, 文中设计的调制器与文献[2]和[4]中的都采用 0.35 μ m 工艺, 但文中的调制器可以采用更低的电源电压. 当然, 由于参考电压最大为电源电压, 电源电压的下降(本身不增加 noise floor)会使调制器的理论最大 DR 受到限制.

表 4 离散时间带通调制器的性能比较

Reference	本文	[1]	[2]	[4]
BW/MHz	0.27/3.84	0.2	0.2	0.27/3.84
DR/dB	86/34	75	83	84/42
P/mW	10.5/12	72	12	56
Power Supply/V	2	3.3	2.5	3
Technology	0.35 μ m	0.6 μ m	0.35 μ m	0.35 μ m
FOM $\cdot 10^{-6}$	168.5/0.021	1.4	54.8	19/0.018

6 结论

在 0.35 μ m CMOS 工艺条件下, 设计了一种符合双标准接收机的带通调制器. 通过改进调制器结构, 优化电路参数, 达到了低功耗低电压设计的目的. 模拟结果表明: 在 GSM 和 WCDMA 系统中, 调制器的 DR 分别为 86dB 和 36dB, 而功耗仅为 10.5mW 和 12mW.

参考文献:

[1] ONG A, WOOLEY B. A two path bandpass $\Sigma \Delta$ modulator for digital IF extraction at 20 MHz[J]. IEEE J. Solid State Circuits, 1997, 32(12): 1920-1934.

[2] CHON I L, HO L L, KUO I F A, et al. A 10.7 MHz bandpass sigma delta modulator using double delay single opamp SC resonator with double sampling[A]. Proceedings of the 2003 International Symposium on Circuits and Systems[C]. ISCAS 2003, Bangkok, Thailand, 25-28, 1: 1061-1064.

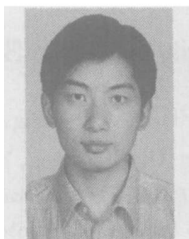
[3] SALO T, LINDFORS S, HALONEN K. A Double Sampling SG Resonator for Low Voltage Bandpass $\Delta \Sigma$ Modulators[J]. IEEE Transactions on Circuits and Systems, 2002, 49(12): 737-747.

[4] SALO T, LINDFORS S, HALONEN K A I. A 80 MHz bandpass $\Delta \Sigma$ modulator for a 100 MHz IF receiver[J]. IEEE Journal of Solid State Circuits, 2002, 37(7): 798-808.

[5] FELDMAN A R. High Speed, Low voltage Sigma Delta Modulator[J]. IEEE Transactions on Circuits and Systems, 1997, 44(12): 1061-1064.

- lator for RF Baseband Channel Application [D]. Berkeley: EECS, University of California.
- [6] MARQUES A, PELUSO V, STEYAERT M, et al. Analysis of the trade off between bandwidth, resolution, and power in $\Delta\Sigma$ analog to digital converters [A]. IEEE International Conference on Electronics, Circuits and Systems [C]. Lisboa, Portugal, 1998, 2: 153– 156.
- [7] NORSWORTHY S R, SCHREIER R, TEMES G C. Delta Sigma Data Converter. Theory, Design and Simulation [M]. New York: The Institute of Electrical and Electronics Engineers, 1997.
- [8] HAI T, TOTTH L, KHOURY J M. Analysis of timing jitter in bandpass sigma delta modulators [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1999, 46(8): 991– 1001.
- [9] BURGER T, QIUTING H. A 13.5 mW 185-Msample/s $\Delta\Sigma$ modulator for UMTS/GSM dual standard IF reception. Solid State Circuits [J]. IEEE J. of Solid State Circuits, 2001, 36(12): 1868– 1878.
- [10] GULATI K, HAE SEUNG L. A high swing CMOS telescopic operational amplifier [J]. IEEE J. Solid State Circuits, 1998, 33(12): 2010– 2019.
- [11] CHOKSI O, CARLEY L R. Analysis of switched capacitor common mode feedback circuit [J], IEEE Transactions on Circuits and Systems, 2003, 50(12): 906– 917.
- [12] YIN G M, EYNDE F O, SANSEN W. A high speed CMOS comparator with 8 b resolution [J]. IEEE J. Solid State Circuits, 1992, 27(2): 208– 211.
- [13] FIGUEIREDO P M, VITAL J C. Low kickback noise techniques for CMOS latched comparators [A]. IEEE Circuits and Systems [C]. ISCAS, Vancouver, Canada, 2004, 23– 26, 1: 1– 537– 40.
- [14] BREEMS J, HUIJSING. Continuous Time Sigma Delta Modulator for A/ D Conversion in Radio Receivers [M]. Boston: Kluwer Academic Publishers, 2001.

作者简介:



程剑平 男, 汉族, 江苏苏州人, 东南大学博士研究生, 主要研究方向为 Sigma Delta A/D、D/A 转换器. E-mail: mr. cjp@ seu. edu. cn.



朱卓娅 女, 汉族, 江苏宜兴人, 东南大学讲师, 现正在攻读东南大学微电子学与固体电子学专业博士学位, 主要研究方向为数模混合信号电路设计.