

10 Gbit/s 甚短距离并行光传输模块与实验系统

苗 澎, 王志功, 李 巍

(东南大学射频与光电集成电路研究所, 江苏南京 210096)

摘 要: 介绍符合 OIF-VSR4-03.0 规范的 10 Gbit/s 甚短距离 (VSR) 实验系统研究. 该系统由 16 × 622 Mbit/s 到 4 × 2.488 Gbit/s 转换集成电路、自制 12 通道 850 nm 垂直腔面发射激光器 (VCSEL) 并行光发射模块和商用 12 通道并行接收光模块构成. 用一片 FPGA 实现转换芯片的全部功能, 采用基于二分查找法的 SDH STM-64/OC192 并行帧对齐及同步算法, 大大提高了转换芯片的工作速度和节省了逻辑资源, 自制 12 通道 VCSEL 并行发射模块工作速率达到 12 × 2.488 Gbit/s 的设计指标. 在 SDH STM-64/OC192 10 Gbit/s 测试仪点到点的传输系统测试中, 采用 5 米的 12 芯 400 MHz · km 62.5 μm 多模带状光纤互联, 系统误码率低于 1×10^{-14} .

关键词: 甚短距离; 并行光传输模块; 转换集成电路; 同步数字体系

中图分类号: TN913.7 **文献标识码:** A **文章编号:** 0372-2112 (2007) 02-0304-03

10 Gbit/s Very Short Reach Parallel Optical Transmission Module and System

MIAO Peng, WANG Zhi-gong, LI Yu

(Institute of RF & OE-ICs, Southeast University, Nanjing, Jiangsu 210096, China)

Abstract: The paper presents the research of a 10 Gbit/s Very Short Reach (VSR) parallel optical transmission system grounds on OIF-VSR4-03.0 Implementation Agreement. The system consists of a 16 × 622 Mbit/s to 4 × 2.488 Gbit/s converter IC, a self-made 12-channel parallel 850 nm VCSEL transmitter and a commercial 12-channel parallel 850 nm receiver, connection via 5-meter 400 MHz · km 62.5 μm multi-mode fiber ribbon. All of the functions of the converter IC are realized in one FPGA. A dichotomy search algorithm logic to perform word alignment and STM-64/OC192 deframing speeds up the converter IC working speed and reduces circuit complexity greatly. The transmission speed of the 12-channel VCSEL transmitter reaches the aimed level of 12 × 2.488 Gbit/s. In the point-to-point transmission measurement by 10 Gbit/s SDH STM-64/OC192 tester, a system bit error rate (BER) of lower than 1×10^{-14} has been obtained.

Key words: very short reach (VSR); parallel optical transmission module; converter IC; SDH

1 引言

甚短距离 (Very Short Reach, VSR) 并行光传输系统具有高的性价比, 非常适合电信局间密集波分复用和线速路由器等设备之间的高速光互联应用. VSR 使用了基于 VCSEL (Vertical Cavity Surface Emitting Laser, 垂直腔面发射激光器) 的并行光互联技术, 以降低每根光纤上的传送速率, 降低对光器件的要求, 从而提供了一种廉价可靠的传输方式^[1], 并行传输速率可达 10 Gbit/s 或 40 Gbit/s.

光学网际互联论坛 (OIF, Optical Internetworking Forum) 相继通过了 VSR4 的 4 个标准: VSR4-01.0、VSR4-02.0、VSR4-03.0 和 VSR4-04.0^[2]. 这些标准的推出都是为了降低短距离内 10 Gbps 互连成本, 且与 SFI-4 (Serdes Framer Interface) 接口一致. 本文阐述了符合 OIF-VSR4-03.0 技术规范的 10 Gbit/s 甚短

距离并行光传输模块 (以下简称 VSR4-3 光模块) 实验系统及其关键部件和电路的实现.

2 VSR4-3 并行光传输实验系统与光发送模块

2.1 VSR4-3 实验系统构成

VSR4-3 系统构成如图 1 所示, 系统由转换芯片 (Altera 公司 Stratix GX EP1S25FF1020C6 FPGA)、850 nm 12 路并行自制光发射模块和商用 12 路并行接收模块构成, 光互联采用 5 米的 12 芯 400 MHz · km 62.5 μm 多模带状光纤, 其中四路通道空闲. 转换集成电路接收来自 10 Gbps 光模块输出的源同步方式 16 × 622 Mbit/s 数据和一路 622 MHz 时钟电信号, 在 SFI-4 接口侧的输入输出信号均为低电压差分信号 (LVDS) 形式^[3], 由转换芯片完成 16 × 622 Mbit/s 到 4 × 2.488 Gbit/s 的数据转换.

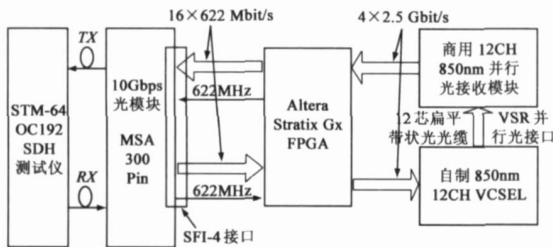


图1 VSR4-3系统框图

2.1.1 VSR4-3 转换芯片

转换芯片功能如图2所示,在发送方向上,由SFI-4接口输入的OC192数据经1:4串并转换后速率降为155.520Mbit/s,经帧同步后按照字节映射分配到4个数据通道上,然后经16:1复接器复接成4路2.488Gbit/s高速信号完成发送。在接收方向上,4路2.488Gbit/s串行信号由时钟数据恢复电路(CDR)进行时钟提取和数据恢复后完成1:16分接,由帧同步模块分别同步四个高速通道数据,再经缓冲调整器进行数据调整,重排为OC192帧格式后经串并转换完成接收。

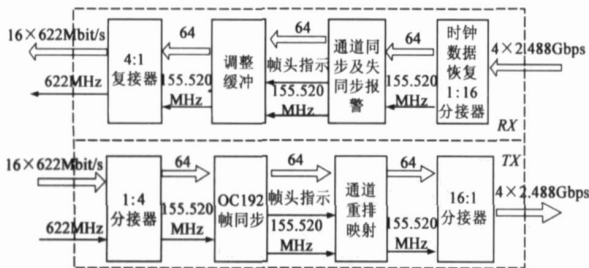


图2 VSR4-3转换芯片框图

2.1.1.1 OC192 帧同步及帧通道映射

在转换芯片接收方向上,接收16×622Mbit/s数据经1:4串并转换后,OC192数据的帧起始比特是以1/64等概率的不确定顺序出现在64位的任意一位。因此,OC192数据进入转换芯片必须先经帧同步模块搜索出帧同步码,使帧数据对齐,并给出帧同步信号,指示出一帧起始位置。

在OC192同步电路设计中,采用基于二分查找的帧同步方法^[4]。将输入的数据流看成是一个待查找的数组,而帧定位符就是待查找的数据。对于已排序数组,采用二分查找法的思想应用于数字逻辑电路中,得到了优化的帧搜索对齐方法。这样,每次对齐只需经过一个二选一的 selectors,系统由 $\log_2 N$ 级选择器构成,尤其当串并比 N 大的时候,可以大大降低电路复杂度和显著提高工作速度,模块结构如图3所示。

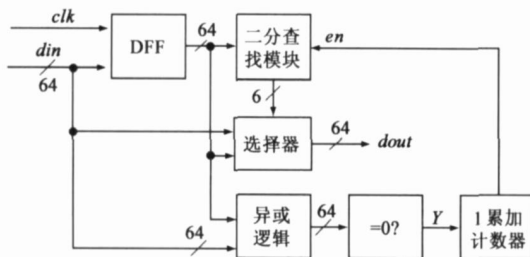


图3 基于二分查找法的帧同步模块

由于OC192数据每帧有192个A1和A2,把每帧的A1按

每64位宽为一个周期划分,至少有23(最多24)个周期是同样的数据,这样前一个周期的值和后一个周期的值异或的结果必定是全0。而一旦有A2出现的周期到来,异或的结果就不是全0,其中第一个1的位置就代表了A1A2的交界,说明A1A2的交界就在上一周期的64bit的某一位,也就是连0中第1个1出现的位置。此时使能二分查找模块,产生 $\log_2 N$ 位选择信号,查找前一个周期64bit第1个1的位置,从此位置开始输出的64bit即为帧同步序列。接下来,再把这64位数据按每通道16bit排列成四个通道进行并行传输,就完成了发送方向的通道映射重排。

在帧同步电路中,失帧(OOF, Out of Frame)检测状态机用来指示帧同步调整状态,使用帧同步状态机的目的是保证即使在高误码率情况下(例如 10^{-4}),也能指示出SDH帧同步信号。当OOF状态机在连续两帧的相同位置搜索到数据流的A1A2起始边界时,进入帧同步状态;此后若在每个125μs间隔查找到A1A2的起始边界,就保持在帧同步状态,当连续四帧搜不到A1A2边界,给出失同步指示。

2.1.1.2 接收通道帧同步与数据对齐

在接收方向上,转换芯片接收来自并行光接收模块的4×2.488Gbit/s电信号。由于接收方向每个通道经1:16串并转换后,每通道接收的帧起始比特会以1/16等概率的不确定顺序出现在16位的任意一位。因此,接收数据进入转换芯片必须先经帧同步模块搜索出帧同步码,使帧数据对齐。这里同样采用了基于二分查找法的帧同步电路,只是把图3中的输入数据宽度改为16bit,二分查找模块选择器规模为 $\log_2 16 = 4$,同时产生4位的选择信号。

由于信号在光纤及电路的传输路径不同,会造成在接收方向上数据延迟,根据OIF-VSR4-0.3标准,规定接收通道至少有10ns去斜移的调整能力^[2]。这种延迟调整由接收通道调数据对齐模块完成,一般是采用FIFO实现接收通道的数据对齐和时钟域的分离。这里采用一个双端口RAM实现FIFO的功能,开一个深度为16×16的RAM缓冲区,把读写指针差开2即可有14个字时钟周期(90ns)的调整容限,完全满足标准的要求,从而简化设计。可以用双端RAM简化设计的关键点是

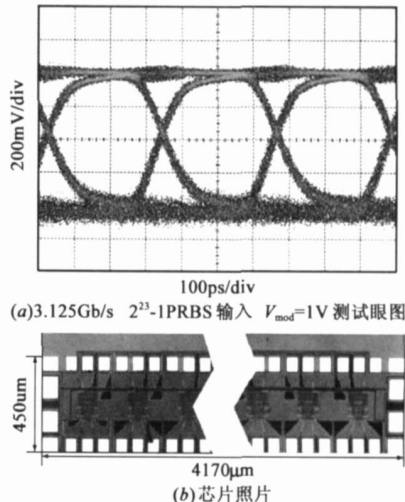


图4 12×3.125Gb/s激光驱动器测试眼图和芯片照片

因为四个接收通道中的每个通道都是按 OC-48 速率进行数据传输,每通道帧长度为 19440 个字,正好是 RAM 深度 16 的整数倍,这样就保证了在每帧数据的起始位置读写指针地址不变.把不同通道到达的数据分别存入对应的 RAM 中,分别由读写指针控制其读写,只要读写指针的差值固定,在全部数据都写入后用一个读时钟把四个通道的数据从同一个读地址中同时读出,就可实现数据对齐的和时钟域分离的目的.

2.2 并行光发射模块

在本系统中,并行光发射模块为自制光模块. 12 × 3.125 Gb/s 激光驱动器芯片采用 TSMC 0.25 μm CMOS 工艺,其测试眼图和芯片照片分别如图 4(a)和(b)所示^[5].

3 测试结果

VSR4-3 点到点测试实验系统照片如图 5 所示,SDH STM-64/OC192 测试仪(型号为德国 ACTERNA 公司 TESTER 10G ANF20SE)产生的 SDH 帧数据由并行发送实验系统上的 10 Gbps 光模块串并转换成 16 × 622 Mbit/s 数据(型号为 Intel 公司 TXN 1330320103A01),经 MSA300 脚插座送至发送方向转换集成电路和并行发送光模块;并行接收实验系统上的并行光接收模块和接收方向转换集成电路转换成 16 × 622 Mbit/s 数据,再由 10 Gbps 光模块并串转换成 10 Gbps 数据送测试仪,完成点到点的测试.连续测试五小时无误码,经计算,系统误码率小于 1×10^{-14} .



图 5 VSR4-3 点到点实验系统照片

4 结论

本文验证了 OIF-VSR4-03.0 规范,实验系统实现了 10 Gbit/s 甚短距离并行光传输应用.采用 FPGA 实现了转换集成电路的全部功能,在全双工方式下,使用的 FPGA 逻辑单元数约 2900,研制的 12 通道并行光发射模块传输带宽达 12 × 2.488 Gbit/s.在点到点的传输测试中,采用 5 米 12 芯 400 MHz

km 62.5 μm 多模带状光纤互联时,系统误码率低于 1×10^{-14} .

参考文献:

- [1] 苗澎,等.甚短距离光传输中保护和错误检测通道的实现[J].光通信研究,2004(2):27-30.
- [2] Very Short Reach (VSR) OC-192 four fiber Interface Based on Parallel Optics OIF-VSR4-3.0-2000, [S]. [DB/OL]. <http://www.oiforum.com/public/impagreements.html>.
- [3] SFI-4 (OC-192 Serdes-Framer Interface) OIF-PLL-02.0 - Proposal for a common electrical interface between SONET framer and serializer/deserializer parts for OC-192 interfaces [S]. [DB/OL]. <http://www.oiforum.com/public/impagreements.html>.
- [4] 李鹏,王志功,苗澎.应用于甚短距离光传输系统的并行帧对齐电路[P].中国专利:CN200410014719.7,2005-01-12.
- [5] 黄强,王志功,李连鸣,等.0.25 μm CMOS 工艺实现的 3.125 Gbit/s × 12 通道 VCSEL 驱动器阵列[J].电子学报,2004,32(2):324-326.

作者简介:



苗澎 男,1972 年生,2002 年硕士研究生毕业于南京航空航天大学电子工程系,获电路与系统硕士学位,现为东南大学无线电工程系射频与光电集成电路研究所在职博士生,讲师,研究方向为高速光通信集成电路设计.
E-mail: miaopeng123@seu.edu.cn



王志功 男,1954 年生,博士,东南大学教授,博士生导师,东南大学射频与光电集成电路研究所所长,1990 年获德国波鸿鲁尔大学电子系博士学位,1990~1992 年在德国弗朗霍夫应用固体物理研究所做博士后.从事超高速、微波和毫米波集成电路、光电集成电路设计.