

使用三位三阶 调制器的集成 1 GHz 小数频率合成器

池保勇¹, 朱晓雷¹, 黄水龙², 王志华²

(1. 清华大学微电子学研究所, 北京 100084; 2. 清华大学深圳研究生院, 广东深圳 518057)

摘 要: 本文实现了一个采用三位三阶 调制器的高频谱纯度集成小数频率合成器. 该频率合成器采用了模拟调谐和数字调谐组合技术来提高相位噪声性能, 优化的电源组合可以避免各个模块之间的相互干扰, 并且提高鉴频鉴相器的线性度和提高振荡器的调谐范围. 通过采用尾电流源滤波技术和减小振荡器的调谐系数, 在片压控振荡器具有很低的相位噪声, 而通过采用开关电容阵列, 该压控振荡器达到了大约 100MHz 的调谐范围, 该开关电容阵列由在片数字调谐系统进行控制. 该频率合成器已经采用 0.18 μ m CMOS 工艺实现, 仿真结果表明, 该频率合成器的环路带宽约为 14kHz, 最大带内相位噪声约为 -106dBc/Hz; 在偏离载波频率 100kHz 处的相位噪声小于 -120dBc/Hz, 具有很高的频谱纯度. 该频率合成器还具有很快的反应速度, 其锁定时间约为 160 μ s.

关键词: 调制器; 频率合成器; 压控振荡器; 锁相环

中图分类号: TN79⁺1 **文献标识码:** A **文章编号:** 0372-2112 (2005) 08-1492-05

1 GHz Monolithic Fractional-N Frequency Synthesizer with a 3-b Third-Order Delta-Sigma Modulator

CHI Bao-yong¹, ZHU Xiao-lei¹, HUANG Shui-long², WANG Zhi-hua²

(1. Institute of Microelectronics, Tsinghua University, Beijing 100084, China;

2. Graduate School at Shenzhen, Tsinghua University, Shenzhen, Guangdong 518057, China)

Abstract: A 1GHz monolithic high spectrum purity fractional-N frequency synthesizer with a 3-b third-order modulator is implemented. A combined tuning technique of analog tuning and digital tuning is used to improve the phase noise of the frequency synthesizer. The power supply configuration is optimized to reduce the supply noise coupling, to improve the linearity of PFD and to increase the tuning range of the VCO. The on-chip VCO with a small gain utilizes the tail current source filtering technique to achieve a low phase noise, but it still keeps 100MHz tuning range due to the introduction of the on-chip digital controlled switched capacitor array. The frequency synthesizer has been integrated on one chip in 0.18 μ m CMOS process, the simulated results show the frequency synthesizer has a 14kHz loop bandwidth and a high spectrum purity, the maximum in-band phase noise is -106dBc/Hz, the phase noise is lower than -120dBc/Hz at 100kHz offset, and the frequency synthesizer has a fast settling time which is about 160 μ s.

Key words: modulator; frequency synthesizer; VCO; PLL

1 引言

频率合成器是许多电子系统中的重要部件, 随着技术的不断发展, 人们对高集成度、低成本、高性能的频率合成器具有越来越大的需求. 标准锁相环型频率合成器由于采用整数分频, 环路带宽和信道间隔之间存在一定的限制关系, 不能满足某些系统的要求. 基于此, 人们提出了小数分频技术, 该技术打破了环路带宽和信道间隔之间的限制关系, 允许频率合成器使用较高的晶振频率和宽的环路带宽来达到窄信道间隔. 由于鉴频鉴相频率较高, 一方面可以压缩晶振引起的

毛刺, 另一方面可以使得分频器的分频比较低, 高度压缩低频相位噪声. 由于小数频率合成器具有上面的一系列优点, 使得小数频率合成器在频率合成方面得到广泛的应用, 而且小数频率合成器还可以直接实现相位和频率调制, 从而可以直接作为无线系统的发射机, 不像传统发射机还需要上变频器来完成上变频^[1].

本论文采用 0.18 μ m CMOS 工艺实现了一个高频谱纯度的全集成 1GHz 小数频率合成器. 为了达到高频谱纯度, 频率合成器的系统结构以及各个模块的设计都针对低噪声要求进行了设计, 仿真结果表明该频率合成器可以达到很高的频

谱纯度和快速的反应时间,可以应用于各种无线通信设备以及精密测试设备等高性能系统中。

本论文共分为五个部分,第二部分介绍该小数频率合成器的系统结构以及噪声优化考虑,第三部分讨论各模块电路的设计以及模块电路仿真结果,第四部分描述了小数频率合成器的行为级模块仿真以及仿真结果,最后一部分对本论文的工作进行简单总结。

2 系统结构

本论文的小数频率合成器采用了模拟调谐和数字调谐两种调谐技术,其系统结构如图 1 所示,由压控振荡器、双模预分频器、可编程计数器、调制器、鉴频鉴相器、电荷泵、环路滤波器、为实现数字调谐功能而引入的比较器和数字控制模块以及恒电流源和偏置电路等主要模块组成。除了数字调谐部分外,其他部分的功能与通用的小数频率合成器的结构完全相同,在此不进行说明。

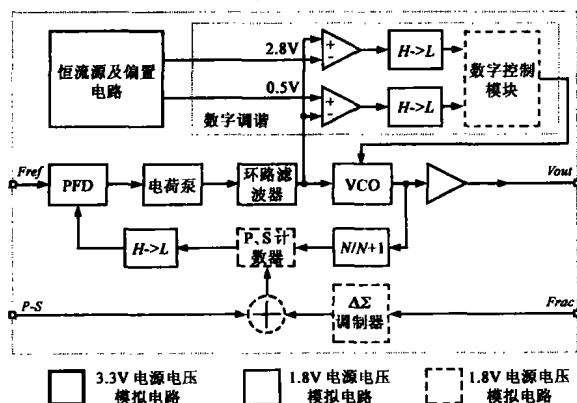


图 1 小数频率合成器的系统结构

数字调谐部分的功能说明如下:压控振荡器存在两种调谐方式,模拟调谐和数字调谐。模拟调谐输入端控制着压控振荡器变容管的电容量,从而可以在一定范围内连续改变压控振荡器的振荡频率,它是一种精细的调谐方式;而数字调谐控制着压控振荡器电容阵列开关,可以在很大的频率范围内改变压控振荡器的振荡频率,属于粗调谐范围。模拟调谐控制端的电压由环路滤波器提供,同时环路滤波器输出 VC 与两个参考电平 ($V_H = 2.8$; $V_L = 0.5$) 在两个迟滞比较器中进行比较,比较后的结果经电平转换后,送往数字控制模块,产生控制开关电容阵列的数字信号,从而实现数字调谐功能。

将模拟调谐和数字调谐结合在一起,可以减小调谐端噪声对频率合成器相位噪声的贡献,而且可以提高压控振荡器本身的相位噪声性能^[2],因此可以提高频率合成器的频谱纯度。在实际实现过程中,数字调谐部分会引入数字开关噪声,干扰压控振荡器的工作,这可以通过加入在片电容滤波网络来加以消除。

为了保证在压控振荡器的调谐系数很小时模拟调谐仍然具有一定的调谐范围,模拟调谐控制端的电压范围应尽可能大。考虑到所用的 $0.18\mu\text{m}$ 工艺同时提供 3.3V 的高压管,本频率合成器同时使用了

1.8V 和 3.3V 两组电压,图 1 中细线框内的模块使用 1.8V 的电源电压,这时晶体管的最小沟道长度为 $0.18\mu\text{m}$;粗线框内的模块使用 3.3V 的电源电压,这时晶体管的最小沟道长度为 $0.35\mu\text{m}$ 。1.8V 电平和 3.3V 电平之间的信号转换是由图 1 中的电平转换电路来完成的。

为了避免各个模块之间通过电源线相互干扰,特别是数字电路部分对压控振荡器的干扰,该频率合成器使用了多组不同的电源。尽管如此,集成在同一块芯片上的各个模块之间还是会通过衬底互相干扰。消除衬底干扰需要在电路设计和版图设计以及版图布局、封装等各方面进行努力,比较有效的措施包括:使用差分电路结构、模拟电路版图和数字电路版图尽量隔开、模拟电路部分使用深 N 阱技术、双阱保护环进行隔离等。另外,调制器和鉴频鉴相器使用不同的时钟沿,使得电荷泵导通时间避开调制器进行状态转换的时间,可以降低调制器的数字开关噪声通过衬底耦合对电荷泵的干扰^[3]。

3 模块电路设计

3.1 压控振荡器

压控振荡器是频率合成器中一个最重要的模块,其相位噪声决定了频率合成器在环路带宽之外的相位噪声性能,为得到高频谱纯度的合成器,必须压缩压控振荡器的相位噪声。

图 2 给出了本文所采用的压控振荡器的电路图,它综合采用了各种提高相位噪声的技术。 L_1 和 L_2 采用了较小电感量的在片电感,电感量约为 5.8nH ,1GHz 时的品质因子约为 5.8,这时振荡器达到最大振荡幅度所需的最小电流约为 14mA 。尽管可以通过进一步减小在片电感的电感量来提高相位噪声性能,但所需的电流也将进一步增加^[4],超出设计所允许的功耗水平。反向偏置工作的二极管 D_1 、 D_2 作为该振荡器的变容管,它与较小电容量的电容 C_1 、 C_2 串联,使得二极管上的电压波动幅度仅为振荡器振荡幅度的 $\frac{C_1}{C_1 + C_v}$ (C_1 为 C_1 、 C_2 的电容量, C_v 为二极管的电容量),而且 C_1 、 C_2 还起到隔直流的作用,使得二极管的 P 区可以直接连到地电平上,通过合理的选择 C_1 和 C_v 的数值,可以使得二极管在整个振荡周期内都工作于反向偏置区,降低了二极管的损耗对相位噪声的影响。 C_1 、 C_2 的加入所引入的缺点是降低了变容管的可

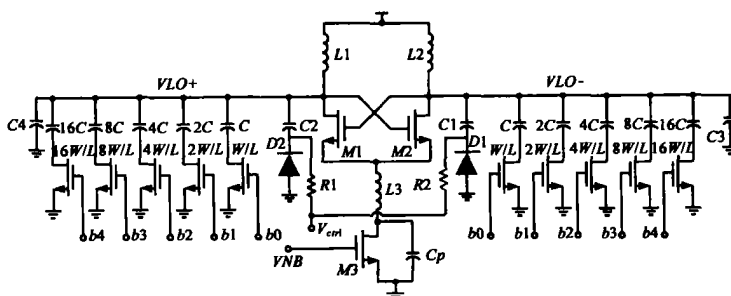


图 2 压控振荡器的电路图

变电容范围,但如第二部分所述,该振荡器中的变电容管不需具有很大的可调范围.固定 MIM 电容 C_3 和 C_4 进一步减小了该振荡器的调谐系数,由于 MIM 电容具有很高的品质因子, C_3 和 C_4 不会对相位噪声产生影响.

M_1 和 M_2 组成互补耦合对补偿 LC 元件的损耗,它们提供足够的环路增益,确保振荡器能正常启动.通过仿真,使用最小沟道长度的晶体管可以得到更小的相位噪声,故 M_1 和 M_2 选用了工艺允许的最小沟道长度.

晶体管 M_3 是尾电流源,它选用了宽沟道长度的晶体管,而且 W/L 很大,其过驱动电压仅为 150mV.在片电感 L_3 、电容 C_p 组成尾电流源滤波网络,可以消除尾电流源的噪声对相位噪声的影响^[5]. L_3 应和节点寄生电容在 2 (为振荡频率) 谐振,由于该振荡器的可调范围有限,尾电流源滤波器没有引入调谐机制,这在一定程度上会降低尾电流源滤波器的作用.电容 C_p 提供到地的低阻抗通路,它应具有足够大的数值.

为了保证该振荡器具有足够的调谐范围,该振荡器引入了由五个数字信号控制的开关电容阵列^[5],通过合理的设计可以使得该振荡器在相邻控制字时的调谐曲线具有一定的重叠区域,保证振荡器在整个调谐范围内不存在不连续区域.

该振荡器已经采用 0.18 μ m CMOS 工艺实现, SpectreRF 仿真表明,当控制电压为 2.5V,开关电容阵列的控制字为 01111 时,振荡频率为 1.003GHz,这时在偏离中心频率 100kHz 处的相位噪声可以达到 -119.5dBc/Hz.

仿真结果还表明该振荡器的调谐系数约为 2.5MHz/V,并具有约 100MHz 的可调范围(950MHz~1050MHz).若模拟调谐端的有效调谐电压范围为 0.5V~2.8V,则两个相邻控制字之间的调谐曲线的重叠范围约为 2.8MHz,可以保证即使存在工艺偏差,振荡器在整个调谐范围内也不存在不连续区域.

3.2 调制器

尽管小数分频器具有很多优点,但它也受到 Spurious 问题的干扰.为了消除 Spurious 问题,文献中提出了各种方法,目前应用最广的是调制器技术.本文就采用了文献[3]提出的三位三阶 $\Delta\Sigma$ 调制器,它仅具有四种输出模式,可以减小对鉴频鉴相器非线性的敏感性和减轻噪声耦合问题,它的低频量化噪声有所增加,但对高频量化噪声却具有很好的抑制能力,而且也不存在稳定性问题.

图 3 给出了该调制器用数字电路实现时的模块结构图,该电路采用二进制补码系统来实现减法运算,所有的运算单元都采用二十四位精度,并采用了三位量化器.其噪声传输函数为:

$$H_n(z) = \frac{(1 - z^{-1})^3}{1 - z^{-1} + 0.5z^{-2} - 0.1z^{-3}} \quad (1)$$

基于该模块图,我们使用 ADS 的数值计算实现了该调制器,其实现与图 3 一一对应,并且也采用二进制补码运算系统.图 4 给出了对该调制器进行 10ms 时域仿真后对输出序列进行傅立叶变换 (FFT) 后得到的量化噪声频谱,采样时钟设为

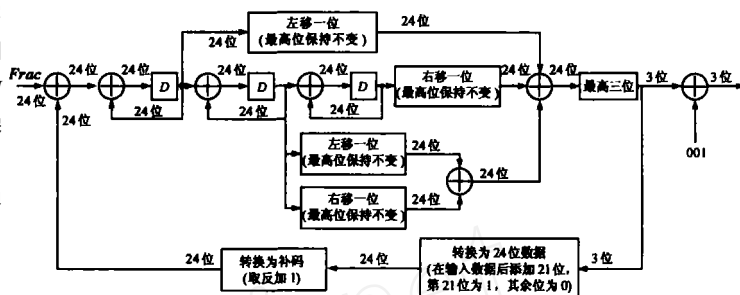


图 3 三位三阶 $\Delta\Sigma$ 调制器的实现框图

12MHz, 输入对应的位模式为 000110101010101010101 x , 其中最低位通过一个 24 位的伪随机码输入. 仿真表明, 输出序列绝大多数为三个近邻的数值: 0, 1, 2, 仅有极个别点会取到 3,

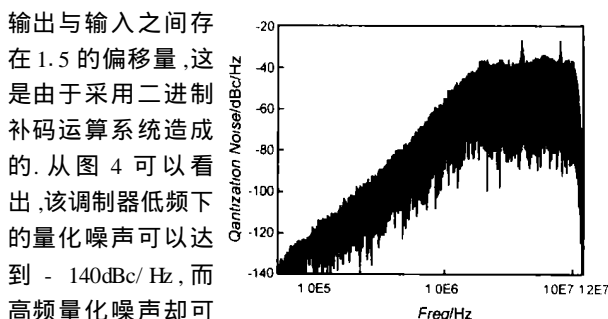


图 4 $\Delta\Sigma$ 调制器的时域仿真性能: 对调制器输出序列进行 FFT 变换后得到的量化噪声频谱

输出与输入之间存在 1.5 的偏移量,这是由于采用二进制补码运算系统造成的.从图 4 可以看出,该调制器低频下的量化噪声可以达到 -140dBc/Hz,而高频量化噪声却可以达到 -40dB,需要采用高阶环路滤波器对该量化噪声进行抑制,噪声传输函数的截止频率约为 2MHz,即采样时钟的 0.17 倍.

3.3 鉴频鉴相器和电荷泵

由于采用了高阶多位 $\Delta\Sigma$ 调制器,鉴频鉴相器和电荷泵的非线性会极大地增加频率合成器的相位噪声,并引起毛刺 (spur) 问题.鉴频鉴相器和电荷泵的非线性主要是由下列因素引起的:电荷泵的泄漏电流,电荷泵中电流源和电流沉的不匹配,电荷泵开关控制信号在时序上的不匹配,以及鉴频鉴相器的零点死区问题.

该频率合成器采用了文献[6]中的鉴频鉴相器结构,通过引入额外的延时,消除了零点死区问题.通过对鉴频鉴相器输出级的合理设计,可以使得电荷泵

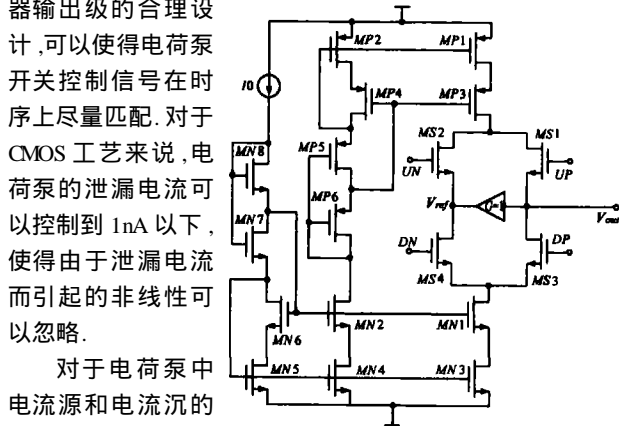


图 5 电荷泵的电路图

对于电荷泵中电流源和电流沉的不匹配,则需要对电

电荷泵进行合理的设计. 电荷泵的设计除了需要考虑不匹配程度外, 还需要保证电荷泵在足够大的输出范围内(在本设计中, 输出范围 $[0.3, 2.9]$)电流源和电流沉的输出电流都保持不变. 该频率合成器使用了具有三态输出的电荷泵结构, 图 5 给出了它的电路图. 晶体管 $MP1 \sim MP6$ 和晶体管 $MN1 \sim MN8$ 组成两组电流镜来提供高精度的电流源和电流沉, 这两组电流镜都具有很大的输出电压范围^[7]. 晶体管 $MS1 \sim MS4$ 是由鉴频鉴相器输出端控制的开关, 控制电荷泵的电流流动方向. 放大增益为 1 的放大器使得节点 REF 的电压跟踪输出节点 V_{out} 的电压变化, 使得电荷泵的电流源和电流沉保持导通状态, 避免电流源和电流沉开关所引起的额外延时以及电流不匹配问题.

为了仿真鉴频鉴相器和电荷泵的非线性, 我们

在电荷泵输出加一个 1000pf 的理想电容, 考察鉴频鉴相器两个输入时钟之间存在相位偏差时电容上收集到的电荷.

图 6 给出了用 Spectre 仿真得到的曲线. 所加时钟为

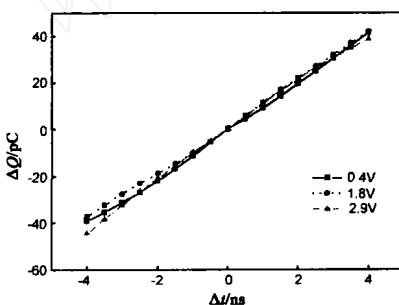


图 6 电荷泵输出电压取不同数值时的非线性曲线

图 6 电荷泵输出电压取不同数值时的非线性曲线。横轴 t 表示了输入鉴频鉴相器的两个时钟之间的相对时延(相位差)。图中的三条曲线表示电容上的初始电压值(也即电荷泵的初始输出电压)取三个不同数值时的曲线。从图中可以看出, 该频率合成器所使用的鉴频鉴相器和电荷泵具有较好的线性度, 可以满足小数频率合成器的要求。

3.4 环路滤波器

环路滤波器是频率合成器中的一个重要模块, 它决定了频率合成器的很多重要特性, 如锁定时间、环路带宽、相位噪声等. 本频率合成器采用了 3 阶滤波器结构, 它与电荷泵合在一起, 组成四阶二型锁相环结构. 其参数应该根据环路带宽、环路稳定性和相位噪声来考虑. 为了确定环路滤波器中各元件的参数值, 需要建立锁相环的线性化模型. 这方面的讨论在文献中多有提及, 本文不对此进行说明.

3.5 其他模块

在该频率合成器中, 还包含有其他的一些模块. 对压控振荡器信号进行分频的双模预分频器是另一个高频模块, 它有两种分频模式(8/9), 采用了文献[8]中提出的应用或非门触发器的动态电路技术. P 、 S 是两个可编程计数器, 分别为 5 位和 3 位可编程. 电平转换电路采用了 EEPROM 设计中常用的高——低压转换电路, 而比较器 A 、 B 采用了迟滞比较器, 以避免环路滤波器输出纹波对比较器输出的干扰. 迟滞窗口设计为 180mV, 其参考电平由电阻分压产生, 分别为 0.5V 和 2.8V.

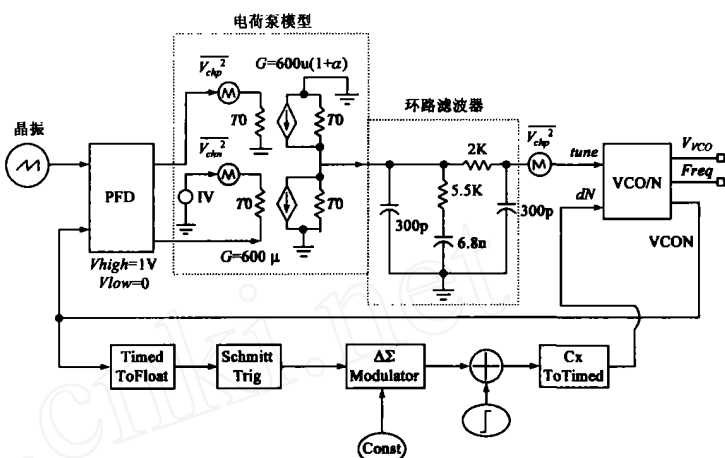


图 7 小数频率合成器的顶层行为级仿真模块图

该频率合成器所需的偏置都由一个在片恒流源提供, 采用在片恒流源, 可以避免温度和电源电压变化对各模块电路的影响. 该恒流源的输出电流大小为 600 μ A, 最小输入电压为 3.1V, 在零下 20 度~零上 80 度温度范围内变化时, 电流输出误差不超过 $\pm 3\mu$ A.

4 仿真结果

该频率合成器已经采用 0.18 μ m CMOS 工艺实现, 由于频率合成器中包含了高频模块, 也包含了低频模块和数字模块, 对整个频率合成器进行时序仿真是非常困难的, 更别提进行相位噪声仿真. 比较有效的方法是给各个模块建立行为级模型, 在行为级上对该频率合成器进行仿真. ADS 提供了简单有效的行为级仿真方法, 它可以将数值计算和时序仿真结合起来协同仿真. 图 7 给出了该频率合成器的顶层仿真模块图. 其中, 调制器采用 ADS 提供的数值计算方法来实现, 它与图 3 是一一对应的, 并且也采用二进制补码运算系统. 调制器的输出转变为时序信号, 送给振荡器模块的小数分频输入端, 控制分频数. 鉴频鉴相器采用了 ADS 提供的行为级模型, 电荷泵采用电压控制电流源来模型, 而压控振荡器和分频器则结合在一起, 利用 ADS 提供的非线性端口元件(SDD 和 FDD)来实现. 图中, V_{chp}^2 代表电荷泵的电流源产生的噪声, V_{chn}^2 代表电荷泵的电流沉产生的噪声, 它们都是通过对电荷泵的电流源和电流沉进行 Hspice 仿真得到的. V_{vco}^2 代表压控振荡器的噪声, 它是通过 SpectreRF 求出压控振荡器的相位噪声, 然后折合成到模拟压控端($tune$ 端)得到的. 而通过设定电压控制电流源的不同增益, 可以仿真电荷泵中的电流源和电流沉的不

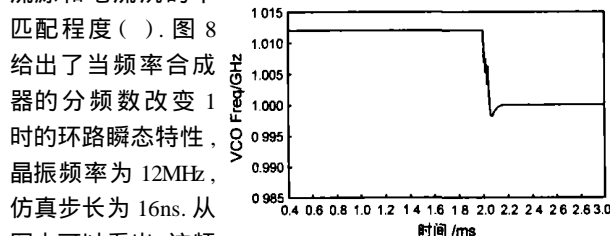


图 8 频率合成器的环路瞬态特性(分频比改变 1, 晶振频率为 12MHz)

间约为 160 μ s. 图 9 给出了当电荷泵中的电流源和电流沉的不匹配程度为 0.1% 时整个环路的相位噪声特性, 仿真时间为 10ms, 步长为 10.4ns, 频率合成器输出频率为 1GHz, 相位噪声是由对频率合成器输出取傅立叶变换 (FFT) 得到

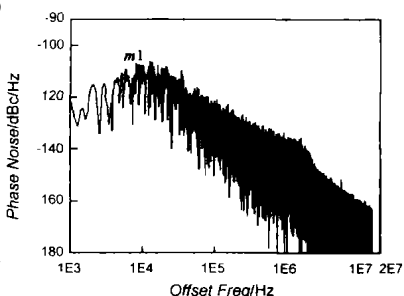


图 9 电荷泵中的电流源和电流沉的不匹配程度为 0.1% 时整个环路的相位噪声特性

的. 从图 9 中可以看出, 该频率合成器的环路带宽约为 14kHz, 最大带内相位噪声约为 -106dBc/Hz (点 m1); 在偏离载波频率 100kHz 处的相位噪声小于 -120dBc/Hz, 偏离载波频率 1MHz 处的相位噪声优于 -135dBc/Hz, 具有很高的频谱纯度.

5 结论

本文实现了一个采用三位三阶调制器的高频谱纯度集成小数 N 频率合成器. 为了保证频率合成器具有很高的频谱纯度, 系统设计和各个模块的设计都针对噪声性能进行了优化. 该频率合成器采用 0.18 μ m CMOS 工艺实现, 仿真结果表明, 该频率合成器具有很高的频谱纯度, 可以应用于对频谱纯度要求很高的无线通信系统和精密的测试设备中.

参考文献:

- [1] M H Perrott, T L Tewksbury III, C G Sodini. A 27-mW CMOS fractional-N synthesizer using digital compensation for 2.5-Mb/s GFSK modulation[J]. IEEE J. Solid-State Circuits, 1997, 32(12): 2048 - 2060.
- [2] Lehner, R Weigel, D Sewald, A Hajimiri. Design of a novel low-power 4th-order 1.7 GHz CMOS frequency synthesizer for DCS-1800[A]. IS-CAS 2000[C]. Geneva, Switzerland, 2000. V - 637 - 640.

- [3] W Rhee, B S Song, A Ali, A I. 1-GHz CMOS fractional-N frequency synthesizer with a 3-b third-order modulator[J]. IEEE J. Solid-State Circuits, 2000, 35(10): 1453 - 1460.
- [4] D B Leeson. A simple model of feedback oscillator noise spectrum[J]. Proc IEEE, 1966, 54(2): 329 - 330.
- [5] E Hegazi, H Sjöland, A A Abidi. A filtering technique to lower LC oscillator phase noise[J]. IEEE J. Solid-State Circuits, 2001, 36(12): 1921 - 1930.
- [6] J Craninckx, M Steyaert. Wireless CMOS Frequency Synthesizer Design[M]. Netherlands: Kluwer Academic Publishers, 1998.
- [7] P R Gray, P J Hurst, S H Lewis, R G Meyer. Analysis and Design of Analog Integrated Circuits[M]. Fourth Edition, John Wiley & Sons, Inc., 2001.
- [8] Baoyong Chi, Bingxue Shi. A novel CMOS dual-modulus prescaler based on new optimized structure and dynamic circuit technique[J]. 半导体学报, 2002, 23(4): 357 - 361.

作者简介:



池保勇 男, 博士, 助研, 研究方向为模拟和射频前端电路设计. E-mail: chibylx@tsinghua.edu.cn.



朱晓雷 男, 硕士, 研究方向为教模混合, 射频及神经网络电路设计.