

基于锁相环的 10.709 Gbit/s 时钟数据再生模块

王 勇,姚宏颖,王子宇

(北京大学电子学系区域光纤通信网与新型光通信系统国家重点实验室,北京 100871)

摘 要: 作者采用 D-FF 触发器、鉴相器和 VCO 构成的锁相环,研制出了码率为 10.709 Gbit/s 的时钟数据再生模块.该模块的中心工作码率可在 9.5~11 Gbit/s 之间设定,锁定带宽 f 110MHz,输入信号幅度 V_{INPP} 80~1600mV,输出信号幅度 V_{DPP} 900mV,输出信号抖动均方根值 J_{D-RMS} 1.5~1.6ps,抖动峰峰值 J_{D-PP} 7~8ps.

关键词: CDR; 时钟数据再生; 10.709 Gbit/s 光接收机; 锁相环

中图分类号: TN305 **文献标识码:** A **文章编号:** 0372-2112 (2005) 08-1509-03

10.709 Gbit/s CDR Based on Phase Locked Loop

WANG Yong, YAO Hong-ying, WANG Zi-yu

(National Lab. on Local Fiber-Optic Communication Networks & Advanced Optical Communication Systems

Department of Electronics, Peking University, Beijing 100871, China)

Abstract: Using a D-FF, phase comparator and VCO, the authors produced a 10.709 Gbit/s CDR based on PLL. The operating frequency of the CDR can be set within 9.5~11 GHz, the lock bandwidth f is about 110 MHz, the amplitude of input signal V_{INPP} is 80~1600mV, the amplitude of output data V_{DPP} is about 900mV, the jitter RMS of output data J_{D-RMS} is 1.5~1.6ps and the peak-to-peak jitter of output data J_{D-PP} is 7~8ps.

Key words: CDR; 10.709 Gbit/s optical receivers; phase locked loop

1 引言

近几十年来,商业通信流量,尤其是以 Internet 为主的数据通信业务,出现了爆炸式的增长,给传统的光纤通信系统造成了巨大压力.近 40 年来,光纤通信系统的传输速率已经从几十 Mb/s 发展到 10Gbit/s 并逼近到 43Gbit/s.目前,10Gbit/s 光纤通信系统已经在光纤通信网中得到了广泛的应用.在 10Gbit/s 光纤通信系统中,光接收机采用的时钟数据再生电路(CDR)有并行工作模式(16 × 622Mbit/s)^[1]和串行工作模式两种.近年来,由于在光纤通信测试设备和光纤通信端机中的良好应用前景,串行工作模式的 10Gbit/s CDR 电路得到了人们的广泛重视^[2~7].

在高码率光纤通信系统中,FEC 技术是提高系统性能的重要手段,因此,码率为 10.709Gbit/s 的时钟数据再生模块(CDR)将得到广泛应用.本文作者采用 D-FF 触发器、相位检测器^[8]和 VCO 构成的锁相环,研制出了中心工作码率可覆盖 9.5~11Gbit/s 的串行工作模式 CDR 模块.当该模块的中心工作码率设定为 10.709Gbit/s 时,其锁定带宽 f 110MHz,输入信号幅度 V_{INPP} 80~1600mV,输出信号幅度 V_{DPP} 900mV,抖动均方根值 J_{D-RMS} 1.5~1.6ps,抖动峰峰值 J_{D-PP} 7~8ps.

2 CDR 模块总体设计及电路结构

CDR 模块的电路原理框图如图 1 所示,其中主要包括 D-FF 触发器、相位检测器、边沿检测器、变容管压控振荡器(VCO)、RC 滤波器、90°相移微波定向耦合器以及 VCO 温度补偿电路和控制电路,等等.其中 90°相移微波定向耦合器^[9]采用微带线路实现,微波信号通道采用 0.047 英寸硬同轴线,输入、输出接口采用 SMA 接头.VCO 控制信号采用屏蔽线传输,以避免电磁干扰.

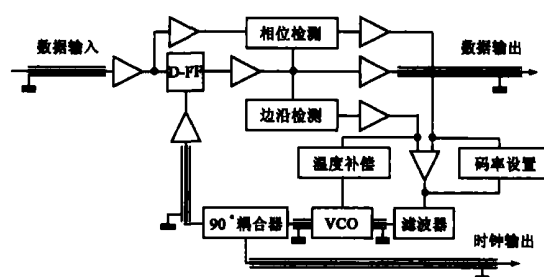


图 1 10.709 Gbit/s CDR 模块电路原理框图

D-FF 触发器的上升时间为 30ps,下降时间为 25ps,时钟频率范围为 1~11GHz. D-FF 触发器在 VCO 产生的时钟触发

收稿日期:2004-10-21;修回日期:2005-03-28

基金项目:国家 863 计划(No. 2003AA103610)

下对输入数据进行再生,再生后的数据与输入数据进行相位检测,产生的误差信号经运算放大器放大后用于锁定 VCO 的频率和相位。由于输入信号是 $2^{31}-1$ 的伪随机码,存在长连“1”或连“0”的情况。当输入数据的连“1”或连“0”码个数增加时,相位检测单元输出信号的直流分量将发生漂移,从而会使 VCO 的工作频率偏离设定点。因此,电路中增加了边沿检测单元^[8],当数据为长连“1”或连“0”时,边沿检测器的输出也将发生变化,将此信号输入运算放大器,从而可使相位检测输出信号的直流漂移得到补偿。由于 VCO 的工作频率与其环境温度有关,电路中还安排了温度检测和相应的补偿电路。RC 滤波器用于滤除 VCO 频率控制信号中的噪声和低频分量。

3 CDR 模块测试实验结果

CDR 模块性能测试的系统框图如图 2 所示,其中包括码型发生器(ADVANTEST D3186)、光发射机、可调光衰减器、光接收机、误码检测仪(ADVANTEST D3286)以及通信信号分析仪(AGILENT 86100A)。光接收机的输入光功率约为 -22dBm,微波衰减器的功率衰减量为 20dB。

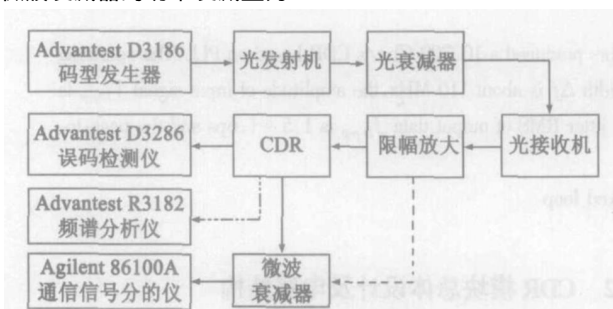


图 2 10.709 Gbit/s CDR 模块电路测试系统框图 (码型为 NRZ $2^{31}-1$)

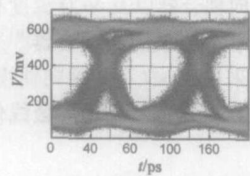


图 3 光接收机输出电信号眼图 (NRZ $2^{31}-1$, $J_{pp} \approx 27 \sim 36$ ps, $J_{RMS} \approx 5.5 \sim 6.2$ ps)

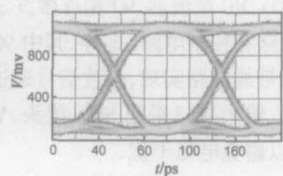


图 4 CDR 模块输出电信号眼图 (NRZ $2^{31}-1$, $J_{pp} \approx 7 \sim 8$ ps, $J_{RMS} \approx 1.4 \sim 1.6$ ps)

图 3 是限幅放大器输出的电信号眼图,码型为 NRZ $^{31}-1$,信号幅度为 450mV_{pp} ,抖动峰峰值 $J_{pp} \approx 27 \sim 36\text{ps}$,抖动均方根值 $J_{RMS} \approx 5.5 \sim 6.2\text{ps}$ 。图 4 是限幅放大器的输出电信号经过 CDR 模块整形后的电信号眼图,码型为 NRZ $^{31}-1$,信号幅度为 900mV_{pp} ,抖动峰峰值 $J_{D-pp} \approx 7 \sim 8\text{ps}$,抖动均方根值 $J_{D-RMS} \approx 1.4 \sim 1.6\text{ps}$ 。比较图 3、4 可见,信号质量得到了明显改善。其

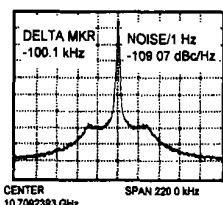


图 5 10.709 Gbit/s CDR 模块输出时钟信号 100kHz 频偏相位噪声为 -109.1 dBc/Hz, 抖动峰峰值 $J_{C-pp} \approx 3 \sim 7\text{ps}$, 抖动均方根值 $J_{C-RMS} \approx 1\text{ps}$

中抖动指标略优于码型发生器的指标 (ADVANTEST D3186, 数据抖动峰峰值 $J_{D-pp} \approx 9 \sim 10.2\text{ps}$, 抖动均方根值 $J_{D-RMS} \approx 1.4 \sim 1.6\text{ps}$)。图 5 是 CDR 模块输入信号码型为 NRZ $2^{31}-1$ 时,模块输出的时钟信号的频谱和相位噪声。CDR 模块输出的时钟幅度为 1400mV_{pp} ,抖动峰峰值 $J_{C-pp} \approx 3 \sim 7\text{ps}$,抖动均方根值 $J_{C-RMS} \approx 1\text{ps}$;10kHz 频偏相位噪声为 -87.5 dBc/Hz,100kHz 频偏相位噪声为 -109.1 dBc/Hz。表 1 列了 CDR 模块、以及 Anritsu MG3690A、Agilent 83600 系列频率综合器输出时钟信号的相位噪声。

表 1 CDR 模块、Anritsu MG3690A、Agilent 83600 的单边带相位噪声

厂家、型号	频率范围 (GHz)	频偏 (kHz)	
		10	100
Anritsu MG3690A	6 ~ 10	- 83 dBc/Hz	- 102 dBc/Hz
(标准型)	10 ~ 20	- 77 dBc/Hz	- 100 dBc/Hz
Agilent 83600 系列	7 ~ 13.5	- 80 dBc/Hz	- 101 dBc/Hz
CDR 模块	9.5 ~ 11	- 87.5 Bc/Hz	- 109.1 dBc/Hz

4 结论

作者采用 D-FF 触发器、鉴相器和 VCO 构成的锁相环,研制出了码率为 10.709 Gbit/s 的时钟数据再生模块。该模块的中心工作码率可在 9.5 ~ 11 Gbit/s 之间设定,锁定带宽 f 110MHz,输入信号幅度 $V_{IN-pp} \approx 80 \sim 1600\text{mV}$,输出信号幅度 $V_{D-pp} \approx 900\text{mV}$,抖动均方根值 $J_{D-RMS} \approx 1.5 \sim 1.6\text{ps}$,抖动峰峰值 $J_{D-pp} \approx 7 \sim 8\text{ps}$,输出时钟幅度 $V_{C-pp} \approx 1200\text{mV}$,抖动均方根值 $J_{C-RMS} \approx 1\text{ps}$,抖动峰峰值 $J_{C-pp} \approx 3 \sim 7\text{ps}$ 。该 CDR 模块可以用于 10.709 Gbit/s 光纤通信接收机中的时钟、数据再生。

参考文献:

- [1] J E Rogers, J R Long. A 10Gb/s CDR/DEMUX with LC delay line VCO in 0.18μm CMOS [J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1781 - 1789.
- [2] J Savoj, B Razavi. A 10Gb/s CMOS clock and data recovery circuit with a half-rate binary phase/frequency detector [J]. IEEE Journal of Solid-State Circuits, 2003, 38(1): 13 - 21.
- [3] A Rezayee, Ken Martin. A 10Gb/s clock recovery circuit with linear phase detector and coupled two-stage ring oscillator [A]. European Solid-State Circuits Conference [C]. Florence, Italy, 2002. 419 - 422.
- [4] Marcel Kossel, Thomas Mott, Werner Baumberger, Alice Biber, Christian Menolfi, Thomas Topfl, Martin Schmatz. A multiphase PLL for 10 Gb/s links in SOI CMOS technology [A]. Digest of Papers-2002 IEEE Radio Frequency Integrated Circuits Symposium [C]. TX, USA, 2004. 207 - 210.
- [5] X Gao, M Koechin, C Lyons, J Chiesa, G Guven, P Katzin. A low noise 9.95/10.66 GHz HLO for optical applications [A]. IEEE MTT-S International Microwave Symposium Digest [C]. Philadelphia, USA, 2003. 729 - 732.
- [6] Bong-Joon Lee, Moon-Sang Hwang, Sang-Hyun Lee, Deog-Kyoon Jeong. A 2.5 - 10Gb/s CMOS transceiver with alternating edge sampling phase detection for loop characteristic stabilization [A]. Digest of Technical Papers-IEEE International Solid-State Circuits Conference [C]. San Francisco, USA, 2003. 69 - 77.

- [7] M Meghelli , B Parker , H Ainspan , M Soyuer. SiGe BICMOS 3.3V clock and data recovery circuits for 10Gb/s serial transmission systems [A]. Digest of Technical Papers. IEEE International Solid-State Circuits Conference[C]. San Francisco ,USA ,2000. 56 - 57.
- [8] NHL Electronics Corp ,NLG4135 Application Notes[Z]. 2000.
- [9] Reinhold Ludwig ,Pavel Bretchko. RFCircuit Design Theory and Applications[M]. Upper Saddle River ,New Jersey ,USA ,Prentice Hall Inc , Pearson Education ,Inc. 2000. 616 - 629.



姚宏颖 女,1979 年 9 月出生于天津,2002 年毕业于北京大学无线电电子学系,现为北京大学信息科学技术学院硕士研究生,研究方向是光通信系统与网络。

作者简介:



王 勇 男,1975 年 1 月出生于江苏,1997 年毕业于北京大学无线电电子学系,现为北京大学信息科学技术学院硕士研究生,研究方向是光通信系统与网络。



王子宇 男,1954 年 12 月出生于北京,1982 年 1 月获成都电讯工程学院工学学士学位,1985 年 2 月获电子科技大学工学硕士学位,现为北京大学电子学系教授,博士生导师,主要研究领域为高速及 WDM 光纤传输系统,毫米波技术等。
Email:wangziyu@pku.edu.cn.