

一种 FPGA 抗辐射工艺映射方法研究

陈志辉, 章 淳, 王 颖, 王伶俐

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘 要: 提出一种基于部分 TMR 和逻辑门掩盖的 FPGA 抗辐射工艺映射算法 FDRMap, 以及一个基于蒙特卡洛仿真的并行错误注入和仿真平台. 该平台和算法已经应用到复旦大学自主研发的 FPGA 芯片 FDP4 软件流程的工艺映射模块. 实验结果表明, FDRMap 能够在增加 14.06% LUT 数目的前提下, 降低电路的抗辐射关键度 32.62%; 与单纯采用部分 TMR 的方法相比, 在节省 12.23% 的 LUT 数目同时, 还能额外降低电路关键度 12.44%.

关键词: 现场可编程门阵列; 工艺映射; 抗辐射; 错误仿真; 单粒子翻转

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112 (2011) 11-2507-06

An FPGA Robust Technology Mapping Method

CHEN Zhi-hui, ZHANG Chun, WANG Ying, WANG Ling-li

(State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

Abstract: A novel radiation-hard FPGA technology mapping method based on partial TMR and logic gate masking and a fast parallel fault injection and Monte Carlo simulation platform are presented. This platform and method have been used in the mapping module which is part of the CAD flow for self-developed FPGA by Fudan University named FDP4. The experimental results show that FDRMap can decrease the circuit fault criticality by 32.62% with the 14.06% area penalty. Comparing to the partial TMR, it decreases the criticality by 12.44% along with reducing the resources by 12.23%.

Key words: field programmable gate array (FPGA); technology mapping; radiation-hard; fault simulation; single event upset (SEU)

1 引言

现场可编程门阵列(Field Programmable Gate Array, FPGA)由于其电路功能可重配置、开发周期短、设计成本低等优点,被广泛应用到国防武器装备、民用通信、航空航天等领域.但随着集成电路工艺技术的提高,器件特征尺寸不断减小,芯片更易受到辐射导致的单粒子翻转(Single Event Upset, SEU)^[1]的影响,使电路功能发生错误.与专用集成电路相比,由于采用大量 SRAM 可编程点来实现逻辑功能, FPGA 受到 SEU 的影响更加严重.如何提高 FPGA 应用的鲁棒性,提高电路的平均失效时间,已成为目前 FPGA 研究的一个热点方向^[2,3].

Xilinx, Altera, Actel 公司分别在硬件层面上提出了抗辐射的 FPGA 架构^[3~5],学术界也已经针对 FPGA 的抗 SEU 性能做了广泛的研究^[6].利用电路结构冗余性改进抗辐射性能的方法很早就被提出来,如最常见的三模冗余方法^[7],但是这种方法在电路的面积功耗性能上产生了很大开销.利用电路逻辑冗余性可以在不增加可

编程逻辑单元的前提下提高抗辐射性能,比如通过匹配增加等价电路的再汇聚路径,增加冗余可编程点来提高电路的错误屏蔽功能^[8],或者利用查询表(Look-Up Table, LUT)可编程点冗余信息的方法^[9]来掩盖错误.

本文提出了一个基于蒙特卡洛并行仿真的快速错误注入和仿真平台,还提出一种新型抗辐射工艺映射算法 FDRMap,并且将平台和算法实际应用到复旦大学自主研发的 FPGA 芯片 FDP4 软件流程中.

2 错误仿真平台

2.1 错误建模

由于在辐射环境下同时多个 SRAM 发生翻转的概率极低^[1],本文采用基于 LUT 可编程点的单粒子错误概率模型^[9,10].为了量化每一个 SRAM 可编程点对于 SEU 的关键程度,定义 LUT 每一个的 SRAM 可编程点 b 的关键度为:

$$c_b = \frac{1}{2^n} \left| \{x \mid C(x) \neq C_b(x)\} \right| \quad (1)$$

其中 n 为电路 C 的输入数目, x 是输入向量, $x \in \{0, 1\}^n$, $C(x)$ 是当 x 为输入向量时电路的输出值. $C_b(x)$ 表示当可编程点 b 发生翻转的时候电路的输出值. 即一个可编程点的关键度就是其发生翻转的时候, 在电路的输出能够观察到错误的概率值. 由于不是每个翻转引起的错误都会传播到输出, 有一些错误在电路中就会被掩盖^[11], 这里只关心能够传播到输出的错误. 同理, 对于单个 LUT 的关键度定义为:

$$c_L = \frac{1}{2^K} \sum_i c_{L_i} \quad (2)$$

其中 L_i 是对于 LUT L 中第 i 个 SRAM 可编程点的关键度, K 指 FPGA 硬件中 LUT 的输入数目, 这是因为 SEU 是针对芯片硬件而言, LUT 任何可编程点都有可能发生翻转. 假设硬件实现上是 4 输入 LUT, 而在具体电路中只用来实现 2 输入 LUT 的功能, 则只有 4 个 SRAM 可编程点是有效的. 由于冗余可编程点的存在, LUT2 的关键度比 LUT4 更低. 整个电路 C 的关键度如式(3)所示, 其中 $Luts(C)$ 是电路 C 中所有 LUT 的集合, P_F 是单个可编程点发生 SEU 的概率.

$$c_{cir} = \frac{\sum_{L \in Luts(C)} c_L}{|Luts(C)|} \cdot P_F \quad (3)$$

2.2 错误仿真

在建立了整个电路层次的 SEU 错误模型之后, 需要计算电路的关键度. 如果遍历电路所有的输入组合, 需要仿真 2^n 次, 其中 n 为电路的输入数目. 通常一个实际电路的输入数会超过 20, 这种情况下遍历所有输

入组合进行仿真就不可行. 可以采用蒙特卡洛的仿真方法多次随机输入模拟, 计算出电路的概率关键度.

由于电路网表具有层次化关系, 在仿真一个 LUT 的时候必须保证其输入值已经更新, 因此要先对电路进行深度优先 (Depth First Search, DFS) 遍历, 按照电路网表的拓扑顺序储存所有 LUT 和其真值表, 接着再分别进行正确情况和模拟错误情况的仿真. 在错误仿真的时候, 首先进行 SEU 错误注入, 即依次翻转电路中每个 LUT 的每一个 SRAM 可编程点, 然后根据式(3)计算出整个电路单次仿真得出的关键度. 最后计算多次仿真结果的算术平均值作为这个电路的关键度. 进行一次电路的蒙特卡洛仿真需要耗时:

$$t_{MC} = sim \sum_{L \in Luts(C)} 2^{k'} \cdot t_b \quad (4)$$

其中 t_b 为仿真每一个可编程点的 SEU 错误需要的时间, k' 为 LUT 用到的输入数目, sim 为蒙特卡洛方法的仿真次数. 由式(4)可以看出, 仿真时间与仿真次数和电路规模成正比, 因此蒙特卡洛的仿真方法非常耗时. 本文提出利用多线程并行来改进时间复杂度. 具体的算法流程如图 1 所示.

首先进行电路网表的数据保护, 设置整个电路网表为只读, 整个程序只需要维护一份电路网表. 然后将蒙特卡洛仿真中用到的多次随机输入进行分组, 启动多个线程, 每个线程负责仿真多组相互无关的随机输入. 为了减少数据间的相互依赖性, 提高程序的并行度, 选择将所有仿真的中间数据复制多份, 每个线程只

负责运算和维护自己的数据, 而无需额外的线程间通信开销, 因而每个线程完成独立的蒙特卡洛仿真过程. 最后将每个线程的结果合并, 再除以相应的线程数来得到整个电路的关键度. 假设开启 N 个线程进行并行仿真, 这时的时间复杂度为公式 5, 其中 T_{split} 和 T_{comb} 分别为输入划分和结果合并的时间.

$$t_{MC} = \frac{1}{N} \cdot sim \sum_{L \in Luts(C)} 2^{k'} \cdot t_b + T_{split} + T_{comb} \quad (5)$$

3 抗辐射工艺映射算法

3.1 部分三模冗余

为了减少 SEU 对电路的影响, 最常用的纠错技术是三模冗余 (Triple Modular Redundancy, TMR)^[7,12]. 这种技术是通过复制三份当前 LUT, 然后添加一个表决器进行错误纠正, 表决

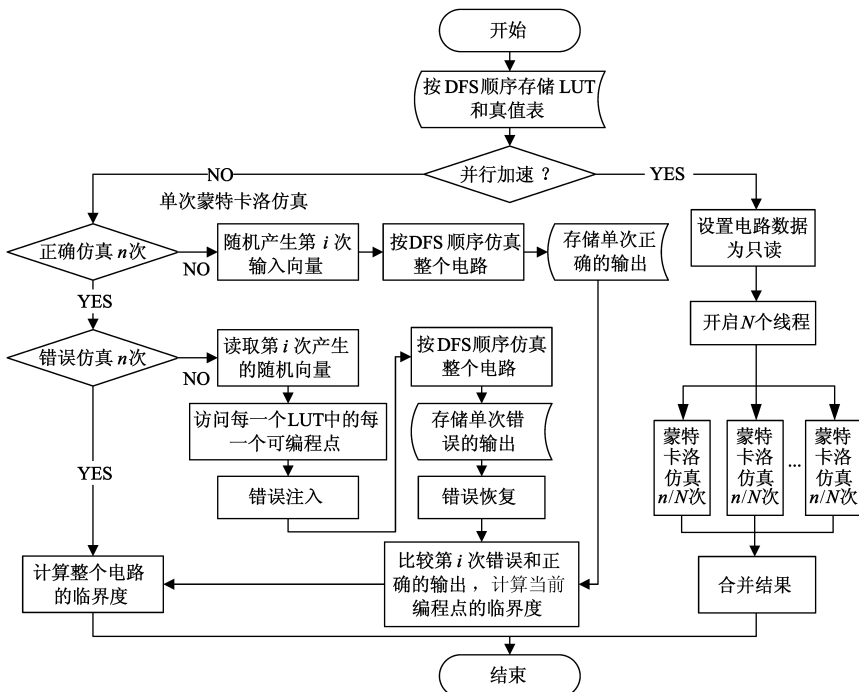


图1 错误平台的蒙特卡洛仿真

器其实也是一个 LUT. 如果其中一个 LUT 出现 SEU 错误,但是另外两个 LUT 的副本结果正确的话,表决器执行少数服从多数的选通原则,就能输出多数的正确结果.目前 TMR 方法的主要问题就是非常消耗 FPGA 的逻辑资源,而且会降低 FPGA 的时序和功耗性能.

文献[13]提出使用部分 TMR 的方法来达到资源利用率和抗辐射效果的折中.通过式(2),可以计算出每个 LUT 的关键度.然后将这些 LUT 的关键度进行降序排序,就可以选择出关键度最大的部分 LUT,只需将这些 LUT 进行 TMR 就可以取得较好的效果.理论上,越靠

近输出的 LUT 关键度越大.

3.2 FDRMap

目前商用 FPGA 芯片如 Xilinx Virtex-5 和 Altera Stratix-IV^[14,15]都采用了可分解的 LUT,即能够将一个多输入的 LUT 分解成两个甚至更多输入数目较少的 LUT,同时引出额外的输出端口,如图 2 所示.除此之外,CLB 内部还含有进位链,多路选择器(MUX)等其他辅助器件来提升逻辑资源利用率.文献[10]提出一种利用可分解 LUT 和进位逻辑来增强电路的抗辐射性能,同时不消耗额外的逻辑资源的方法.

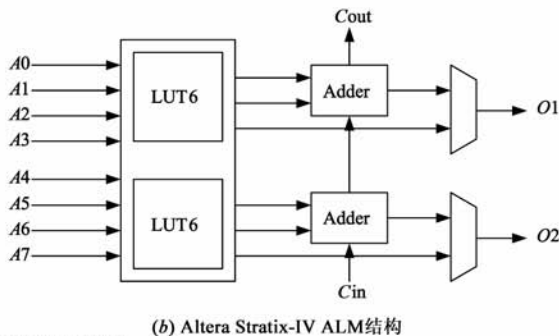
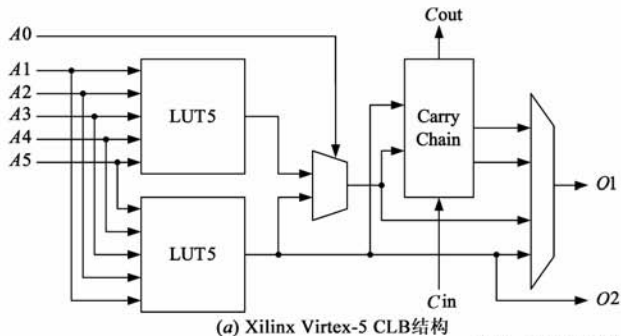


图2 含有可分解LUT的CLB结构

为了利用逻辑掩盖提高电路的抗辐射性能,首先将可分解 LUT 分解成输入相连的两个 LUT,当它们的可编程点配置相同时,通过后一级添加不同的逻辑门可以掩盖不同的翻转错误.这样可以使 LUT 的复制发生在同一个 CLB 内部,将 CLB 间的互连转移到 CLB 内部,可以在不增加 CLB 数目的同时提高布线的布通率和时序性能.如图 3 所示,如果逻辑门为与门时,当其中一个 LUT 的编程点出现由 0 到 1 的翻转时,另一个 LUT 的输出还是正确的 0,这与与门就能实现由 0 到 1 的错误掩盖而得到正确结果.同理,如果逻辑门为或门,就可以掩盖由 1 到 0 的翻转错误.

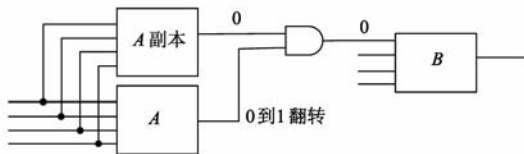


图3 逻辑门掩盖

但是对于大多数 FPGA 芯片,文献[10]中的方法存在以下两个问题:

(1)进位链的输出 Cout 通常不与正常的布线通道连接,如果利用进位逻辑进行错误掩盖,则输出信号只能在进位链专用的布线上传播,而无法连接到正常 CLB 的输入端.

(2)在一个 CLB 内部进位信号通常是自底向上传播,利用进位逻辑进行掩盖的时候,必须根据所需的掩盖类型设置 Cin 值为 0 或者 1,这样整条进位链就只能实现一种错误类型掩盖;而且每个 CLB 只有一个 Cout

端口输出到外部,因此如果 CLB 中拥有 2 个以上进位逻辑的话,如图 2(b)所示,最多只能使用一个来实现逻辑掩盖.

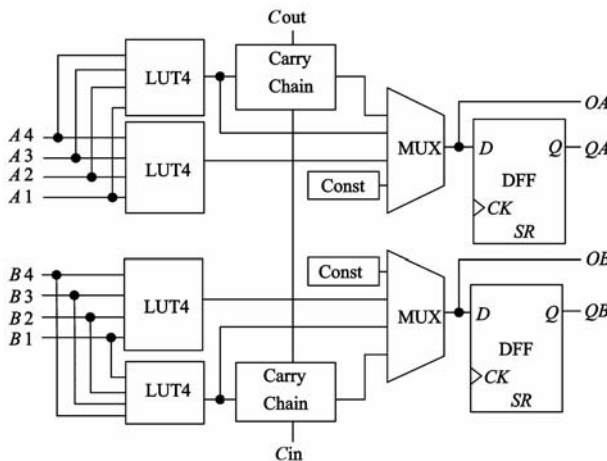


图4 FDP4的CLB结构框图

图 4 为复旦大学专用集成电路与系统国家重点实验室自主研究的抗辐射 FPGA 芯片 FDP4 可编程逻辑块结构框图.在 FDP4 芯片中,两个共享输入 LUT 的输出连接到内部 MUX 上,同时连到 MUX 中的还有 CLB 内部的常数发生器.由于 MUX 通过配置也可以实现不同的逻辑功能,以 2 选 1 的 MUX 为例:

$$f_{MUX2} = S \cdot A + \bar{S} \cdot B \quad (6)$$

其中 S 为 MUX 的选择端, A 和 B 为信号输入端.通过配置 MUX 可编程点,可以使两个 LUT 的输出与 MUX 的 S 端和 A 端相连,常数发生器与 B 端相连.只需将常数发

生器的值设置为 0, $f_{MUX2} = S \cdot A$, 就能得到逻辑与的功能, 而无需额外的逻辑资源来实现. 同理, 如果将 LUT 的输出分别与 MUX 的 S 端和 B 端相连, 常数发生器与 A 端相连, 设置常数值为 1, $f_{MUX2} = S + B$, 就能实现逻辑或的功能.

本文提出的利用 FDP4 芯片结构特征来实现抗辐射电路的方法, 比文献[10]中提到的利用进位链的方法更具有实用性:

(1) 对于目前主流的 FPGA 芯片, 通常 LUT 的输出都是通过 MUX 连接到 CLB 的输出端, 可以和正常的布线通道相连, 避免了只能使用专用布线的限制, 具有普遍适用性.

(2) 通常一个 LUT 组合逻辑都对应一个输出 MUX, 如图 2(b) 和图 4 所示, 这样可以根据不同的错误类型设置不同的掩盖逻辑, 能够充分利用 CLB 内部所有资源.

利用这种方法进行错误纠正, 在不增加额外资源开销的同时, 由于逻辑门不含可编程点, 因此不会引入新的 SEU 错误. 但这种方法的缺点是掩盖的效果具有单一性, 需要根据不同类型的错误选择不同的逻辑门来掩盖. 在此基础上, 本文进一步提出一种结合部分 TMR 和逻辑门掩盖的新型抗辐射工艺映射算法 FDRMap, 适用于具有复杂 CLB 结构的 FPGA 芯片. 定义 LUT 的 SEU 类型:

$$T_L = \begin{cases} T_{0 \rightarrow 1}, & \text{if } \frac{c_{0 \rightarrow 1}}{c_L} > threshold \\ T_{1 \rightarrow 0}, & \text{if } \frac{c_{1 \rightarrow 0}}{c_L} > threshold \end{cases} \quad (7)$$

其中 $threshold$ 表示 LUT 的类型阈值. 首先通过式(2)选出关键度最大的一部分 LUT, 接着通过式(7)判断 LUT 的 SEU 类型. 如果当前 LUT 属于 $T_{0 \rightarrow 1}$ 类型, 就采用与门的掩盖方法; 如果属于 $T_{1 \rightarrow 0}$ 类型, 就采用或门的掩盖方法; 如果当前 LUT 的关键度没有超过阈值, 采用 TMR 技术. 具体的算法流程如图 5 所示.

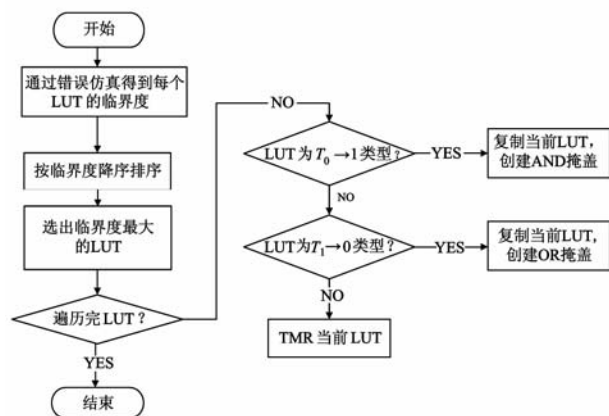


图5 FDRMap算法流程图

4 实验结果

错误仿真平台和抗辐射工艺映射算法均在 Windows 平台下用 C++ 语言实现, 同时嵌入到由实验室开发的 FPGA 设计软件 FDE2010 中. 测试例子采用最大的 20 个 MCNC 电路^[16], 测试环境为 Q8400 4 × 2.66GHz CPU 和 4GB 内存. 假设错误类型只有一个单粒子翻转, 式(3)中的 $P_F = 100\%$. 整个电路的关键度是通过 1024 次蒙特卡洛仿真取平均值而得.

4.1 并行仿真加速

多线程仿真代码是用 C++ Boost 标准库中的 Thread 类来实现. 在进行多线程仿真的时候启动 4 个线程进行同时仿真. 在内存开销方面, 平均每个程序占用内存 20MB 左右. 实验结果如图 6 所示, 与串行仿真相比, 20 个 MCNC 例子的多线程并行仿真速度平均提高了 3.62 倍.

4.2 FDRMap 算法效果

定义单位数目 LUT 进行 TMR 后得到的电路关键度减少为 LUT 效用 Eff , 可以用式(8)表示. 其中 Δc_{cir} 表示电路关键度的减少数量, ΔLUT 表示通过部分 TMR 增加的 LUT 数量.

$$Eff = \Delta c_{cir} / \Delta LUT \quad (8)$$

图 7 中横坐标为部分 TMR 的比例, 纵坐标为 LUT 的效用值. 采用部分 TMR 方法是选择关键度最大的 LUT 优先进行 TMR, 由图 7 可以看出, 在 TMR 比例越小的区间内, LUT 的效用值越高, 随着 TMR 比例的扩大, 整条曲线的斜率不断减小, 说明随后的 LUT 效用值逐步降低.

由于 LUT 数目和关键度基本上呈现反比例关系, 如果希望电路拥有更低的关键度, 则需要额外增加更多的 LUT 来实现错误掩盖. 为了得到面积和抗辐射性能的折中, 定义关键度和 LUT 数目的乘积 $c_{cir} * |LUT|$ 作为综合衡量的电路性能的标准, 因此乘积越小, 代表抗辐射算法的综合性能就越好. 图 8 展示了分别采用部分 TMR, 逻辑门掩盖和 FDRMap 三种方法在 MCNC 例子 des 上的实验结果. 选取关键度最大的前 10% LUT, 横坐标是 LUT 的 SEU 类型阈值, 纵坐标为 $c_{cir} * |LUT|$. 从图 8 中可以看出, FDRMap 算法的综合性能明显好于单独采用部分 TMR 或逻辑门掩盖的方法.

表 1 为采用 FDRMap 算法对 20 个 MCNC 例子的实验结果, 实验中选取关键度最大前 10% 的 LUT, 设置 LUT 的 SEU 类型阈值为 0.8. 与原始数据相比, LUT 数目平均增加 14.06%, 关键度平均减少 32.62%; 与采用部分 TMR 的方法相比, 平均减少 LUT 数目 12.23%, 同时还能够改进关键度 12.44%. 这是由于采用逻辑门的掩盖方法, 避免了 TMR 中表决器出错的风险.

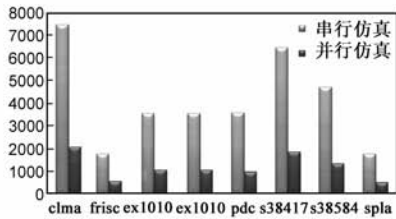


图6 仿真时间对比

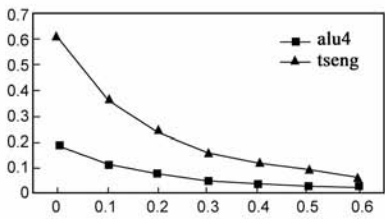


图7 LUT效用趋势

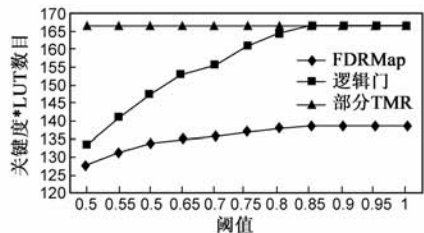


图8 三种纠错方法效果对比

表 1 FDRMap 实验结果

网表	原始数据		部分 TMR		FDRMap		与原始数据比较		与部分 TMR 比较	
	LUT	关键度	LUT	关键度	LUT	关键度	LUT 增加	关键度减少	LUT 减少	关键度减少
alu4	1653	0.0324	2148	0.0249	1710	0.0222	-3.45%	31.38%	20.39%	10.83%
apex2	2200	0.0385	2860	0.0296	2212	0.0285	-0.55%	25.87%	22.66%	3.61%
apex4	1496	0.0789	1943	0.0608	1598	0.0587	-6.82%	25.65%	17.76%	3.44%
bigkey	1927	0.0820	2503	0.0631	2500	0.0536	-29.74%	34.63%	0.12%	15.09%
clma	7892	0.0038	10259	0.0029	8414	0.0012	-6.61%	67.23%	17.98%	57.41%
des	2234	0.0745	2903	0.0573	2873	0.0479	-28.60%	35.71%	1.03%	16.45%
diffeq	1964	0.0825	2552	0.0635	2483	0.0546	-26.43%	33.85%	2.70%	14.05%
dsip	1813	0.0819	2356	0.0631	2353	0.0535	-29.78%	34.74%	0.13%	15.19%
elliptic	5199	0.0854	6756	0.0657	6555	0.0569	-26.08%	33.33%	2.98%	13.36%
ex1010	5870	0.0225	7631	0.0173	5957	0.0170	-1.48%	24.49%	21.94%	1.85%
ex5p	1387	0.0437	1801	0.0336	1411	0.0316	-1.73%	27.73%	21.65%	6.16%
frisc	4877	0.0911	6338	0.0701	5615	0.0629	-15.13%	30.91%	11.41%	10.22%
misex3	1600	0.0515	2080	0.0396	1606	0.0377	-0.38%	26.71%	22.79%	4.72%
pdc	5632	0.0283	7321	0.0218	5914	0.0201	-5.01%	29.03%	19.22%	7.72%
s298	2018	0.0379	2621	0.0292	2108	0.0272	-4.46%	28.20%	19.57%	6.75%
38417	8224	0.0558	10690	0.0429	10666	0.0333	-29.69%	40.22%	0.22%	22.29%
s38584	7601	0.0709	9881	0.0545	9704	0.0454	-27.67%	35.97%	1.79%	16.77%
seq	2043	0.0498	2655	0.0383	2049	0.0367	-0.29%	26.34%	22.82%	4.28%
spla	4270	0.0563	5551	0.0433	4771	0.0397	-11.73%	29.46%	14.05%	8.31%
tseng	1535	0.0996	1994	0.0766	1928	0.0688	-25.60%	30.95%	3.31%	10.29%
平均							-14.06%	32.62%	12.23%	12.44%

5 结论

本文提出一种新型工艺映射算法 FDRMap,能够利用现代 FPGA 可编程逻辑块中的辅助逻辑资源,有效提高 FPGA 的抗辐射性能.同时提出一种针对单粒子翻转的快速错误仿真平台,利用多线程进行蒙特卡洛并行仿真,能够比串行仿真提速 3.62 倍.FDRMap 算法和错误仿真平台已经应用于 FDP4 芯片软件设计流程的工艺映射模块中,通过对 MCNC 例子的测试表明,该算法能够在增加 14.06% 面积的前提下,降低电路的 SEU 关键度 32.62%.与单纯采用部分 TMR 的方法相比,在面积上优化 12.23% 的同时,还能额外降低电路出错率 12.44%.随着工艺尺寸延伸到纳米级别,抗辐射特性在集成电路设计中越来越重要,对 FPGA 的软件算法进行抗辐射性能的研究也就显得十分关键.

参考文献

[1] K Chapman, L Jones. SEU Strategies for Virtex-5 Devices[R]. San Jose: Xilinx Corporation, 2009, XAPP864.

[2] 张惠国,等.一种用于 FPGA 配置的抗干扰维持电路[J].电子学报,2011,39(5):1169-1173.
Zhang Hui-guo, et al. Antijamming holding circuit for FPGA configuration cell[J]. Acta Electronica Sinica, 2011, 39(5): 1169-1173. (in Chinese)

[3] Xilinx. QPRO XQR4000XL Radiation Hardened FPGAs Datasheet [EB/OL]. [http: www. datasheetcatalog. org/ datasheet/ Xilinx/ mXrvwry. pdf](http://www.datasheetcatalog.org/datasheet/Xilinx/mXrvwry.pdf), 2000-06-25.

[4] Altera. Robust SEU Mitigation With Stratix III FPGAs[EB/OL]. [http: www. altera. com/ literature/ wp/ wp-01012. pdf](http://www.altera.com/literature/wp/wp-01012.pdf), 2007-01-05.

[5] Actel. Radiation Hardened FPGAs Datasheet[EB/OL]. [http: www. actel. com/ documents/ RadHard_ DS. pdf](http://www.actel.com/documents/RadHard_DS.pdf), 2005-04-02.

[6] A Djupdel, P C Haddow. Yield enhancing defect tolerance techniques for FPGAs[A]. Military and Aerospace PLD International Conference[C]. Washington D. C, 2006. 203-213.

[7] C Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs[R]. San Jose: Xilinx Corporation, November 1, 2001, XAPP197(v1.0).

- [8] Y Hu, Z Feng, L He, R Majumdar. Robust FPGA resynthesis based on fault-tolerant boolean matching[A]. IEEE/ACM International Conference on Computer-Aided Design [C]. San Jose, 2008. 706 – 713.
- [9] Z Feng, Y Hu, L He, R Majumdar. IPR: in place reconfiguration for FPGA fault tolerance [A]. IEEE/ACM International Conference on Computer-Aided Design [C]. San Jose, 2009. 105 – 108.
- [10] J Y Lee, Z Feng, L He. In-place decomposition for robustness in FPGA [A]. IEEE/ACM International Conference on Computer-Aided Design [C]. San Jose, 2010. 143 – 148.
- [11] G Asadi, M B Tahoori. Soft error rate estimation and mitigation for SRAM-based FPGAs [A]. ACM/SIGDA 13th International Symposium on Field-Programmable Gate Arrays [C]. Monterey, , 2005-2; 149 – 160.
- [12] 姚睿, 等. 具有在线修复能力的强容错三模冗余系统设计及实验研究[J]. 电子学报, 2010, 38(1): 177 – 183.
Yao Rui, et al. Design and experiments of enhanced fault-tolerant triple-module redundancy systems capable of online self-repairing [J]. Acta Electronica Sinica, 2010, 38 (1): 177 – 183. (in Chinese)
- [13] B Pratt, M Caffrey, P Graham, E Johnson, K Morgan, M Wirthlin. Improving FPGA design robustness with partial TMR [A]. International Reliability Physics Symposium [C]. San Jose, 2006; 226 – 232.
- [14] A Cosoroaba, F Rivoallon. Achieving Higher System Performance with the Virtex-5 Family of FPGAs [EB/OL]. [http: www. xilinx. com/support/documentation/white_ papers/ wp245. pdf](http://www.xilinx.com/support/documentation/white_papers/wp245.pdf), 2006-07-07.
- [15] Altera. Upcoming Stratix IV Device Features [EB/OL]. [http: www. altera. com/literature/hb/stratix-iv/uf01001. pdf](http://www.altera.com/literature/hb/stratix-iv/uf01001.pdf), 2009-09-01.
- [16] S Yang. Logic Synthesis and Optimization Benchmarks User Guide, Version 3.0 [R]. North Carolina: Microelectronics Center of North Carolina, 1991-01-15.

作者简介



陈志辉 男, 硕士研究生, 主要研究方向为 FPGA 工艺映射算法设计.
E-mail: 082052009@fudan.edu.cn



章 淳 男, 博士研究生, 主要研究方向为 PGA 软件设计, 错误建模和抗辐射算法设计.



王 颖 女, 博士后, 主要研究方向为可重构计算、基于 FPGA 的容错系统设计.
E-mail: ying_w@fudan.edu.cn



王伶俐(通信作者) 男, 教授, 主要研究方向为集成电路与 EDA 算法设计、可重构计算与量子计算.
E-mail: llwang@fudan.edu.cn