

一种基于 BFT 型拓扑结构片上网络低费用测试方法

尤志强, 彭福慧, 邝继顺, 张大方

(湖南大学信息科学与工程学院, 湖南长沙 410082)

摘 要: 随着集成电路制作工艺的进步, 多核与众核系统是片上系统的发展趋势. 传统的二维网格 (2D-mesh) 型拓扑结构通信效率低、功耗高和时延长等缺点变得越来越明显. 本文首先分析对比了几种常用拓扑结构在多核与众核情况下的性能, 进而采用布线复杂度较低、性能较好的蝴蝶型胖树 (BFT) 拓扑结构来解决片上系统的设计和测试问题. 随后, 本文针对基于 BFT 型的片上网络提出了一种组播路由协议和节点编码设计方案, 用来完成对相同核的组播测试, 并且在片上路由器中对测试响应数据进行比较, 从而大大降低了测试应用时间, 自动测试设备 (ATE) 的存储开销和总能耗. 模拟实验数据验证了这一结论.

关键词: 可测性设计; 片上系统; 片上网络; 组播测试; 低费用测试

中图分类号: TP302.8 **文献标识码:** A **文章编号:** 0372-2112 (2011) 11-2663-07

A Low-Cost Test for Butterfly Fat Tree-Based On-Chip Networks

YOU Zhi-qiang, PENG Fu-hui, KUANG Ji-shun, ZHANG Da-fang

(College of Information Science and Engineering, Hunan University, Changsha, Hunan 410082, China)

Abstract: As the advances in integrated circuit technology, what multi-core and many-core are used on system-on-chip will be a trend. The shortcomings such as inefficient communication, high power consumption and long delay in the traditional two-dimensional grid (2D-mesh) topology will become clearly. In this paper, firstly we analyze and compare the performance about several commonly used topologies in multi-core and many-core. After that, we employ butterfly-fat tree (BFT) topology which has lower routing complexity and better performance among the topologies to solve problems. A multicast routing protocol and design of the node encoding are proposed to realize multicast test for the same kinds of cores. This paper also implements a comparing logic in the routers for test response data comparison. This method significantly reduces test application time, storage of automatic test equipment (ATE) and total communication energy consumption. Simulation experimental results verify these conclusions.

Key words: design for testability (DFT); system-on-chip (SOC); network-on-chip (NOC); multicast testing; low-cost test

1 引言

随着制作工艺的进步, 电子元器件尺寸的减小, 人们可以在单个芯片上集成更多的 IP (Intellectual Property) 核. 片上系统 (System-On-Chip) 上越来越多 IP 核之间的通信使得总线的负担愈加沉重. 片上网络 (Network-On-Chip) 应运而生, 旨在解决片上总线通信中的各种瓶颈问题.

NOC 的研究主要包括设计和测试两个方面, 其中 NOC 设计的研究主要集中在拓扑结构^[1]、路由器设计^[2]、低功耗设计^[3]和容错机制^[4]等. 在拓扑结构方面, 现有的单片多处理器系统大多采用经典的拓扑结构, 包括 2D-mesh, 2D-torus, Folded-Torus, Spidergon, SPIN, BFT^[5]等. 现阶段 NOC 的设计与测试大多采用 2D-mesh 结构, 但这类拓扑结构存在通信效率低、功耗高与时延长等问

题. 文献[6,7]考虑了 IP 核间的通信依赖关系和通信能耗, 对 NOC 进行合理布局, 有效地降低了通信能耗和网络延迟. 树型拓扑结构有不易实现的缺点, 但随着集成核数目的增多, 其优点越来越明显. 文献[8]分别从功耗和时延两个角度对 2D-mesh、2D-torus, fat tree 三种网络结构进行对比, 得出对于很多应用 fat tree 型拓扑结构在时延和功耗约束下的性能最好. 文献[9]对比了 fat tree(2, 4, 1)、fat tree(2, 4, 2)、fat h-tree、2D-mesh、2D-torus 五种拓扑结构, 在平均热点数目、对分宽度、路由器数目上, 三种树型结构都小于典型的 2D-mesh 结构, 只是布线长度会随着树的复杂度的增加而增加. 总结目前关于 NOC 的拓扑结构设计, 以拓扑结构带来的好处以及在片上布线的难度来权衡, 作为 fat tree 的一种特例, 平均布线长度最短的 BFT 无疑是今后多核/众核背景下 NOC 设计的一种较佳的拓扑结构.

目前,基于 2D-mesh 结构 NOC 数据的通信主要有单播、组播^[10]和广播^[11]三种方式.针对 NOC 测试,研究者们提出了一系列利用单播、组播和广播实现数据并行处理的数据通信协议和算法,充分利用了网络资源.向东等提出了一种基于单播的多播 NOC 低费用低功耗测试方法^[12].在该技术中,不同的核被合并为一个电路,并针对该电路生成测试向量,降低了测试数据量和测试数据传送时间.扫描链阻塞技术^[13]和扫描森林技术^[14]被应用于该方案,测试数据量和测试功耗得到进一步降低.但是,到目前为止基于 BFT 型拓扑结构组播数据通信的 NOC 测试方法并没有被完整地提出.

全扫描测试技术是最有效和使用范围最广的可测性设计技术之一.然而,在该技术中由于测试向量需要逐位地移入扫描链,测试应用时间和测试功耗大大增加.尤其对于 NOC 来说,片上集成的 IP 核数目较多,测试激励数据量和测试响应数据量变得非常巨大.这使得在测试中长时间占用价格异常昂贵的自动测试设备(Automatic Test Equipment),被测电路平均分摊的测试费用太高;而且,大量的测试数据占用 ATE 很大的存储空间;最后,测试激励数据和测试响应数据在网络上的传输很容易产生拥塞,传输延迟变长,进一步增加了测试应用时间.

为了减少测试应用时间,降低 ATE 的负载和测试存储空间,本文提出在未来多核/众核的背景下,NOC 的部署应该采用 BFT 型拓扑结构,并且在这种结构的基础上,提出了一种在片上路由器中进行测试数据比较的组播测试结构,以便降低测试应用时间、ATE 存储开销和网络通信负载.

2 片上网络拓扑结构分析

NOC 的拓扑结构定义了网络中通信节点、资源节点、链路的布局 and 互连方式.选取合适的拓扑结构对于整个网络的延时、面积开销、吞吐量、功耗等关键性能有至关重要的影响.尤其在今后,随着片上多处理器、片上众核技术的发展,对于高性能这一关键指标将有更高的要求.

2.1 片上网络结构的重要属性

衡量片上网络性能的因素有很多,其中比较重要的有路由节点度、连通度、平均最短路径长度、网络吞吐量、数据包延时等.路由节点度定义为网络结构中任意一个路由器节点与其它路由器节点相连接的所有链路的度.一般情况下,定义一条链路的度为 2,包括了输入度和输出度.路由节点度大意味着路径选择的方式多,但同时增加了网络的复杂性.网络的连通度定义了要使整个网络不连通需要去掉的最少路由节点数目.连通度反映了网络的容错能力,连通度越大,网络的容

错能力越强,但带来的负面影响是网络的结构越复杂.网络的平均最短路径长度是衡量网络性能的重要因素,定义为任意两个资源节点(IP 核)之间最小距离的和与路径数之比.平均最短路径反映了 IP 核之间通信的距离,与通信时间呈正比关系.网络吞吐量是指在没有包丢失的情况下,设备能够接受的最大速率.吞吐量的大小反应了网络的负载能力.网络延时是指一个数据包从源节点发送到目的结点,然后再从目的结点返回到源节点所用的时间,一般延时越小越好.

NOC 的性能和费用往往是相互矛盾的因素.最常用的 2D-mesh(图 1(a))拓扑结构中资源节点和路由节点一一对应.随着工艺的进步和集成度的提高,越来越多的 IP 核被集成在一个芯片上,所需路由节点数目随之增加,这种结构所具有的平均最短路径较长的缺点愈加突出.BFT(图 1(b))拓扑结构能较好地克服这些问题,与 2D-mesh 结构相比,其拥有较少的路由节点数、较高的节点度、较短的平均最短路径等优点,这些使得网络的性能大大提高.

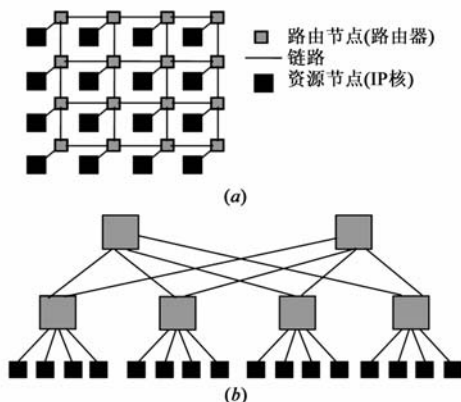


图1 (a) 2D-mesh; (b) BFT 拓扑结构

2.2 2D-mesh 和 BFT 网络属性和性能对比

为了进一步体现 BFT 结构的优点,以前面所述的网络属性作为主要参照,本文通过实验的方法对两种拓扑结构进行了对比,采用 gpNocsim^[15]作为仿真实验工具.在对两种结构模拟过程中使用的一些参数,比如虚通道数和缓冲器大小,均取相同值.表 1 给出了片上集成核的数目分别为 16、64、256 时 2D-mesh 和 BFT 结构一些属性的对比结果.这里的网络吞吐量采用 gpNocsim 中的定义,即为接收到的数据片数量与 IP 节点数和总时钟数乘积的比值.由表 1 可以看出,BFT 拓扑结构拥有和 2D-mesh 结构相同的连通度,而路由节点数目、路由节点度、平均最短路径、网络吞吐量、数据包延时、平均热点数目、链路利用率、缓冲利用率这些方面都要比 2D-mesh 结构好.该结构的缺点是路由节点较复杂,布线难度较大^[9,12].综合考虑,在多核/众核的背景下,其性能要优于 2D-mesh 型结构.

表 1 2D-mesh 和 BFT 网络属性对比结果

| 网络属性 | IP核数目 | 16 | | 64 | | 256 | |
|----------------|-------|----------|----------|----------|----------|----------|-------------|
| | | 2D-mesh | BFT | 2D-mesh | BFT | 2D-mesh | BFT |
| 路由节点数目 | | 16 | 6 | 64 | 28 | 256 | 120 |
| 路由节点度 | | 8 | 12 | 8 | 12 | 8 | 12 |
| 平均最短路径 | | 2.5 | 1.81 | 5.25 | 1.95 | 10.625 | 1.99 |
| 网络连通度 | | 2 | 2 | 2 | 2 | 2 | 2 |
| 网络吞吐量 | | 0.076875 | 0.079225 | 0.080549 | 0.081125 | 0.079051 | 0.07984335 |
| 平均包延时(Cycles) | | 41.72585 | 38.54451 | 42.86476 | 39.72608 | 57.65208 | 57.228779 |
| 链路利用率(%) | | 0.071566 | 0.094380 | 0.106175 | 0.126244 | 0.173362 | 0.176633355 |
| 平均热点数目 | | 4.655609 | 3.571970 | 7.245810 | 5.445677 | 12.61035 | 12.4213585 |
| 平均发送包数目 | | 1026.0 | 1058.0 | 4296.0 | 4327.0 | 16841.0 | 17034.0 |
| 平均收包数目 | | 1025.0 | 1056.0 | 4296.0 | 4326.0 | 16828.0 | 17022.0 |
| 路由节点输入缓冲利用率(%) | | 0.042277 | 0.061540 | 0.016855 | 0.023858 | 0.006399 | 0.00650898 |
| 资源节点输入缓冲利用率(%) | | 0.038438 | 0.039613 | 0.010069 | 0.010141 | 0.002470 | 0.0024951 |
| 路由节点输出缓冲利用率(%) | | 0.043311 | 0.062267 | 0.019229 | 0.029040 | 0.008614 | 0.008872841 |
| 资源节点输出缓冲利用率(%) | | 0.064450 | 0.065634 | 0.028818 | 0.028261 | 0.013655 | 0.013861779 |

3 基于 BFT 型拓扑结构片上网络低费用测试方法的实现

传统测试 2D-mesh 拓扑结构 NOC 中 IP 核的方法是采用单播的思想,即数据的通信采用“一对一”的模式,其测试过程主要分为以下几步.首先,ATE 将存储的测试向量通过片上通信网络送到被测的核;然后,捕获被测核中的测试响应;最后,将测试响应回送到 ATE,与 ATE 存储的期望响应进行比较,得出测试结果.基于单播的测试方法有两个缺点:(1)大量的测试激励数据和测试响应数据在网络中进行传输,会使得网络中的数据流量很大,容易产生拥塞和死锁,增加网络负载,影响网络性能;(2)即便片上存在相同核时,ATE 也必需存储所有不同类核的期望响应数据,不能有效地利用无故障相同核的相同测试激励数据产生相同的期望响应数据的特点来减少存储的开销.

针对单播测试的第一个缺点,文献[16]提出了一种在基于 NOC 的 SOC 上利用组播对片上相同核进行测试的方法.与单播思想相比主要有两点不同:(1)数据的通信采用了组播的方法,即数据的通信采用“一对一组”的模式,从而大大地降低了测试应用时间;(2)在该方法中,每个被测核的内部封装了一个控制器和一个比较器,控制器用来控制核的测试/工作模式.当某个核处于测试模式时,一个测试向量被送入该核.将整个测试向量扫入完毕后,控制器捕获测试响应.最后,期望的测试响应也被送入核内,与测试响应在比较器中进行比较,得出测试结论.该方法增加了被测核封装的复杂度,硬件开销较大.

基于单固定故障模型,在对 NOC 进行扫描测试时,对多个相同的核注入相同的测试激励数据,如果这些核都没有故障,那么所捕获的测试响应数据是相同的.

而当某个核被检测出有故障,则这个有故障核的测试响应数据必定与和它相同的无故障核的测试响应数据不同.为了克服以上两种思想的缺点,利用这一原理,本文提出在 BFT 型 NOC 中对相同核进行组播测试,并且在路由器中进行测试响应数据的比较,得到测试结果,然后再将结果返回给 ATE.这样,不仅可以更好地缩短测试应用时间,降低 ATE 的存储开销,同时还降低了测试过程中数据在片上通信时的能耗和平均功耗,与文献[16]相比,IP 核封装的复杂度和硬件开销也有一定程度的降低.

3.1 BFT 型片上网络节点编码设计

节点编码和拓扑结构的结合能够简化路由协议设计和实现的复杂性,构建出高效率,低时延的路由算法.因此,针对 BFT 型 NOC 结构,一个简单有效的节点编码方式是必要的.二进制循环单位距离码有单位距离性质和循环性质,即任意两个相邻的数据有且仅有一位不同(单位距离性质);数据队列的第一个和最后一个的数据也有且仅有一位不同(循环性质).由于采用的是 BFT 结构的网络,在这种结构下,无法实现循环单位距离码的编码方式.因此为了尽可能达到接近二进制循环单位距离码的效果,即减少代码在进行变化时产生错误的概率.

本文提出一种 BFT 型网络的节点编码方式,遵守以下几个原则:

- (1)采用分段编码方式,将层号与层中的节点编号分开进行编码,分别为层编码和节点编码.
- (2)IP 核的层编码为 0,最低层路由器的层编码为 1,...,依此类推.
- (3)IP 核的节点编码按照其连接的路由器不同,依次从小到大分配节点码.

(4)最低层路由器的节点编码取与其连接的核最小的节点码。

(5)高层路由器的节点编码尽量与下属路由器的编码保持最小的海明距离。

对于图 1(b)所示的例子,我们采用 2 位表示层编码,4 位表示节点编码,按照上述规则,其编码如图 2 所示。

3.2 组播测试路由协议设计

为了方便发送组播测试激励数据以及将测试响应数据在路由器中进行比较,本文对文献[10]中的组播协议进行了部分的修改。原组播协议中的数据包格式如图 3 所示,包括包类型、目的地址、组播 ID、源地址、组类型、成员地址和数据。其中包类型有:单播,组播建立,组播建立响应,组播数据,组播组释放,组释放确认;目的地址和源地址分别存储了数据要发送到的地址和数据的源地址;组播 ID 表示不同组播组的编号。组类型表示当前组是否建立成功和有没有保存路径。成员地址中存储了组播要发送的每一个成员的地址。

对于拓扑结构如图 2 所示的 NOC,新的组播测试路由协议在数据包的格式定义中封装了四位的比较地址(路由器编码前四位)和两位的数据类型标识,如图 4 所示,其中比较地址用来表示测试响应数据在哪个路由器中进行比较。两位的数据类型共有 4 种组合情况:00、01、10 和 11,它们分别表示非组播测试数据,组播测试

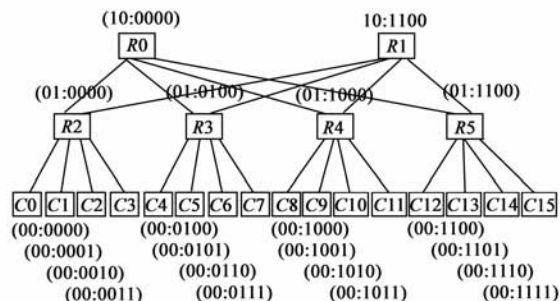


图2 BFT型NOC节点编码

3.3 具有比较功能的路由器结构设计

BFT型拓扑结构 NOC 的路由器结构如图 5 所示(除添加的比较逻辑外),主要的模块是路由逻辑,另外有 6 个端口,2 个上行端口,4 个下行端口。各端口经过多路选择器和端口之间的交叉互连网络(Crossbar)相连,实现端口与端口之间的相互通信。在普通路由器的基础上,通过添加少量硬件,实现在路由器中对测试响应数据的比较。具体功能要求如下:当只有一路不需要进行比较的数据时,使得数据直接通过路由器;而对于进入到路由器中的需要比较的任意 n 路数据可以进行比较($2 \leq n \leq 4$)。

本文提出一种可在内部比较测试响应数据的路由

数据,组播测试响应数据和比较结果数据。

对存在相同核 NOC 进行测试的过程描述如下,以图 2 为例,假设 C_4 和 C_7 是两个相同的核。首先,ATE 发出组播测试建立数据包,经 R_0 送到 R_3 , R_3 生成两份数据包,分别送给核 C_4 和 C_7 , C_4 和 C_7 收到建立测试的请求后,发送确认数据返回给 ATE,通知数据通信路径建立成功。然后,ATE 将含有比较地址(R_3 的地址)的测试数据沿建立路径送至待测核。最后,在两个核上捕获的测试响应数据在路由器 R_3 中进行比较,并将比较结果返回给 ATE,整个测试过程结束。

NOC 通常采用静态路由方式,在进行测试前,测试调度安排以及路由表数据已经分别存储在 ATE 和片上各路由器中。测试数据路由比较算法如下所述:

(1)ATE 根据测试向量数据包的目的地址和组播 ID,将测试数据同时传送到与被测的相同核连接的一组路由器中。

(2)与被测的 IP 核连接的路由器进行解包处理,将测试数据施加到被测核。

(3)捕获被测核的测试响应数据,将其回传到与被测核连接的路由器。路由器根据数据类型和比较地址对测试响应数据进行打包,然后将数据送往进行比较的路由器。

(4)在比较路由器中,一旦数据通过比较电路得到测试结果,就将结果打包,根据源地址返回到 ATE 中。

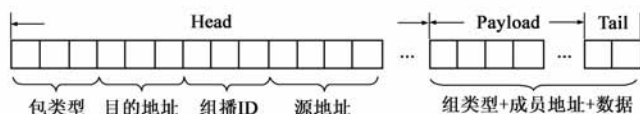


图3 文献[10]中的组播协议中的数据包格式



图4 提出的组播测试协议中的数据包格式

器,其比较功能通过添加一个比较逻辑电路,并受控于路由逻辑来实现。具体电路如图 6 所示,其中 p_1 、 p_2 、 p_3 、 p_4 通过 Crossbar 与下行的 4 个端口的相连。比较功能由 4 个与门和 3 个异或门实现,与门的另外一个输入端为控制端,控制信号由路由逻辑生成。

当只有一路数据时,比较逻辑的全部控制输入端为 0,由路由逻辑控制该路数据直接送至上行端口,通过路由器;当有 2 路或者 4 路需要比较的数据时,路由逻辑将在这几路数据的控制端产生控制信号 1,其它控制端产生控制信号 0,用来屏蔽其它输入端;而当有 3 路需要比较的数据时,其中一路数据被复制一份,分别与另外两路数据异或,路由逻辑在这 4 路数据的控制端

产生控制信号 1. 几个相同类型核的测试响应数据通过异或门进行比较. 如果芯片中没有故障, 则比较器的输出为 0; 而如果芯片中有单固定故障, 且其错误的响应被送至比较器, 比较器的输出必为 1. 一旦比较器产生为 1 的输出, 该路由器将会立即产生一个错误信号数据包, 发送到 ATE.

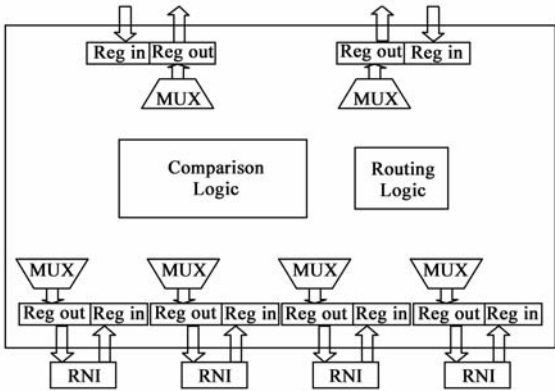


图5 路由器结构

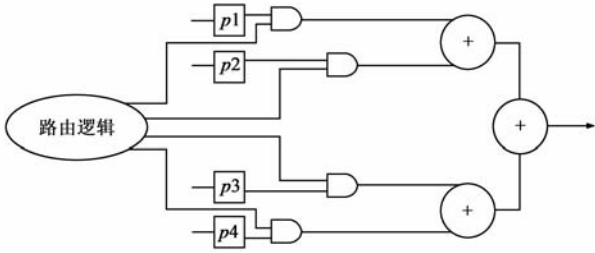


图6 路由器中比较逻辑结构

4 实验结果

本实验使用了部分 ITC'02 和 ISCAS'89 基准电路. 其中, F2126 和 Q12710 是 ITC'02 中仅有的存在相同核的基准电路. 但在这两个电路中, 相同核的测试数据量较小, 不能充分体现提出方法的优势. 由于 NOC 中的 IP 核多与专用集成电路 (ASIC) 类似, 为了验证提出方法在未来多核芯片上应用的好处, 我们使用 ISCAS'89 中几个测试集较大的电路作为 IP 核, 随机地生成一些 NOC, 得到了 NOC161-NOC643 共计 6 个电路, 其中前三个为 16 核, 后三个为 64 核, 具体生成 NOC 实验电路的信息如表 2 所示, 其中第一列为用到的 ISCAS'89 系列电路的名称, 第 2 列至最后一列给出了组成各片上网络所用电路的数目, 其中的“x”表示该电路未被当前片上网络作为候选电路. 每个核 (ISCAS'89 电路) 的测试向量集和对应的测试响应集由 Synopsis 的自动测试产生工具 TestGen 产生. 这里的测试集针对单固定故障模型, 且具有 100% 故障检出效率.

为了进行实验数据的对比, 我们分别实现了基于 2D-mesh 拓扑结构的传统的单播和组播 (与文献 [16] 的

思想相类似) 方法. 表 3 给出了本文提出方法在测试应用时间方面的实验结果. 表中第 2 列至第 4 列是分别是单播、组播和本文方法的测试应用时间, 第 5 列和第 6 列是本文方法与前两种方法相比在测试应用时间上减少的百分比. 可以看出, 对于 NOC641 电路, 与单播测试方式相比, 测试应用时间降低了 96.03%, 与组播的测试方法相比, 测试应用时间降低了 60.41%, 有效地降低了芯片的测试成本.

表 2 NOC 实验电路的信息

| 被选电 路名称 | 片上网络名称 | | | | | |
|------------|--------|--------|--------|--------|--------|--------|
| | NOC161 | NOC162 | NOC163 | NOC641 | NOC642 | NOC643 |
| S13207 | 3 | 3 | 2 | 14 | 12 | 7 |
| S38584 | 4 | 3 | 2 | 13 | 11 | 9 |
| S35932 | 4 | 1 | 0 | 7 | 8 | 3 |
| S38417 | 3 | 2 | 4 | 14 | 12 | 7 |
| S9234 | 1 | 4 | 2 | 7 | 6 | 4 |
| S15850 | 1 | 2 | 2 | 9 | 4 | 13 |
| S5378 | x | 1 | 4 | x | 11 | 6 |
| S838 | x | x | x | x | x | 5 |
| S1196 | x | x | x | x | x | 6 |
| S1238 | x | x | x | x | x | 4 |

表 3 测试应用时间实验数据对比结果

| 电路 名称 | 测试应用时间 (ns) | | | 测试应用时间 减少量 (%) | |
|----------|----------------|------------|------------|-------------------|-----------|
| | 单播 | 组播 | 本文 方法 | 与单播 相比 | 与组播 相比 |
| F2126 | 9209912.5 | 9116310.5 | 6907401.8 | 25.00 | 24.23 |
| Q12710 | 31107458.5 | 26390511.5 | 20156028.5 | 35.21 | 23.62 |
| NOC161 | 26462821.9 | 5491629.1 | 4318709.5 | 83.68 | 21.36 |
| NOC162 | 19950858.3 | 5128184.8 | 4369171.3 | 78.10 | 14.80 |
| NOC163 | 26055766.4 | 5314167.5 | 3988261.8 | 84.69 | 24.95 |
| NOC641 | 149567073.3 | 14982682.3 | 5931380.1 | 96.03 | 60.41 |
| NOC642 | 125581456.2 | 14067337.4 | 6001154.6 | 95.22 | 57.34 |
| NOC643 | 89158460.6 | 11913080.5 | 6053524.6 | 93.21 | 49.19 |

表 4 ATE 存储空间实验数据对比结果

| 电路 名称 | ATE 中所占的存储位 (bit) | | 存储位减少量 (%) (与前两种相比) |
|----------|-------------------|----------|------------------------|
| | 单播和组播 | 本文方法 | |
| F2126 | 9830841 | 9737689 | 0.95 |
| Q12710 | 23656999 | 19926756 | 15.77 |
| NOC161 | 5158669 | 2702695 | 47.61 |
| NOC162 | 5220157 | 2762157 | 47.09 |
| NOC163 | 4774270 | 2285598 | 52.13 |
| NOC641 | 5158669 | 2461053 | 52.29 |
| NOC642 | 5220157 | 2491869 | 52.26 |
| NOC643 | 5262793 | 2516421 | 52.18 |

在测试数据存储方面, 由于相同核的测试响应数据在路由器中直接进行比较, 不需要保存, 节省了 ATE 存储这部分数据的存储开销. 实验结果如表 4 所示, 第 2 列和第 3 列分别为前两种方法 (单播和组播所需的存储空间相同) 和本文方法在 ATE 中所占用的存储空间,

最后一列是与前两种方法相比本文方法存储空间减少的百分比.由此表可以看出,本文方法最高可为 ATE 节省 52.29% 的存储空间.

NOC 多采用虫孔路由机制,若不使用虚通道 (Virtual Channel),当网络负载较重时,可能产生阻塞现象,从而增加数据包延时,影响网络的并行通信效率.表 5 给出了与单播和并行组播方式测试应用时间的对比结果,其中第 2、4、6、8 列为虚通道 (VC) 为 1、2、3、4 时本文方法与拥有相应数目虚通道单播测试相比的结果,其它列是与组播相比的结果.可以看出,随着 VC 数目的增长,提出的方法与单播测试相比,测试应用时间的减少量逐渐降低.这是由于虚通道的分配对于单播测试有更高的并行性,带来的缺点是对路由器性能要求提高.提出的方法与并行组播测试相比,测试应用时间有所减少,其

中,VC = 3 与 VC = 4 时的结果是相同的,原因是随着 VC 增加每条 VC 分配的测试核变少,总测试应用时间更依赖于测试任务中数据量最大的少数几个 IP 核.

表 6 分别给出了单播、组播和本文方法在测试时通信能耗和平均通信功耗上的比较.实验中采用了文献 [17] 中的功耗模型.表中第 2 列至第 4 列给出了三种方法测试激励数据和测试响应数据在网络通信中产生的能耗,第 5 至第 7 列分别是三种方法的通信时间,最后三列是它们的平均通信功耗.可以看出,在通信能耗和通信时间方面,本文方法比前两种方法都有较大幅度的降低;在平均通信功耗方面,由于提出方法的通信时间相对通信能耗降低较多,平均通信功耗较高,只有 3 个 16 核电路的功耗比组播的方法低.本方法为测试应用时间和测试功耗提供了更大的权衡空间.

表 5 并行组播测试应用时间对比结果

| 电 路 名 称 | 虚通道数目分配不同时测试应用时间的减少量 (%) | | | | | | | |
|------------|--------------------------|-------|--------|-------|--------|-------|--------|-------|
| | VC = 1 | | VC = 2 | | VC = 3 | | VC = 4 | |
| | 与单播相比 | 与组播相比 | 与单播相比 | 与组播相比 | 与单播相比 | 与组播相比 | 与单播相比 | 与组播相比 |
| NOC161 | 83.68 | 21.36 | 83.74 | 20.23 | 76.08 | 9.55 | 68.52 | 9.55 |
| NOC162 | 78.10 | 14.80 | 77.98 | 14.62 | 67.70 | 9.55 | 57.11 | 9.55 |
| NOC163 | 84.69 | 24.95 | 83.56 | 28.38 | 75.31 | 28.38 | 67.21 | 28.38 |
| NOC641 | 96.03 | 60.41 | 96.03 | 63.75 | 94.07 | 63.89 | 92.09 | 63.89 |
| NOC642 | 95.22 | 57.34 | 95.18 | 57.67 | 92.93 | 58.64 | 90.58 | 58.64 |
| NOC643 | 93.21 | 49.19 | 93.20 | 49.16 | 90.04 | 49.91 | 86.72 | 49.91 |

表 6 能耗与平均功耗实验数据对比结果

| 电路 名称 | 通信能耗 (mJ) | | | 通信时间 (ms) | | | 平均通信功耗 (W) | | |
|----------|-----------|----------|----------|-----------|-----------|----------|------------|---------|---------|
| | 单播 | 组播 | 本文方法 | 单播 | 组播 | 本文方法 | 单播 | 组播 | 本文方法 |
| NOC161 | 976.847 | 509.954 | 271.248 | 9592.561 | 2785.446 | 1612.526 | 0.10183 | 0.18307 | 0.16821 |
| NOC162 | 738.476 | 467.811 | 249.019 | 7478.863 | 2390.828 | 1631.815 | 0.09874 | 0.19566 | 0.15260 |
| NOC163 | 1095.561 | 556.191 | 244.579 | 10634.604 | 2818.307 | 1492.401 | 0.10301 | 0.19734 | 0.16388 |
| NOC641 | 8297.165 | 2405.155 | 1295.538 | 81099.974 | 12276.499 | 3225.197 | 0.10230 | 0.19591 | 0.40169 |
| NOC642 | 6826.020 | 2214.366 | 1299.154 | 66756.304 | 11329.981 | 3263.798 | 0.10225 | 0.19544 | 0.39804 |
| NOC643 | 4932.634 | 1787.461 | 863.676 | 48583.034 | 9150.516 | 3290.960 | 0.10153 | 0.19533 | 0.26243 |

5 结论

本文提出使用一种已有的蝴蝶型胖树拓扑结构 (BFT) 来解决未来片上多核/众核的测试问题,并且基于这种结构,进行了路由节点编码设计、组播测试路由协议设计和具有比较功能的路由器设计.模拟实验数据表明,针对多核/众核 NOC,提出的方法比传统的基于 2D-mesh 拓扑结构的单播和组播方法有效地降低了测试应用时间及 ATE 的存储开销,另外,在通信能耗上也有较好的结果.尤其随着片上相同核数目的增多,本方法的优点会变得更加明显.

参考文献

[1] 王宏伟,陆俊林,佟冬,等.层次化片上网络结构的簇生成算法[J].电子学报,2007,35(5):916-920.

Wang Hong-wei, Lu Jun-lin, Tong Dong, et al. Cluster generation algorithm for Hierarchical networks-on-chip architecture [J]. Acta Electronica Sinica, 2007, 35(5): 916-920. (in Chinese)

[2] 朱红雷,彭元喜,陈海燕,等.一个动态分配输入队列的片上虫孔路由器结构[J].电子学报,2010,38(5):1032-1038.

Zhu Hong-lei, Peng Yuan-xi, Chen Hai-yan, et al. An on-chip wormhole router architecture with dynamically allocated input-queues[J]. Acta Electronica Sinica, 2010, 38(5): 1032-1038. (in Chinese)

[3] Nickray M, Dehyadgari M, Afzali-Kusha A. Power and delay optimization for network on chip [A]. In Proc European Conference on Circuit Theory and Design [C]. Cork, Ireland: IEEE, 2005. 273-276.

- [4] Portero A, Pla R, Carrabina J. SystemC implementation of a NoC[A]. In Proc IEEE International Conference on Industrial Technology[C]. Hong Kong: IEEE, 2005. 1132 – 1135.
- [5] Pande P P, Grecu C, Ivanov A, et al. Design of a switch for network on chip applications[A]. In Proc International Symposium on Circuits and Systems[C]. Bangkok, Thailand: IEEE, 2003: V-217 – V-220.
- [6] 马立伟, 孙义和. 片上网络拓扑优化: 在离散平面上布局与布线[J]. 电子学报, 2007, 35(5): 906 – 911.
Ma Li-wei, Sun Yi-he. Network-on-chip topology optimizations: floor-plan and routing on discrete plane[J]. Acta Electronica Sinica, 2007, 35(5): 906 – 911. (in Chinese)
- [7] 杨盛光, 李丽, 高明伦, 等. 面向能耗和延时的 NoC 映射方法[J]. 电子学报, 2008, 36(5): 937 – 942.
Yang Sheng-guang, Li Li, Gao Ming-lun, et al. An energy- and delay-aware mapping method of NoC [J]. Acta Electronica Sinica, 2008, 36(5): 937 – 942. (in Chinese)
- [8] Kreutz M, Marcon C, Carro L, et al. Energy and latency evaluation of NoC topologies [A]. In Proc International Symposium on Circuits and Systems[C]. Kobe, Japan: 2005. 5866 – 5869.
- [9] Matsutani H, Koibuchi M, Amano H. Performance, cost, and energy evaluation of fat h-tree: a cost-efficient tree-based on-chip network[A]. In Proc IEEE International Parallel and Distributed Processing Symposium[C]. California, USA: 2007. 1 – 10.
- [10] Lu ZhongHai, Yin Bei, Jantsch A. Connection-oriented multicasting in wormhole-switched networks on chip[A]. In Proc IEEE Computer Society Annual Symposium on Emerging VLSI Technologies and Architectures[C]. Karlsruhe, Germany: 2006. 205 – 210.
- [11] Sedghi M, Koopahi E, Alagh A, et al. An NoC test strategy based on flooding with power, test time and coverage considerations[A]. In Proc International Conference on VLSI Design [C]. Hyderabad, India: 2008. 409 – 414.
- [12] Xiang Dong, Zhang Ye. Cost-effective power-aware core testing in NoCs based on a new unicast-based multicast scheme [J]. IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, 2011, 30(1): 135 – 147.
- [13] You Zhiqiang, Iwagaki T, Inoue M, et al. A low power deterministic test using scan chain disable technique [J]. IEICE Transactions on Information and Systems, 2006, E89-D(6): 1931 – 1939.
- [14] Xiang Dong, Li KaiWei, Sun JiaGuang, et al. Reconfigured scan forest for test application cost, test data volume and test power reduction[J]. IEEE Trans on Computers, 2007, 56(4): 557 – 562.
- [15] Hossain H, Ahmed M, Al-Nayeem A, Islam T. Z, Akbar M. Gpnocsim a general purpose simulator for network on chip [A]. In Proc International Conference on Information and Communication Technology [C]. Dhaka, Bangladesh: IEEE, 2007. 254 – 257.
- [16] Han YinHe, Fang Fang, Wang Wei, et al. Multicast testing method for NoC-based SoC using test branches[A]. In Proc IEEE 9th Workshop on RTL and High Level Testing [C]. Sapporo, Japan, 2008. 1 – 6.
- [17] Kahng A B, Li B, Peh L S, et al. ORION 2.0: A fast and accurate NoC power and area model for early-stage design space exploration[A]. In Proc Design, Automation and Test in Europe [C]. Acropolis, Nice, France, 2009. 423 – 428.

作者简介



尤志强 男, 博士, 副教授, 硕士生导师, 中国计算机学会容错计算专业委员会委员. 1972 年生于河北省阜城县. 1995 年、2002 年分别在湖南大学获理学学士、工学硕士, 2006 年在日本国奈良先端科学技术大学院大学获工学博士学位. 主要研究方向为数字电路设计与测试, 布尔过程论等.

E-mail: zq_you@163.com

彭福慧 男, 1984 年 2 月 4 日出生于安徽淮北. 2007 年毕业于安徽科技学院计算机科学与技术专业, 现为湖南大学软件学院硕士研究生, 研究方向为 SOC 测试设计与测试.