

基于 IC 互连线开路故障的 Y/R 模型

赵天绪^{1,2}, 郝 跃¹, 马佩军¹

(1. 西安电子科技大学微电子所, 陕西西安 710071

2. 宝鸡文理学院数学系, 陕西宝鸡 721007)

摘 要: 在半导体制造业中, IC 的成品率和可靠性(Y/R)是倍受关注的两个问题. 研究表明它们之间存在着显著的相关性. 为了表征这种相关性, 本文从缺陷造成互连线开路的机理出发, 分析了成品率关键面积和可靠性关键面积, 提出了 IC 成品率与可靠性关系模型. 通过模拟实验给出了该模型的有效性验证.

关键词: 成品率; 可靠性; 关键面积

中图分类号: TN406 **文献标识码:** A **文章编号:** 0372-2112 (2002) 11-1707-04

Y/R Model of Integrated Circuits Based on the Open Circuit Fault of Interconnections

ZHAO Tianxu^{1,2}, HAO Yue¹, MA Pei jun¹

(1. Microelectronics Institute of Xidian University Xi'an, Shaanxi 710071, China;

2. Department of mathematics of Baoji college of Arts and science, Baoji, Shaanxi 721007, China)

Abstract: Yield and reliability are two problems that are focused on semiconductor manufacturing. The researched results show that there exists a relation between yield and reliability of IC's. In order to describe this correlativity, the yield critical area and the reliability critical area are analyzed based on the mechanism of open circuit of interconnections caused by manufacturing defects, and the model of relation between IC's yield and reliability is presented in this paper. Finally, the validity of this model is shown by computer simulation.

Key words: yield; reliability; critical area

1 引言

集成电路的成品率和可靠性是决定半导体产品市场竞争和质量的重要因素, 尤其是随着集成电路复杂度与芯片面积增加、特征尺寸和栅氧厚度的减小, 其影响将进一步增加^[1~3]. 由于集成电路生产过程中始终存在着缺陷, 不同粒径的缺陷可以出现在芯片上的任何位置, 缺陷出现的位置及粒径大小直接影响着芯片的寿命期望值. 如果缺陷的粒径非常小时, 缺陷对芯片的影响可以忽略; 缺陷的粒径非常大时, 无论缺陷出现在芯片的任何位置均造成电路功能失效, 从而引起芯片成品率的下降. 实验表明, 集成电路的成品率与可靠性有强烈的依赖关系^[3]. 从 1999 年开始每年 IEEE International Reliability Physics Symposium 都将 Y/R 关系作为重要的研究内容, 即集成电路成品率与可靠性之间关系的研究成为 IC 可制造性研究的主要问题之一.

一般造成成品率损失的缺陷称为成品率缺陷; 引起可靠性问题的缺陷称为可靠性缺陷. 成品率丢失物缺陷是指在 IC 制造过程中造成金属互连线开路的丢失物. 可靠性丢失物缺

陷是指在 IC 制造过程中虽然没有造成金属互连线开路但使得金属线条变窄的丢失物. 本文从分析成品率缺陷与可靠性缺陷的关系出发, 提出了基于互连线开路关键面积的 IC 成品率与可靠性关系模型. 实验结果表明, 该模型可以有效地反映集成电路成品率和可靠性之间的关系.

2 开路故障的主要机理

当 IC 采用铝金属互连时, 通常在一定温度下, 互连线的铝膜中存在一定平衡浓度的空位, 由于铝离子的热振动, 使其从正常晶格位置上激励到邻近空位中, 产生铝离子自扩散. 在外场作用时, 铝离子受到两种力的作用: (1) 库仑场对铝离子施加一个与电子流相反的库仑作用力, 由正极指向负极; (2) 导电电子与铝离子相碰撞时, 发生动量交换, 使铝离子受到一个与电子流方向相同的作用力, 由负极指向正极. 由于电子的屏蔽作用, 库仑场对铝离子的作用力很小. 因此, 通电铝膜中的铝离子主要受到电子流对它的作用力, 结果使得铝离子与电子流一样朝正极移动, 相应产生的铝离子空位向负极移动, 这样就造成了净质量传输. 这些铝离子移动的结果, 久而久之

就会由于这种电迁移使铝膜断开,大大地影响了 IC 互连线的寿命。

电迁移引起的 IC 失效模式主要有开路和参数退化两种。本文主要讨论由电迁移引起的 IC 开路失效情形。

若导线的宽度为 w , 那么由电迁移造成的 IC 互连金属线的平均失效时间是线宽 w 、电流密度 J 及其他因素的函数,其模型如下^[4]:

$$t(w) = \frac{wh}{CJ_0^2} \exp(-E_a/kT_0) \quad (1)$$

其中 h 是金属线的厚度, J 是电流密度 (A/cm^2), E_a 表示原子的激活能量 (eV), k 是 Boltzmann 常数 8.62×10^{-5} (eV/K), T_0 是金属线的温度, C 是与金属线密度以及电阻等有关的一个因子。参数 E_a 和 C 是通过实验决定的。

在集成电路的生产过程中,无论 IC 工艺线的超净环境和化学试剂超纯情况如何,落在圆片上的灰尘微粒是存在的。这些分布在圆片表面的微粒作为阻光物,将使光刻和金属化工后均能造成实际版图与理想版图之间的偏差。这种偏差称为缺陷。图 1 给出了出现在金属线上的丢失金属缺陷的示意图,从图 1 中可以看出该缺陷造成了金属连线有效宽度变窄。当粒径为 R 的丢失物缺陷落在导线上时,导线的宽度由原来的 w 变为 w_{g_0} , 电流密度将变为原来的 w/w_{g_0} 倍,那么由电迁移造成的 IC 互连金属线的平均失效时间模型为

$$\begin{aligned} T(w_{g_0}) &= \frac{w_{g_0} h}{C \left(\frac{w}{w_{g_0}} J \right)^2} \exp(-E_a/kT_0) \\ &= \frac{w_{g_0}^3 h}{C w^2 J^2} \exp(-E_a/kT_0) \end{aligned} \quad (2)$$

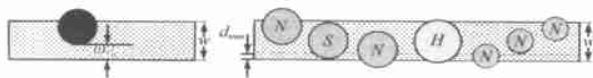


图 1 缺陷造成金属线条宽度变窄

图 2 缺陷与故障之间关系示意图

H : 硬故障; S : 软故障;
 N : 未形成故障的缺陷

在没有缺陷影响时,即导线的宽度为设计宽度 w 时,可用公式(1)估计 IC 互连线的寿命。当有缺陷落在导线上时,由于缺陷中心所在位置的随机性以及缺陷粒径的随机性,导致导线有效宽度也是随机的。假设最初导线的有效宽度为 w_{g_0} ,在电路的运行过程中,由于电迁移效应的存在,导线的有效宽度随运行时间变得越来越窄,直到导线条断开造成电路故障为止。大量实验表明,由于电迁移效应,当导线的有效宽度小于一定量 d_{min} 时就认为开路故障已经发生。从图 2 中可以看出,缺陷形成开路故障不仅与缺陷的粒径有关而且与缺陷出现的位置有关。

3 成品率模型

在 IC 成品率模型研究中,人们常用负二项式分布模型来预测成品率。芯片上有 m 个缺陷的概率为

$$Pr\{X = m\} = \frac{\Gamma(\alpha + m)}{m! \Gamma(\alpha)} \left(\frac{\lambda/\alpha}{1 + \lambda/\alpha} \right)^m \quad (3)$$

其中 λ 表示芯片上的平均缺陷数; α 是成团因子, α 越小,表示芯片缺陷成团程度越强,而且 α 的大小与制造工艺以及芯片面积等有关^[2]。

从图 2 中可以看出,并非落在芯片上的所有缺陷都能造成电路故障,只有落在芯片关键区域的缺陷才形成电路故障^[5]。式(3)反映了缺陷数在芯片上的分布概率,只有当式(3)中的 λ 表示了芯片上的平均故障数时,令 $m=0$ 就可以表示芯片的成品率。

根据关键面积理论,芯片上的平均故障数

$$\lambda_y = A_{cy} D_0 \quad (4)$$

其中 A_{cy} 表示芯片的成品率关键面积, D_0 表示单位芯片面积上的平均缺陷数。

因此,芯片的成品率为

$$Y = Pr\{X = 0\} = \left(\frac{1}{1 + \lambda_y/\alpha} \right)^\alpha = \left(1 + \frac{A_{cy} D_0}{\alpha} \right)^{-\alpha} \quad (5)$$

4 成品率和可靠性关系模型

在 t 时刻芯片的可靠性可由 $R(t) = Pr\{\text{失效时间} > t\}$ 给出。设 μ_r 表示造成 IC 芯片失效的可靠性缺陷的平均数,那么 $\mu_r = A_{cr} D_0$, 其中 A_{cr} 为芯片的可靠性关键面积。如果缺陷是随机分布的,那么

$$R(t) = e^{-\mu_r} = e^{-A_{cr} D_0 t} \quad (6)$$

由式(5)和式(6)可得成品率和可靠性之间的关系式

$$R(t) = \exp \left[-\alpha \left((1 - Y^{1/\alpha}) / Y^{1/\alpha} \right) \frac{A_{cr}}{A_{cy}} \right] \quad (7)$$

5 关键面积 A_{cy} 和 A_{cr} 的计算

关键面积对 IC 成品率和可靠性预测很重要。对于一定粒径(尺寸)的缺陷而言,并非所有落在芯片上的缺陷都能引起电路的失效,只有出现在芯片的某个特殊区域的缺陷才能引起电路的故障。这个特殊区域被称为关键区域,关键区域的面积被称为关键面积(该面积越大说明失效的概率越大)。因此,芯片的关键面积与缺陷的粒径直接有关。用 $h(R)$ 表示粒径为 R 的缺陷的概率密度函数,实验表明它可表征为:

$$h(R) = \begin{cases} R_0^{-2} R, & 0 \leq R < R_0 \\ R_0^2 R^{-3}, & R_0 \leq R < \infty \end{cases} \quad (8)$$

式中 R_0 是最大峰值粒径^[6]。用 $\theta(R)$ 表示粒径为 R 的缺陷造成电路故障的概率。那么线间距为 s 的失效率

$$\theta_y(R) = \begin{cases} 0, & \text{当 } 0 < R \leq w \\ \frac{R-w}{w+s}, & \text{当 } w < R \leq 2w+s \\ 1, & \text{当 } 2w+s < R \end{cases} \quad (9)$$

平均失效率为:

$$\theta_y = \int_0^\infty \theta(R) h(R) dR = \frac{R_0^2}{2w(2w+s)} \quad (10)$$

因此,成品率关键面积 A_{cy} 为

$$A_{cy} = A_{chip} \theta_y = \frac{A_{chip} R_0^2}{2w(2w+s)} \quad (11)$$

为了给出可靠性缺陷的平均故障率, 首先给出粒径为 R 的成品率缺陷及可靠性缺陷的故障率^[7]

$$\theta_{\text{RKY}}(R) = \begin{cases} 0, & 0 < R \leq w - d_{\min} \\ \frac{R + 2d_{\min} - w}{w + s}, & w - d_{\min} \leq R \leq 2w + s - d_{\min} \\ 1, & 2w + s - d_{\min} \leq R < \infty \end{cases} \quad (12)$$

那么可靠性缺陷的平均失效率为

$$\begin{aligned} \theta_r &= \int_0^\infty (\theta_{\text{RKY}}(R) - \theta_y(R)) h(R) dR \\ &= \int_{w-d_{\min}}^w \frac{R + 2d_{\min} - w}{w + s} \frac{R_0^2}{R^3} dR \\ &\quad + \int_w^{2w+s-d_{\min}} \left(\frac{R + 2d_{\min} - w}{w + s} - \frac{R - w}{w + s} \right) \frac{R_0^2}{R^3} dR \\ &\quad + \int_{2w+s-d_{\min}}^{2w+s} \left(1 - \frac{R - w}{w + s} \right) \frac{R_0^2}{R^3} dR \\ &= \frac{R_0^2 d_{\min}^2 (3w - 2d_{\min})}{2w^2 (w + s) (w - d_{\min})^2} \\ &\quad + \frac{R_0^2 d_{\min}^2 (3w + s - d_{\min}) (w + s - d_{\min})}{w^2 (w + s) (2w + s - d_{\min})^2} \\ &\quad + \frac{R_0^2 d_{\min}^2}{2(w + s) (2w + s) (2w + s - d_{\min})^2} \end{aligned} \quad (13)$$

因此, IC 的可靠性关键面积 A_{cr} 为

$$A_{cr} = A_{\text{chip}} \theta_r \quad (14)$$

将式(11)和式(14)代入式(7)便可得到 IC 可靠性和成品率的关系。

6 实验与分析

式(7)给出了集成电路芯片的可靠性和成品率之间的关系。从式(7)可以看出, 成品率和可靠性之间的关系不仅与 IC 的工艺过程(缺陷成团因子 α) 有关而且与电路运行过程中电迁移造成导线开路的导线临界宽度 d_{\min} 有关。该公式的有效性可以通过模拟实验来说明。

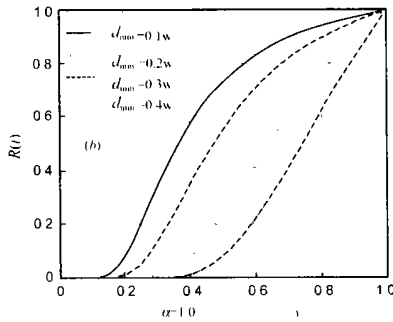
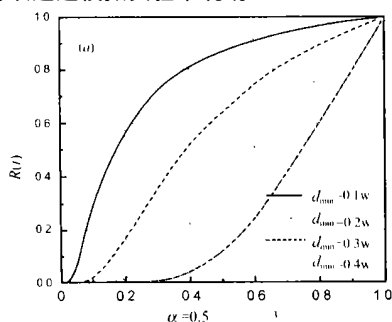


图 4 在不同的 α 下, 可靠度和成品率之间关系随临界宽度 d_{\min} 的变化情况

图 4 给出了在不同 α 的情况下, IC 的可靠度与成品率之间的关系随临界宽度 d_{\min} 变化的情况。从图 4 可以看出, 在同一个成品率水平下, 系统可靠性随 d_{\min} 的增加而下降。其原因是当 d_{\min} 增加的时候, 金属互连线的有效宽度变窄(参看图 2)。金属互连线有效宽度的减小增大了软故障出现的概率, 从而导致系统可靠性的下降。同样, 从图 4 中可以看出, 对于同一个临界宽度 d_{\min} , 随着成品率的提高系统的可靠性也在提

图 3 给出了在不同导线临界宽度 d_{\min} 的情况下, 成品率与可靠性之间的关系随缺陷成团因子 α 变化的情况。从图 3 中可以看出, 对于不同的 d_{\min} , 在同一个成品率水平下, 可靠性随着 α 的增加而下降。其原因是成团因子 α 的增加意味着缺陷在芯片上分布的成团程度越差, 缺陷成团程度

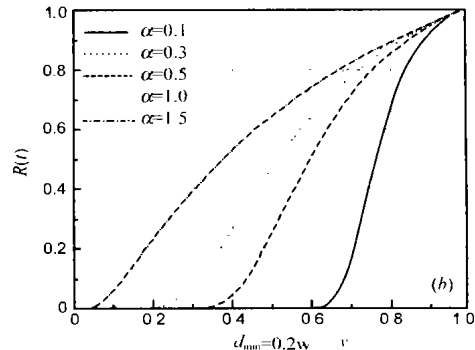
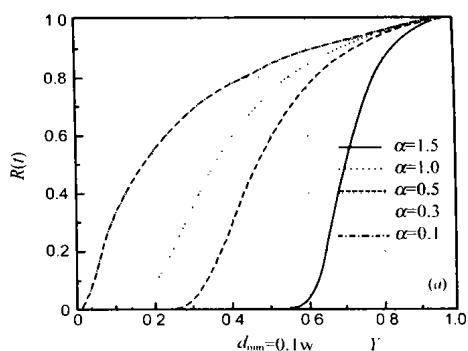


图 3 不同的临界宽度 d_{\min} 下成品率和可靠度关系随 α 变化的情况

的变差使得缺陷在芯片上的分布趋于均匀分布, 从而增加了软故障出现的可能性, 导致了 IC 运行可靠性的下降。从图 3 中还可以看出, 对于同一个 α , 可靠性 $R(t)$ 随成品率 Y 的增加而增加。这进一步说明高可靠性的产品来自于高成品率的生产线。同样也只有高成品率的生产线才能生产出高可靠性的产品。

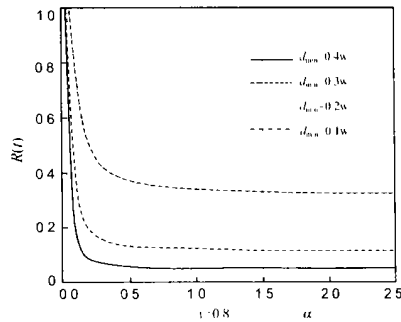


图 5 在给定成品率的情况下, 对不同的 d_{\min} 可靠度随 α 的变化情况

高。

图 5 给出了在给定成品率的水平下, 系统可靠性在不同的临界宽度 d_{\min} 下随成团因子 α 变化的情形。从图 5 可以看出, 在成品率水平给定的情况下, 对于同一个临界宽度 d_{\min} 系统的可靠性随成团因子 α 的增加在下降。其原因是 α 的增加意味着缺陷在芯片上的分布趋于均匀分布, 增加了软故障出现的概率, 导致了系统可靠性的下降。因此, 缺陷的成团因子

也是影响系统可靠性的重要因素之一。

7 结论

在集成电路制造业中,人们最为关注的是 IC 的制造成品率和电路的运行可靠性。大量研究表明,IC 的成品率和可靠性之间存在着相关性。为了刻划它们之间的这种关系,本文从缺陷造成互连线开路的机理出发,基于缺陷的关键面积模型分析了成品率和可靠性之间的关系,给出了它们之间的关系模型。模拟结果表明,IC 成品率与可靠性之间关系不仅与电路运行过程中导线条的临界宽度有关,而且与缺陷在芯片上分布的成团因子有关。从成品率与可靠性之间的关系很容易看出,在其它条件给定的情况下,高可靠性的产品来自于高成品率的生产线,同时也只有高成品率的生产线才能生产出高可靠性的产品。

参考文献:

- [1] L Peters. Yield is Everything [J]. International Semiconductor, 1998, 21 (14): 40-41.
- [2] 郝跃. 集成电路制造动力学理论与方法[M]. 北京: 北京教育出版社, 1995. 93-187.
- [3] W C Riordan. Microprocessor Reliability Performance as a Function of Die Location for 0.25um Five Layer Metal CMOS Logic Process [A]. 37TH IEEE International Reliability Physics Symposium Proceedings [C]. San Diego, CA, USA: 1999. 1-12.
- [4] Charles C Hong, Dweight L Crook. Breakdown Energy of Metal (BEM)- A New Technique for Monitoring Metallization Reliability at Waferlevel [A]. IEEE/IRPS (International Reliability Physics Symposium) [C]. Orlando, FL, 1985. 108-114.
- [5] Taeho Kim, Way Kuo. Modeling Manufacturing Yield and Reliability [J]. IEEE Transactions on Semiconductor Manufacturing, 1999, 12 (4): 485-492.
- [6] A V Ferris Prahhu. Defect Size Variations and Their Effect on the Critical Area of VLSI Devices [J]. IEEE J. Solid State Circuits, 1985, 20 (4): 874-878.
- [7] Eric Bruls. Quality and reliability impact of defect data analysis [J]. IEEE Transactions on Semiconductor Manufacturing, 1995, 8 (2): 121-129.

作者简介:



赵天绪 男, 1964 年 5 月出生于陕西宝鸡, 1986 年 7 月获宝鸡师范学院理学学士学位, 分别于 1992 年 1 月和 2000 年 3 月获西安电子科技大学理学硕士学位和工学博士学位, 主要研究方向为 IC 可制造性与统计最优化技术, IC 缺陷模型与故障识别以及 VLSI 容错设计等, 发表学术论文十余篇。



郝跃 男, 1958 年 3 月出生于重庆市, 分别于 1985 年和 1991 年获西安电子科技大学硕士学位和西安交通大学博士学位, 现为西安电子科技大学教授, 副校长, 博士生导师, IEEE 高级会员和中国电子学会高级会员, 主要研究领域为 IC 可制造性和可靠性理论与设计方法, 新器件和电路, IC 统计优化和模型等, 发表学术论文 90 余篇。