

# 利用 FPGA 和 DSP 结合实现雷达多目标实时检测

赵保军, 史彩成, 韩月秋, 毛二可

(北京理工大学电子工程系, 北京 100081)

**摘 要:** 在高速并行流水信号处理中, ASIC(FPGA) + DSP + RAM 是目前国际流行的一种方式, 尤其是 FPGA + DSP + RAM 更适合中国的国情. 本文利用 FPGA 的算术逻辑单元与外部存储器相结合, 解决了线路板面积有限与雷达数据处理需要大量存储空间的矛盾; 利用 FPGA 的并行流水特点解决了雷达数据的实时处理与有限的 DSP 处理速度之间的矛盾; 而 FPGA 处理结果的航迹相关、FPGA 运行模式的控制和与上位机之间的通信与数据交换等工作利用 DSP 完成, 从而达到系统的最佳配置. 目前系统已通过验收, 各项指标达到了设计的要求.

**关键词:** FPGA; 多目标自动检测; 并行流水

**中图分类号:** TN957.52

**文献标识码:** A

**文章编号:** 0372-2112 (2001) 08-1145-03

## Radar Multi-Target Real-Time Detection with FPGA and DSP

ZHAO Bao-jun, SHI Cai-cheng, HAN Yue-qi, MAO Er-ke

(Dept. of Electronic Engineering, Beijing Institute of Technology, Beijing 100081, China)

**Abstract:** ASIC(FPGA) + DSP + RAM is a popular model in high speed parallel pipeline signal processing. It is especially suitable for China. Based on the combination of FPGA's configurable logic blocks and external memory, the problem exist between limited PCB size and huge memory space is solved in radar data processing. On the other hand, the parallel pipeline functions of FPGA resolve the problem between mass radar data real-time processing and limited DSP speeds. The track correlation processing after using FPGA, FPGA's operation model control, data communication and exchange between DSP and host computer are all done by DSP. Therefore the optimal system structure is established. The system has been checked and accepted, and satisfies the requirement of the design.

**Key words:** FPGA; multi-target automatic detection; parallel pipeline

### 1 引言

我国现役对空情报雷达中, 老型号雷达较多, 大部分没有配备自动检测和录取设备, 只有少数雷达配有录取显示终端. 在这些为数不多的配有录取显示终端的雷达中, 大多数还是随机手显显示器, 极少数配备随机自动录取设备, 且数据录取量小, 约为 300 次/秒. 雷达目标的录取、数据的处理和上报大多由人工进行, 难以胜任多目标、复杂空情环境下快速、准确录取目标以及雷达情报入网的要求. 为适应现代化战争的要求, 增强国防能力, 采用 ASIC(FPGA) + DSP + RAM 的方式将极大提高现有雷达的自动录取和控制能力.

在高速信号处理技术中, ASIC(FPGA) + DSP + RAM 方式是目前国际上比较通用的方法, 如美国、俄罗斯、以色列和日本等国多采用这种方式<sup>[1]</sup>. ASIC 技术可以将系统的部分或全部功能集成在一块芯片上, 芯片内包含多个 ALU、RAM、ROM、状态控制器和输入、输出接口等功能模块<sup>[2]</sup>.

现场可编程逻辑器件(FPGA)具有现成的母片, 功能现场

编程. 是一种多用途、高密度的可重复编程逻辑门阵列. 与传统的逻辑门阵列相比, FPGA 和 EPLD 不仅具有设计方便、灵活和校验快等特点, 而且还具有设计可随意改变的特点. 使用 FPGA 和 EPLD 可编程器件设计产品, 可大大缩短研制时间. 如 FPGA 设计只需几天, 修改只用几分钟~几个小时, 而传统掩膜则十分麻烦. 由于 FPGA 便于调试, 应用非常灵活, 不涉及半导体加工, 它将在相当长一段时间内比较适合我国的国情<sup>[1,2]</sup>.

本文利用 FPGA 的并行流水特点实现雷达多目标自动检测功能, 包括多模式视频积累、平均单元恒虚警率、可变规则自适应滑窗检测、起始、终止判断与检测、时序控制和地址产生等工作. 为了节省 FPGA 的内部逻辑资源, 获得最大的性能价格比, 在 FPGA 外围配置了适当的 RAM, 用来存储数据. 利用 TMS320C50<sup>[3]</sup>的易编程性和灵活性, 完成航迹的处理、对 FPGA 的控制和数据交换、接收上位机的命令和向上位机输出目标数据等工作, 从而使整个系统达到最佳.

## 2 用 FPGA 技术实现 CFAR 处理的必要性

本系统的难点有两个方面,一为线路板尺寸有限与雷达数据处理需要大量存储空间的矛盾;另一方面雷达数据的实时处理与有限的 DSP 处理速度之间的矛盾.下面对雷达需要大量存储空间和雷达数据的实时处理时间进行分析.

为了实现 1 米的距离分辨率,按 1/2 米进行设计, A/D 采样频率宜取<sup>[4]</sup>

$$f_s = \frac{150 \times 2}{l} \text{MHz} \quad (1)$$

雷达的方位分辨率与天线扫描周期  $T_s$ 、雷达重复频率  $T_r$  和方位脉冲周期  $T_{dir}$  之间的关系为

$$= \max(T_{dir}, T_r) \times 360^\circ T_s \quad (2)$$

根据式(1),按 1/ $f_s$  的采样时间及脉冲积累的需要,取距离走廊的长度为 2048  $\times$  16Bit. 对应于方位  $i$  和发射脉冲  $T_{ij}$ ,需要采集的回波信号  $X(i)$  为

$$X(i) = [x(i, j)] \quad (3)$$

式中 2047  $j$  0. 设计算的脉冲积累数为  $M_c$ ,则需要存储的回波数据为

$$1/T_r \times M_c \times 2048 \times 16\text{Bit} = 16 \sim 32M \times 16\text{Bit}$$

对如此巨大的存储空间,对采用 SRAM 和 DSP 处理的系统在规定的有限大小的线路板上很难实现.为解决这个问题,考虑硬件实现的可行性,采用  $M$  次流水积累,这样进行积累所需的存储空间为

$$M \times 2048 \times 16\text{Bit} = 16 \sim 32k \times 16\text{Bit}$$

进行  $M$  次流水积累后,所得的信号  $Y(i, j)$  为

$$Y(i, j) = \frac{1}{M} [Y(i-1, j) + x(i, j) - x(i-M, j)] \quad (4)$$

采用单元平均恒虚警率(CFAR)法,阈值单元  $\bar{Z}(i, j)$  为

$$\bar{Z}(i, j) = \text{Max}\{z_1, z_2\} \quad (5)$$

其中,

$$z_1 = \frac{1}{8} \sum_{k=2}^9 Y(i, j+k) \quad (6)$$

$$z_2 = \frac{1}{8} \sum_{k=2}^9 Y(i, j-k) \quad (7)$$

式(6)和(7)分别为相隔一个单元的前、后八单元均值.

按上述处理的运算量,每个采样点需要做 3  $\times$  (2 次取操作 + 1 次存操作 + 1 次加操作 + 1 次减操作) + 取大操作 + 比

较操作,即在 100ns 时间约执行 20 条指令,每条指令的执行时间应小于 5ns,在加上其它处理如方位计算、目标大小计算、航迹相关处理、与上位机通讯等工作,则要求处理机速度更快.由于 TMS320C50 的最大处理能力为 50ns/指令,无法满足上述要求,必须采用 FPGA + RAM + DSP 模式进行并行流水处理.由于 FPGA 内有多个加法器、计数器、存储器等逻辑单元,只要在外配适当的 RAM,进行有效设计后即可满足上述运算要求;而航迹相关、通信与控制和其它计算功能用 DSP 来实现.从而使系统具有最小线路板面积,并达到实时处理要求.其硬件处理框图如图 1 所示.

## 3 CFAR 功能的 FPGA + RAM 实现

图 1 给出 CFAR 处理系统的原理框图.输入的视频信号进行隔直和匹配处理后,通过八位高速并行 ADC 转换进入 FPGA 模块.在 FPGA 模块中,首先将输入的八位数据(ADCA[7:0])进行取补处理变为 ADCE[7:0]. ADCE[7:0]又分二路传送,一路通过写控制信号(INVFS),在地址有效后半期控制 OBUF8 和双向管脚 IOPAD8 存入 32k 的延时 RAM(DELAYRAM)中;另一路通过 Z8DUBAL 将八位数变换为十六位数 ADCF[15:0].为了实现  $x_{i-M} = [x(i, j) - x(i-M, j)]$  的运算,将存入 DELAYRAM 中的  $x(i-M, j)$  在读控制信号(FS)控制下,在地址有效前半期由 ILD8 锁存及 Z8DUB 取反后,在 L8 中与 ADCF[15:0]( $x(i, j)$ )相加,得到差值 ACCB[15:0]以进行脉冲积累.

脉冲积累由加法器和并行高速存储器(ACCBRAM)和相应的控制电路实现.在读控制信号(FS)控制下,在地址有效前半期将相应单元的数据锁存,并与前级得到的差值 ACCB[15:0]信号相加;在写控制信号(INVFS)有效时,在地址后半有效期将累加数据写入 ACCBRAM 中;通过  $M$  次积累后,进入最大平均单元恒虚警检测部分.

通过最大平均单元恒虚警检测进行初步判断,一旦有目标信号出现即进行第二级判断.在第二级中,通过滑窗判断和宽度匹配,进一步排除干扰信号,使目标信号继续向下级传送.

最后一级进行目标的起始、中间和结束检测;计算目标的方位和大小;控制目标的方位、大小、距离和回波强度的录取,分别存入四个并行先进先出双口存储器(FIFO),为 DSP 系统提供录取数据.图 2 给出初始化阶段及加入目标数据时的系统工体积时序.

时钟脉冲、复位信号、清零信号、正北脉冲、方位脉冲和雷达重复周期等信号与相应的电路构成控制逻辑,控制 CFAR 系统的时序、工作、清零及地址产生器产生所需要的地址.

## 4 DSP 多目标实时处理与录取

目标处理和自动录取部分由处理器单元、数据录取、数据输出和命令接收等四部分组成,如图 3 所示.为了满足实时处理的要求,硬件的选取应以尽可能少的占用系统时间资源为基础.从这个基本原则出发,处理器单元采用 TMS320C50 作为主处理器;数据录取、输出和命令接收均采用并行双口 FIFO

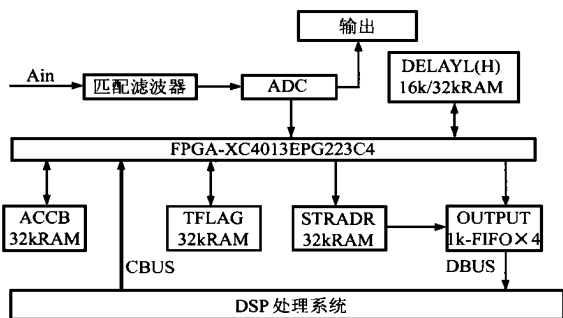


图 1 CFAR 处理系统框图

存储器.根据系统要求,应采用尽可能少的硬件,为了简化与 TMS320C50 的接口,目标的方位、大小、距离和回波强度存储在高速的先进先出存储器(FIFO)中.同时,TMS320C50 与航迹

处理系统的通讯也采用高速的 FIFO,这样在通讯时主处理器 TMS320C50 无需等待.

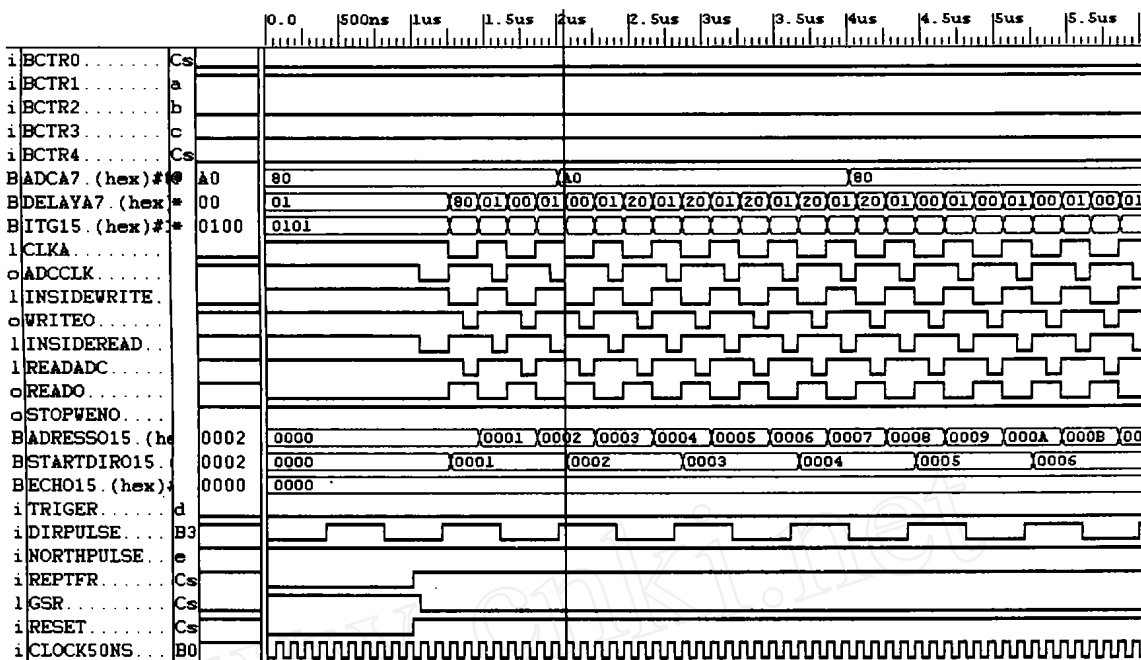


图 2 系统工作时序

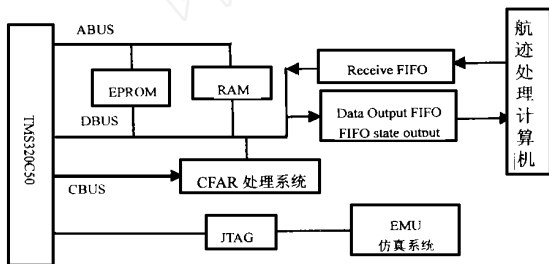


图 3 DSP 处理系统框图

## 5 结论

本系统采用 FPGA + DSP + RAM 模式实现雷达预处理数据的并行流水处理,极大地提高了处理速度,有效地解决了小线路板尺寸与大存储空间、雷达数据实时处理要求与有限的 DSP 处理速度之间的矛盾.从而使系统性能与价格比达到最佳状态,目前已通过验收,目标录取的能力高于原计划的 3000 次/秒,已达到实时处理的水平,远远高于以往用单片机 300 次/秒运算量的水平.

## 参考文献:

- [1] 赵保军.可适用于多种模式的雷达视频信号处理研究[R].北京理工大学博士后研究报告.1998.

- [2] 金革,等编译.可编程逻辑阵列 FPGA 和 EPLD [M]. 中国科学技术大学出版社.1996.
- [3] TMS320C5X User's Guide [Z]. Texas Instruments. 1993.
- [4] 丁鹭飞,耿富录.雷达原理(修订版) [M]. 西安:西安电子科技大学出版社.1995.

## 作者简介:



赵保军 男.1960 年生于陕西西安.副教授,1996 年获哈尔滨工业大学博士学位.1998 年从北京理工大学通信与信号处理博士后流动站出站后在该校工作.主要研究方向为图象处理、信号处理、神经网络与模糊控制、DSP 与 ASIC 设计.



史彩成 男.1965 年生于湖南湘潭.1998 博士生,主要研究方向为图象处理、DSP 与 ASIC 设计.