

一种新型低功耗异步比较器的设计方法

姜小波, 叶德盛

(华南理工大学电子与信息学院, 广东广州 510641)

摘 要: 本文利用输入数据的统计特性, 设计了两种低功耗异步比较器——异步行波比较器和提前终止异步比较器. 异步行波比较器从第一个不相等的数位开始停止运算, 但要把结果传到最低位, 消耗部分功耗. 提前终止异步比较器通过修改真值表, 基于新的比较单元电路和终止判断电路, 在第一个不相等的数位停止运算并立即输出比较结果, 节省不必要的功耗. 新设计的异步比较器和用于对比的同步比较器(BCL比较器和门控时钟比较器)均用SMIC 0.18 μ m工艺实现. 仿真结果表明, 提前终止异步比较器功耗最低, 与同步BCL比较器和门控时钟比较器相比, 在随机数据和来自LDPC解码器的数据下, 分别节省了87.1%、84.5%和37.5%、28.6%的功耗.

关键词: 低功耗; 数据统计特性; 比较器; LDPC(低密度奇偶检验)解码器

中图分类号: TN4

文献标识码: A

文章编号: 0372-2112(2012)08-1650-05

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2012.08.024

A New Design Methodology of Low Power Asynchronous Comparator

JIANG Xiao-bo, YE De-sheng

(School of Electronic and Information Engineering, South China University of Technology, Guangzhou, Guangdong 510641, China)

Abstract: Two types of low-power asynchronous comparators named asynchronous ripple comparator and pre-stop asynchronous comparator are proposed based on the statistical characteristic of input data in the paper. The asynchronous ripple comparator stops computing at the first unequal bit, but it has to deliver the result to the LSB. The pre-stop asynchronous comparator is proposed by revising the truth table based on the new 2-bit comparison unit and stop judgment circuit. It can stop comparing at the first unequal bit and obtain the result immediately. The proposed and contrastive comparators (BCL comparator and clock-gating comparator) are implemented with SMIC 0.18 μ m process. Simulation results show that the proposed pre-stop asynchronous comparator features the lowest power. It saves 87.1%, 84.5% and 37.5%, 28.6% power respectively compared to the synchronous BCL comparator and clock-gating comparator with random data and data from LDPC decoder.

Key words: low-power; statistical characteristics of input data; comparator; LDPC (low density parity check) decoder

1 引言

近年来, LDPC(低密度奇偶检验)码以其高并行度以及出色的纠错、检错能力得到了广泛使用^[1~4]. LDPC解码器的低功耗设计具有重要意义. 比较运算是LDPC解码器中的重要运算^[5,6], 例如, 文献[7]的LDPC解码器数据通路中, 比较器占了约30%的功耗. 设计低功耗的比较器是降低LDPC解码器功耗的一个重要手段.

比较器在数字系统中应用也非常广泛. 例如, 在内容寻址存储器(CAM)和图像处理芯片中, 都是最基本、最重要的运算单元. 低功耗比较器的设计具有重要意义, 吸引了不少研究^[8~12]. C-H Huang^[10]利用优先编码算法, 降低逻辑深度, 提高比较器的性能. 设计的64位

比较器与全NMOS比较器相比, 速度提高16%, 面积减小50%. S-W Cheng^[11]基于修改的补码原则提出低能耗高性能的比较器, 其传输延时短, 晶体管数量少. J-Y Kim等人^[12]根据提前编码算法, 设计逐位竞争逻辑(BCL)比较器. 相比于其它比较器, 它在传输延时、晶体管数量和面积上分别有16%、38%和30%的改善. 这些比较器着重于速度和面积的改善, 但它们对所有位都进行运算, 消耗不必要的功耗.

根据概率论, 两个随机数进行比较, 前三位能得到比较结果的概率高达0.875. 因此, 多数情况下, 比较器的低位不用运算. 本文利用输入数据的统计特性设计了异步行波比较器和提前终止异步比较器. 前者在第一个不相等的数位停止运算, 但必须把结果传到最低位输

出.后者则通过修改真值表,基于新的比较单元和终止判断电路,实现“提前终止”功能:在第一个不相等的数位停止运算,并立刻输出结果.

在 SMIC 0.18 μm 工艺下,实现了两个异步比较器和两个对比设计(同步 BCL 比较器和门控时钟比较器),并使用三种输入向量进行仿真.结果表明,提前终止异步比较器在功耗和延时上性能最优,虽然它额外引入终止判断电路,但总晶体管数仅比 BCL 比较器增加了 5%.

2 比较运算输入数据的统计特性分析

当两个随机数进行比较时,只需要从最高位到最低位逐位比较,若出现第一个不相等的数位,比较结果随即产生.低功耗比较器的运算应具有上述特点.但文献中,多数比较器没有利用该特点,而对所有位进行运算,因此消耗了功耗.

表 1 是两个随机 8 位数进行比较,在各个数位首次不相等的概率表.其中,“数位”从 1 到 8,表示首次产生不相等的数位的位置,最后一列是两数相等的情况.第二行是理论概率,第三行是由 500000 组随机数据实验得到的概率.根据表 1,前三位得出比较结果的理论和实验概率分别是 0.875 和 0.8827,而二者相等的概率只有 0.0039 和 0.0042.这表明,多数情况下,比较器的低位不需要进行运算.然而,传统比较器没有利用上述统计特性.

表 1 两个随机 8 位数进行比较,在各位首次产生不相等的数值的概率

数位	1	2	3	4	5	6	7	8	相等
理论概率	0.5	0.25	0.125	0.0625	0.0313	0.0156	0.0078	0.0039	0.0039
实验概率	0.4994	0.2577	0.1256	0.0596	0.0280	0.0156	0.0065	0.0034	0.0042

图 1 是 8 位同步比较器的结构图.每一位数据经过运算得到 GT、EQ 和 LT 三个结果,并传递到三个运算模块,计算得到最终的比较结果.这种比较器所有位都要运算.也有些比较器能在前几位得到结果,但低位仍要运算,如 BCL 比较器^[12],它采用优先编码算法,所有数位需进行编码运算,因此也不能降低功耗.现在主流的实现低功耗的方法是利用门控时钟,但它使用大量寄存器,时钟网络分布复杂,消耗了大量的功耗.

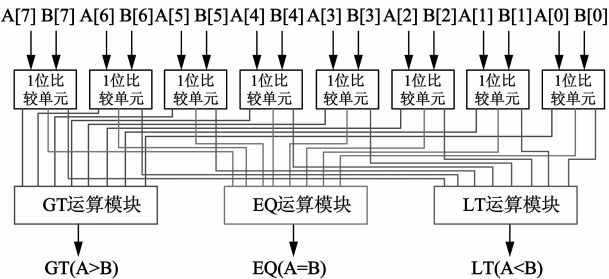


图1 8位的同步比较器电路框图

3 异步比较器的设计

3.1 异步比较器的设计哲学

低功耗的比较器应该是这样工作的:从最高位到最低位逐位比较,只要在某个数位不相等,低位立刻停止计算.图 2 是普通比较器和异步比较器的对比.输入 A 和 B 的前两位相等,第三位不相等.普通比较器所有位都运算,而异步比较器只有前 3 位运算,因此节省功耗.随着位宽增加,异步比较器的功耗优势会更明显.

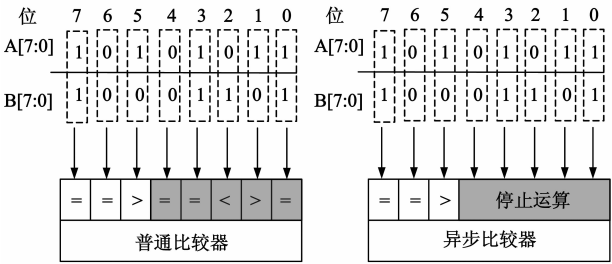


图2 普通比较器与异步比较器的运算对比图

3.2 异步行波比较器的设计

根据真值表,首先设计异步行波比较(ARC)单元.表 2 是异步行波比较器的真值表.GTin、LTin 和 EQin 分别表示大于、小于和相等输入信号,它们同时控制当前位是否进行比较运算.若 EQin = 1,表示两数高位相等,当前位需要运算;否则当前位不需要运算.GTtout、LTtout 和 EQout 是大于、小于以及相等输出信号.只要出现了不相等的数位,那么 EQout = 0,所有低位停止运算.

表 2 异步行波比较器的真值表

GTin	LTin	EQin	A	B	GTout	LTout	EQout
0	0	1	0	0	0	0	1
0	0	1	0	1	0	1	0
0	0	1	1	0	1	0	0
0	0	1	1	1	0	0	1
1	0	0	×	×	1	0	0
0	1	0	×	×	0	1	0

图 3 是 2 位 ARC 单元的电路图.采用 2 位单元代替 1 位单元是为了节省面积和功耗^[13].电路使用动态逻辑,在输出端加一个弱反馈反相器解决电荷分享的问题.PRE 信号控制电路的工作状态.对于 GTout 和 LTout 端,各有 3 条支路,其中一条只有一个 GTin(或 LTin)的 NMOS 管,实现比较结果的传递.另外两条支路共同实现比较运算.该 ARC 单元是依靠 EQin 来实现低功耗特性,EQin = 0 时,NMOS 管截止,相关的支路停止运算.

图 4 所示的 8 位异步行波比较器是由 4 个 2 位 ARC 单元级联和一个三输入或门构成.高位的 GTout、LTout 和 EQout 分别与低位的 GTin、LTin 和 EQin 相连.通过三输入或门产生 DONE 信号,表示运算的完成.只要某一位的两数不相等,则该 ARC 单元的 EQout = 0,后面

的 ARC 单元均不进行比较运算,而仅仅把结果传到输出端,并产生 DONE 信号。

与传统比较器相比,异步行波比较器能节省功耗,因为它利用了输入数据的统计特性,减少了多余的运算.然而,它也有自身的缺点,比较结果需要从最高位传递到最低位.随着位宽增加,功耗会增加,且运算时间也会增加。

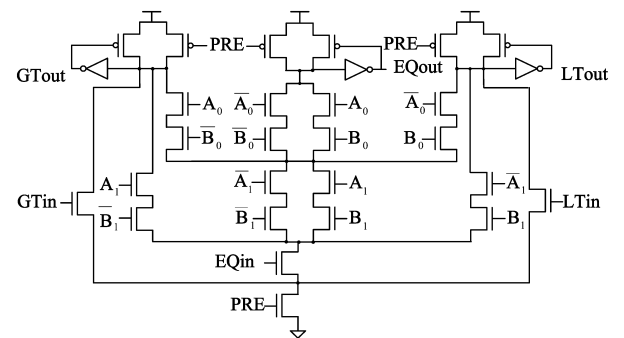


图3 2位异步行波比较 (ARC) 单元

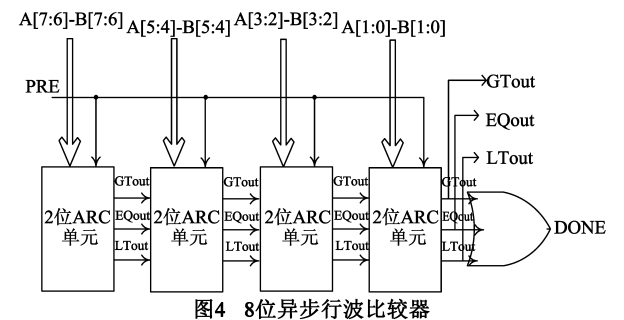


图4 8位异步行波比较器

3.3 提前终止异步比较器

为了克服异步行波比较器的缺点,修改真值表,重新设计比较单元,并增加终止判断电路,设计了另外一种异步比较器——提前终止异步比较器.它不仅能提前停止运算,而且能立刻产生比较结果,进一步降低功耗.图5是两种设计的对比。

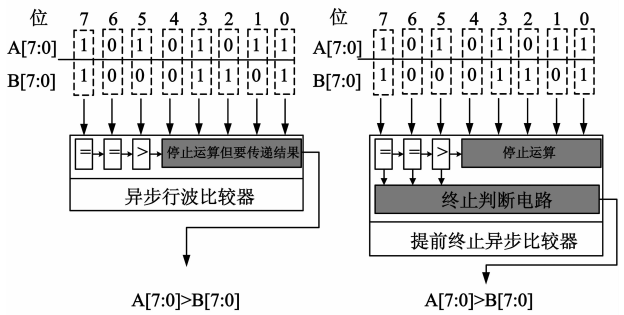


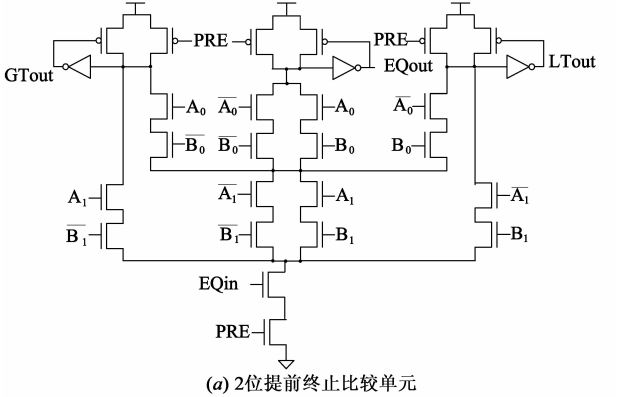
图5 异步行波比较器与提前终止异步比较器的对比

修改的真值表如表3所示.它删除了 GTin 和 LTin, 只利用 EQin 作为当前位的输入信号.当 EQin = 0 时, 三个输出端均为 0, 表示低位将停止计算, 以此实现“提前终止”功能。

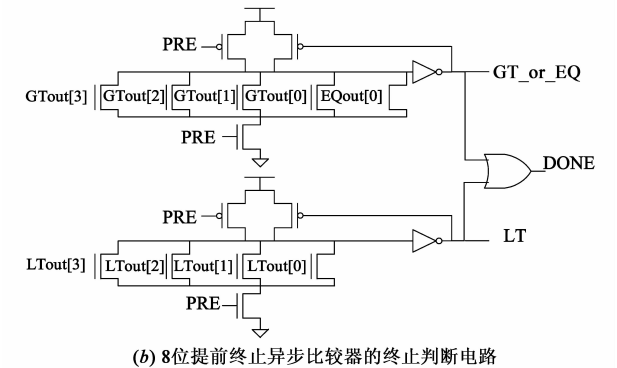
表 3 提前终止异步比较器的真值表

EQin	A	B	GTout	LTout	EQout
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	0	0	1
0	×	×	0	0	0

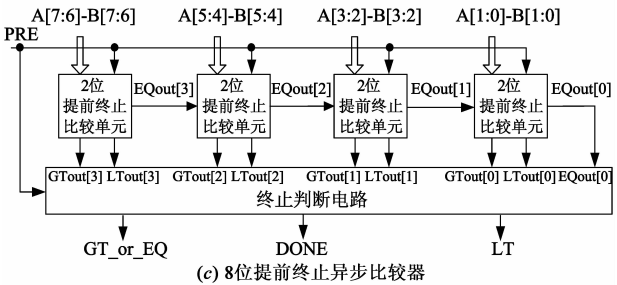
提前终止异步比较器包括数据比较单元和终止判断电路.图6(a)是2位的提前终止比较单元.相比于 ARC 单元,它减少了 GTin 和 LTin 支路.若 EQin = 0, 该 NMOS 管截止, 整个电路不工作, 三个输出端均为 0. 图6(b)是终止判断电路.一方面, 它接收比较单元产生的信号, 实现比较结果的输出, 其中, GT_or_EQ 表示 $A \geq B$; LT 表示 $A < B$. 另一方面, 用或门产生完成 DONE 信号. 8 位提前终止异步比较器如图6(c)所示. 它由 4 个 2 位提前终止比较单元级联, 加上终止判断电路构成. GTout、LTout 及最低位的 EQout 分别连到终止判断电路,



(a) 2位提前终止比较单元



(b) 8位提前终止异步比较器的终止判断电路



(c) 8位提前终止异步比较器
图6

每个提前终止比较单元的 EQout 信号作为下一位的控制信号.只要出现首个不相等的数位,后面的比较单元停止运算,同时,运算结果和 DONE 信号通过终止判断电路产生得到.

4 仿真结果与分析

本文用 SMIC 0.18 μ m 工艺实现四个 8 位的比较器.其中两个是本文的异步比较器,另外两个是作为对比的同步 BCL 比较器^[12]和门控时钟比较器^[14].其中,BCL 比较器是目前在速度和面积上最优的比较器,门控时钟则是低功耗设计的通用方法.BCL 比较器和两个异步比较器均在 Cadence 的 Virtuoso 下定制设计并生成网表;门控时钟比较器则用 Design Compiler 结合门控技术进行综合.使用 Synopsys 的 Nanosim 对四个比较器进行仿真,并测量功耗和延时.仿真采用三种测试向量,分别是随机数据,来自 LDPC 解码器的数据以及根据第一个不相等数位的位置进行分类的数据.在比较器的输出端接上 10fF 的电容以模拟输出负载条件.工作温度

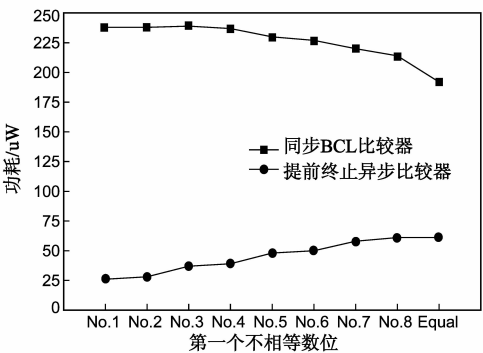
是 25℃,采用 500000 组测试数据,100MHz 的输入频率.

表 4 是四种比较器的结果对比.结果表明,提前终止异步比较器在平均功耗、平均延时和功耗-延时积上性能最优,晶体管数量中等.与 BCL 比较器和门控时钟比较器相比,在随机数据和来自 LDPC 解码器的数据下,功耗分别降低了 87.1%、37.5% 以及 84.5%、28.6%.虽然终止判断电路引入了额外的晶体管,但整个比较器的晶体管数量仅仅比 BCL 比较器增加了 5%.相比于异步行波比较器,增加了 52.2%的晶体管,却节省了 34.8%的功耗.对于低功耗应用来说,以面积换取功耗是值得的,并且是有意义的.

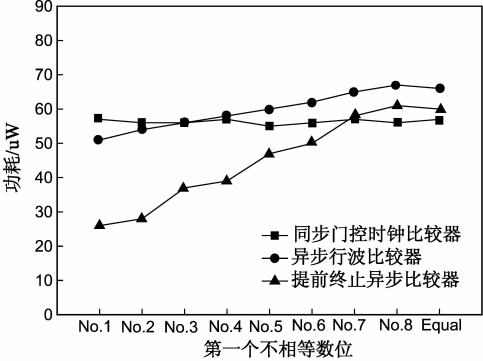
表中同步 BCL 比较器的延时很小,因为它是基于 PE 算法设计的高速比较器.但它的功耗很大,因为需要对每一位进行预编码.而对于门控时钟比较器,它采用门控技术来减少开关活动性,功耗较小,但它速度慢,且使用过多寄存器导致晶体管数量和面积很大.异步行波比较器的功耗低,不足之处在于它需要传递比较结果,延时和功耗都大于提前终止异步比较器.

表 4 四种比较器的仿真结果对比

	晶体管数量	随机数据			来自 LDPC 解码器的数据		
		功耗(μ W)	延时(ns)	功耗-延时积	功耗(μ W)	延时(ns)	功耗-延时积
同步 BCL 比较器 ^[12]	197	233	0.67	156.11	226	0.75	169.5
门控时钟比较器 ^[14]	304	48	0.82	39.36	49	0.82	40.18
异步行波比较器	136	46	0.72	33.12	42	0.81	34.02
提前终止异步比较器	207	30	0.38	11.4	35	0.75	26.25



(a) 同步BCL比较器与提前终止异步比较器的功耗



(b) 门控时钟比较器、异步行波比较器和提前终止异步比较器的功耗

图7 分类数据的仿真结果

更进一步,结合输入数据的统计特性,对随机数据按照第一个不相等数位的位置进行分类.数据分成 9 组,其中的 Equal 表示两数相等.图 7(a)中 BCL 比较器的功耗很大,功耗曲线逐渐下降.这是因为 BCL 比较器所有位参与运算,当相等的数位增加,晶体管开关活动性降低,功耗减小.而异步比较器的曲线逐渐上升,因为随着相等的数位增加,参与运算的电路增加,导致功耗增加.图 7(b)是门控时钟比较器、异步行波比较器和提前终止异步比较器的功耗曲线.其中,提前终止异步比较器的平均功耗最低.在前 6 种情况下,功耗最小;直到第 7 位,功耗超过门控时钟比较器,这符合输入数据的统计特性,因为参与运算的电路增加,且终止判断电路也消耗功耗.

需要注意的是,虽然提前终止异步比较器的平均延时较小,但它的最差延时是在两个输入相等的情况下得到.此时,延时会迅速增加,也就是说,比较器的速度会变慢.

5 总结

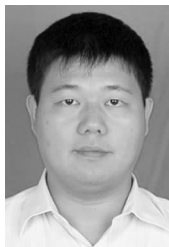
文章首次利用输入数据的统计特性设计比较器,给出了低功耗比较器设计的新方法,减少了冗余运算,

分别设计了低功耗的异步行波比较器和提前终止异步比较器. 异步行波比较器从第一个不相等数位开始停止计算, 但要传递比较结果. 通过修改真值表, 重新设计比较单元, 增加终止判断电路, 提出了提前终止异步比较器. 它在终止比较运算的同时得到比较结果, 节省了功耗. 两种异步比较器与对比的 BCL 比较器和门控时钟比较器在 SMIC 0.18 μm 工艺下实现, 在随机数据和来自 LDPC 解码器中的数据下, 分别节省了 87.1%、84.5% 和 37.5%、28.6% 的功耗. 同时, 提出的比较器随着不相同比特位置向高位的移动, 功耗不断降低.

参考文献

- [1] Feng Wang, Dario Fertonani. Symbol-level synchronization and LDPC code design for insertion/deletion channels [J]. IEEE Transactions on Communications, 2011, 59(5): 1287 – 1297.
- [2] M Sakib, T Huang. Low-density parity-check coding in ultra-wideband-over-fiber systems [J]. IEEE Photonics Technology Letters, 2011, 23(20): 1493 – 1495.
- [3] 雷维嘉, 谢显中. 一种基于 LDPC 编码的协作通信方式 [J]. 电子学报, 2007, 35(4): 712 – 715.
LEI Wei-jia, XIE Xian-zhong. A cooperative communication method based on LDPC code [J]. Acta Electronica Sinica, 2007, 35(4): 712 – 715. (in Chinese)
- [4] 姜小波, 聂正华. 用于 CMMB 的低运算复杂度 LDPC 解码算法 [J]. 电子学报, 2010, 38(7): 1612 – 1615.
JIANG Xiao-bo, NIE Zheng-hua. Low computational complexity algorithms of LDPC decoder for CMMB [J]. Acta Electronica Sinica, 2010, 38(7): 1612 – 1615. (in Chinese)
- [5] Fan Yong-jie. Full custom design of comparators for LDPC decoder [A]. 2009 IEEE Region 10 Conference [C]. Singapore: 2009. 1 – 4.
- [6] Jui-Hui Hung. A systematic optimized comparison algorithm for LDPC decoder [A]. 10th International Conference on Advanced Communication Technology [C]. Gangwon-Do: 2008. 1513 – 1516.
- [7] Xiaobo Jiang. Multi-rate LDPC decoder implementation for CMMB [A]. 2010 International Symposium on Intelligent Signal Processing and Communication Systems [C]. Xi'an: 2010. 1 – 4.
- [8] 吴训威, 卢仰坚. 基于冗余抑制技术的低功耗组合电路设计 [J]. 电子学报, 2002, 30(5): 672 – 675.
WU Xun wei, LU Yang jian. Design of low power combinational circuits based on redundancy-restraining technique [J]. Acta Electronica Sinica, 2002, 30(5): 672 – 675. (in Chinese)
- [9] 叶姝, 韩曙. 开关级数字比较器设计研究 [J]. 电子学报, 1998, 26(5): 116 – 118.
Ye Shu, Han Shu. Design of magnitude comparator in switch-level [J]. Acta Electronica Sinica, 1998, 26(5): 116 – 118. (in Chinese)
- [10] Chung-Hsun Huang. High performance and power efficient CMOS comparators [J]. Solid-State Circuits, 2003, 38(2): 254 – 262.
- [11] Shun-Wen Cheng. A high-speed magnitude comparator with small transistor count [J]. Electronics, Circuits and Systems, 2003, 3: 1168 – 1171.
- [12] Joo-Young Kim, Hoi-Jun Yoo. Bitwise competition logic for compact digital comparator [A]. The 2007 IEEE Solid-State Circuits Conference [C]. Jeju, 2007. 59 – 62, 12 – 14.
- [13] Johnson D, Akella V. Design and analysis of asynchronous adders [J]. Computers and Digital Techniques, IEE Proceedings, 1998, 145(1): 1 – 8.
- [14] Sung-Mo Kang, Yusuf Leblebici. CMOS Digital Integrated Circuits Analysis & Design [M]. Third Edition, Boston: McGraw-Hill, 2003. Chapter 11.

作者简介



姜小波 男, 1972 年 11 月生于浙江江山. 分别于 1994 年和 1997 年在浙江大学获得学士和硕士学位. 2004 年从中科院微电子所获得博士学位. 目前在华南理工大学电子信息学院担任副教授. 主要研究方向为差错控制编码设计、低功耗集成电路设计、通信基带芯片设计.
E-mail: xbjiang@gmail.com



叶德盛 男, 1988 年 1 月生于广东广州. 2010 年毕业于中山大学理工学院微电子学专业. 2010 年起进入华南理工大学电子与信息学院, 就读研究生. 主要从事异步 LDPC 解码器的设计等方向的研究.
E-mail: ydsbanban@163.com