

硅纳米晶粒基 MOSFET 存储器的荷电特征研究

施 毅,袁晓利,吴 军,杨红官,顾书林,韩 平,郑有

(南京大学物理系和固体微结构国家重点实验室,南京 210093)

摘 要: 本文研究了硅纳米晶粒 MOSFET 存储器的荷电特征. 器件阈值电压偏移达 1.8V 以上,并随着沟道宽度的变窄而增加,而与沟道长度基本无关. 同时,阈值涨落也随宽度的变窄而增大. 在 20~300K 测量温度范围内,器件阈值偏移和电荷的存储特性几乎不随温度变化,说明荷电过程主要由直接隧穿决定. 进一步,在最窄沟道器件中观察到单电荷的荷电过程.

关键词: 硅纳米晶粒; 存储器; MOSFET

中图分类号: TN386.1

文献标识码: A

文章编号: 0372-2112 (2001) 02-0145-03

Charging Characteristics of MOSFET Memory Based on Si Nanocrystals

SHI Yi, YUAN Xiao-li, WU Jun, YANG Hong-guan, GU Shu-lin, HAN Ping, ZHENG You-dou

(Department of Physics & National Laboratory of Solid State Microstructures Nanjing University, Nanjing 210093, China)

Abstract: The charging characteristics of the MOSFET memory based on Si nanocrystals with various channel dimensions are investigated in the temperature range of 20 - 300 K. Large threshold voltage shifts up to 1.8V are obtained, being obviously dependent on the channel width, and independent of the channel length. It is experimentally found that the threshold voltage shift and charge retention characteristics are almost independent of temperature. Single electron/ hole charge/ discharge processes are observed in the device with the narrowest channel.

Key words: silicon nanocrystal; memory; MOSFET

1 引言

在室温下工作的硅纳米晶粒基 MOSFET 存储器具有高密度、低功耗、快写/擦速度、与现有的集成电路相兼容等优点,在未来的超大集成电路中有着非常重要的应用前景,并被认为是将首先得到应用的纳米量子功能器件,因而近年来对其的研究进展非常迅速^[1,2]. 在这种存储器结构中,镶嵌在二氧化硅中的硅纳米晶粒作为浮栅置于源漏沟道和控制栅之间,直接隧穿的电荷注入硅纳米晶粒而导致器件阈值的改变. 显然,由于硅纳米晶粒的三维量子限制效应和库仑电荷效应等,作为存储器基本性能的荷电特征将不同于常规器件^[3~5]. 本文将报道所研制的硅纳米晶粒浮栅窄沟道 MOSFET 存储器的荷电特征,其结构示意图如图 1 所示. 我们在 20~300K 温度范围内对不同特征尺寸的器件进行了电学测量,揭示了漏电流-栅压 (I_d-V_g)、阈值电压偏移 (V_{th})、存储时间特性与温度的关系,并在最窄沟道的器件中观察到单电荷的荷电过程.

2 实验

在器件制备工艺上,首先利用改进的各向异性化学腐蚀和电子束光刻法在 SOI (silicon-on-insulator substrate) 上生成具有三角形横截面的源-漏沟道^[6]. 图 2(a) 是形成的窄沟道剖

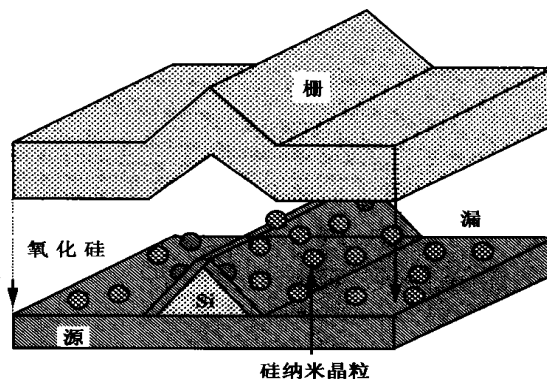


图1 硅纳米晶粒浮栅窄沟道 MOSFET 存储器结构示意图

面的扫描电子显微镜 (SEM) 观察照片. 这里, 测量用器件沟道的宽度为 ~ 0.03 和 $0.09\mu\text{m}$ 两种, 长度分别为 0.1 、 0.2 、 0.5 和 $1\mu\text{m}$. 在 850°C 氧化炉中, 通过干氧热氧化获得约 3nm 的直接隧穿二氧化硅层. 接着, 采用低压化学气相淀积 (LP-CVD) 的系统中通过自组织生长原理, 在直接隧穿二氧化硅层上形成硅纳米晶粒. 生长温度为 582°C , 气源为 20% 硅烷. 图 2(b) 是二氧化硅上硅纳米晶粒的 SEM 观察照片. 估计其平均尺寸约 8nm , 密度 $2\sim 4\times 10^{12}\text{cm}^{-2}$. 随接在同一生长系统内再淀积一

收稿日期: 2000-01-14; 修回日期: 2000-04-16

基金项目: 国家自然科学基金 (No. 69706004); 江苏省自然科学基金 (No. BK9049)

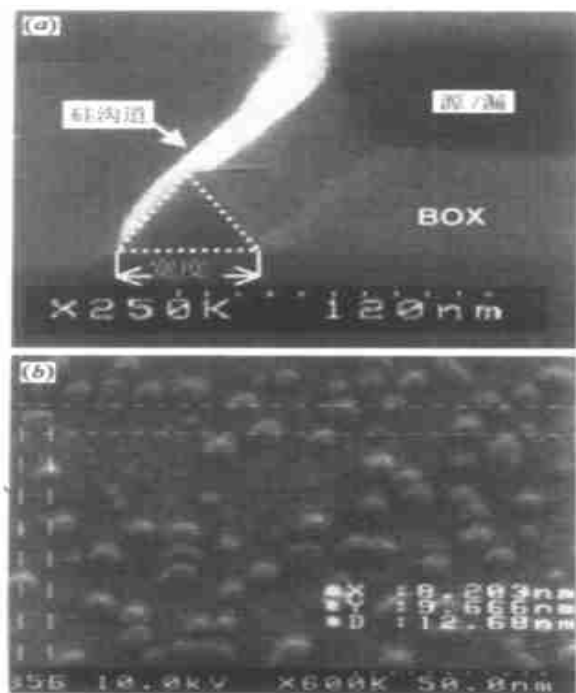


图2 (a) 沟道剖面的 SEM 观察照片; (b) 二氧化硅上硅纳米晶粒的 SEM 观察照片

层厚约 25nm 的二氧化硅作为栅极绝缘层. 从生长系统取出来以前, 样品被加温到 850℃ 以上并通入低压氧气进行退火, 以获得高质量的硅纳米晶粒和二氧化硅层. 样品的栅、源和漏部分的制备与常规的 MOS 过程相同. 作为对比, 我们还制备了未淀积硅纳米晶粒的 MOSFET 样品. 在器件电学特征研究中, 采用 HP4156A 精密半导体参数分析仪在 20~300K 温度范围内, 对各种不同尺寸的窄沟道的硅纳米晶基 MOSFET 存储器进行了测量.

3 结果与讨论

图 3 所示的是室温下不同尺寸沟道的存储器的典型的漏电流与栅压关系 (I_d-V_g) 迟滞曲线. 由图可见, 器件具有良好的导通电流 ($\sim \mu A$) 和截止电流 ($\sim pA$) 和 S 参数 ($\sim 70mV/decade$), 并有较大的阈值电压偏移 V_{th} . 由于采用直接隧穿二氧化硅层, 电荷能在较小的电场下被注入硅纳米晶粒, 这样可降低进行写/擦操作的工作电压. 这里, 实现写/擦操作的电场强度为 $\sim 2MV/cm$. 另一方面, 在对未淀积的硅纳米晶粒的 MOSFET 器件测量中, 即使在更高的扫描电压下也没有出现阈值电压的偏移. 这表明注入的电荷存储于硅纳米晶粒之中.

器件阈值电压偏移量 V_{th} 与沟道宽度、长度关系的测量结果如图 4 所示. 可清楚看到, V_{th} 明显依赖于沟道的宽度, 而几乎独立于沟道的长度. 当沟道宽度为 $0.09\mu m$, 器件平均阈值偏移 V_{th} 为 $\sim 0.83V$, 当沟道宽度减少至 $0.03\mu m$ 时, V_{th} 增大至 $1.8V$. 同时可以看到随着沟道宽度的减少, V_{th} 的涨落也在增加. 这些实验现象可以用电势和渗流理论来解释^[7]. 因此在实际应用中, 为了能够有效地降低随机涨落, 必需考虑沟道上有一定数量的硅纳米晶粒和一定的沟道宽度. 另一方面,

沟道长度的变化并不能明显改变硅纳米晶粒浮栅电势的分布, 因而 V_{th} 几乎与沟道长度无关.

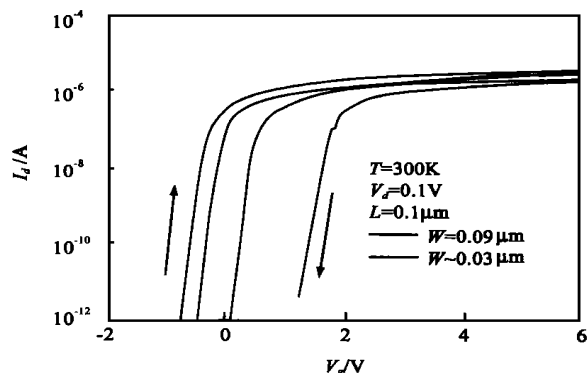


图3 不同尺寸沟道存储器的 I_d-V_g 迟滞曲线

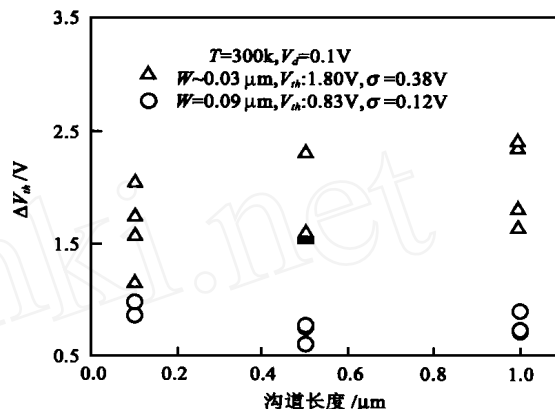


图4 阈值电压偏移 V_{th} 与沟道宽度、长度的关系

进一步, 在 20~300K 温度范围内对器件进行了变温测量. 图 5 为不同测量温度下器件的 I_d-V_g 曲线. 这里所测器件的沟道宽度与长度分别为 0.03 和 $0.2\mu m$. 尽管 I_d-V_g 曲线随着温度而变化, S 参数从 300K 的 $70mV/decade$ 变为 20K 的 $20mV/decade$, 但阈值偏移 V_{th} 几乎与温度无关. 另外, 在低温下漏电流 I_d 出现跳跃突变. 作进一步仔细研究, 特别在等时间测量中 100K 下观察到平均台阶高度为 $6mV$ (如图 6 所示), 这与在德拜屏蔽长度以内的小尺寸中的单个电子/空穴荷电过程所引起的阈值偏移量大致相同. 这种现象仅出现在沟道宽度小于 $0.03\mu m$ 的器件中, 而在沟道宽度为 $0.09\mu m$ 的器件中未观察到. 图 7 为图 5 所示器件在不同温度下的阈值电压随时间变化特性. 非常显著的特点是存储特征同样几乎与测量温度无关, 即使测量温度下降到 20K.

在器件操作过程中, 写/擦脉冲电压的作用使电子/空穴直接隧穿注入硅纳米晶粒. 然后随着时间的推移, 电子/空穴逐渐从硅纳米晶粒返回硅衬底, 阈值偏移逐渐变小. 对目前的器件写/擦操作后 10^5s , 阈值偏移逐渐减小至 $\sim 0.5V$, 可以估计此时平均一个硅纳米晶粒中大约有一个电子/空穴继续保存着. 由于三维量子限制效应和库仑荷电效应, 每向硅纳米晶粒中增加一个电子/空穴都需增加库仑荷电能 (与已经存在于硅纳米晶粒中的电子/空穴数目成正比), 故而注入到纳米晶

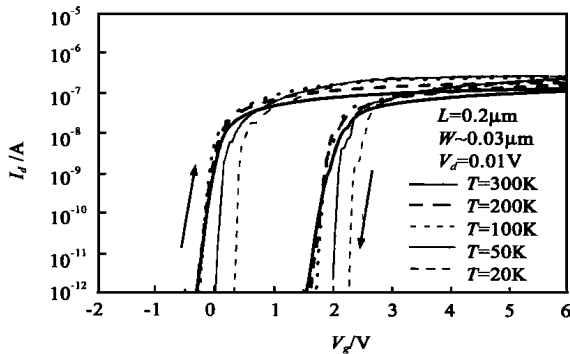
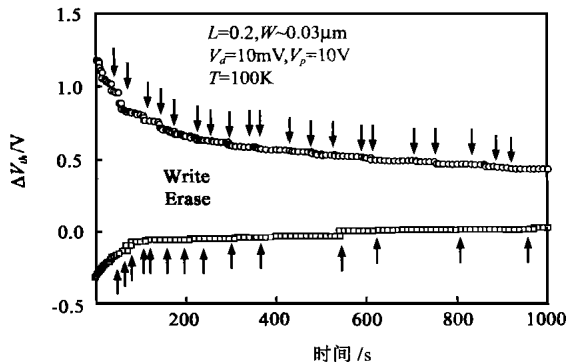
图 5 不同测量温度下器件的 $I_d - V_g$ 曲线

图 6 100 K 下测量的单电荷过程对阈值电压的影响

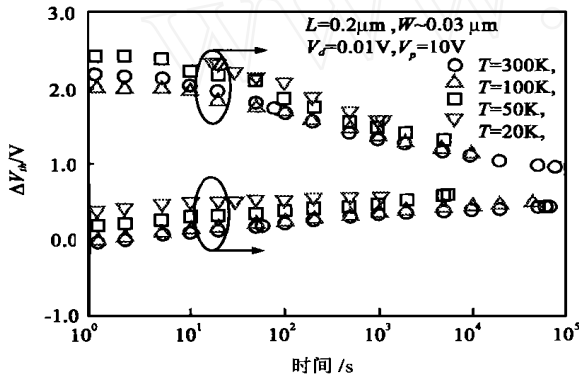


图 7 不同测量温度下器件阈值电压随时间的变化

粒中的电荷的势能高于衬底中能带,从而导致注入的电荷容易通过薄的二氧化硅层返回衬底。为了解释观察到的长时间存储行为,我们已经提出了在长时间存储模式下的电荷存储模型,即注入的电荷主要存储于硅纳米晶粒的深能级陷阱之中,而不是硅纳米晶粒的导带之上^[5]。嵌埋于二氧化硅中的硅纳米晶粒表面粗糙,有着很大的体表比,因此在硅纳米晶粒与二氧化硅界面处存在大量的界面陷阱,从而导致界面陷阱和缺陷的影响作用变得更加明显^[3]。长时间存储模式下的电荷存储行为主要由存储电荷从深能级陷阱直接隧穿到 SiO_2/Si 衬底界面态决定。图 5 和图 7 所显示的器件的写/擦和存储特征在很大的温度范围内基本保持不变,这有力地证明了写/擦和电荷失去过程都主要由直接隧穿决定。

4 结论

本文报道了硅纳米晶粒基浮栅结构 MOSFET 存储器的荷电特征。对于不同尺寸沟道的器件在 20 ~ 300 K 温度范围内进行了电学测量,观察到的阈值电压偏移随着沟道的宽度变窄而增大,且与沟道的长度无关;阈值电压偏移和电荷的存储特性几乎与温度无关,证明了电荷的注入和失去过程都主要由直接隧穿决定。接着,在沟道宽度 0.03 μm 的器件中观察到了单电荷过程。

致谢:本文部分工作是在日本东京大学生产技术研究所完成的,在此特别对 T. Hiramoto 教授、H. Ishikuro 和 T. Saryaa 博士等深表感谢。

参考文献:

- [1] H.-S. P. Wong, D. J. Frank, P. M. Solomon, C. H. J. Wann, and J. J. Welser. Nanoscale CMOS [J]. Proc. IEEE, 1999, 87(4): 537 - 570.
- [2] K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, T. Hashimoto, T. Kobayashi, T. Kure, and K. Seki. Single-electron memory for gigabit storage [J]. Proc. IEEE, 1999, 87(4): 633 - 651.
- [3] S. Tiwari, F. Rana, K. Chan, L. Shi and H. Hanafi. Single charge and confinement effects in nanocrystal memories [J]. Appl. Phys. Lett., 1996, 69(9): 1332 - 1334.
- [4] J. J. Welser S. Tiwari, S. Rishton, K. Y. Lee and Y. Lee. Room temperature operation of a quantum-dot flash memory [J]. IEEE Electron Device Lett., 1997, 18(6): 278 - 280.
- [5] Y. Shi, K. Saito, H. Ishikuro and T. Hiramoto. Effects of traps on charge storage characteristics in MOS memory structures based on silicon nanocrystals [J]. Appl. Phys., 1998, 84(4): 2358 - 2360.
- [6] H. Ishikuro, T. Fuji, T. Saraya, G. Hashiguchi, T. Hiramoto and T. Ikoma. Coulomb blockade oscillations at room temperature in a Si quantum wire MOSFET fabricated by anisotropic etching on a SOI substrate [J]. Appl. Phys. Lett., 1996, 68(25): 3585 - 3587.
- [7] T. Ishii, K. Yano, T. Sano, T. Mine, F. Murai, T. Kure and K. Seki. A 3-D single-electron memory cell structure with $2F^2$ per bit [A]. IEEE International Electron Device Meeting, 1997: 924 - 926.
- [8] R. B. Keyes. The effect of randomness in the distribution of impurity atoms on FET thresholds [J]. Appl. Phys., 1975, 8(1): 252 - 259.

作者简介:

施 毅 1962 年出生, 1989 年获南京大学博士学位。现任南京大学物理系教授、博士生导师。从事微电子与固体电子学领域的研究工作, 主要为半导体纳米结构物理、材料和器件的研究, 已发表论文 100 多篇。

袁晓利 1970 年出生, 1997 年进入南京大学物理系微电子与固体电子学专业攻读博士学位。主要研究领域为硅纳米结构物理及器件。