

超深亚微米 P^+ 栅 PMOSFET 中 NBTI 效应及其机理研究

郝 跃, 韩晓亮, 刘红侠

(西安电子科技大学微电子研究所, 陕西西安 710071)

摘 要: 本文深入研究了 P^+ 栅 PMOSFET 中的 NBTI 效应, 首先通过实验分析了 NBTI 应力后器件特性及典型参数的退化, 基于这些实验结果提出了一种可能的 NBTI 效应发生机制: 即由水分子参与的 $Si-SiO_2$ 界面处的电化学反应. 最后从工艺的角度给出了减小和抑制 NBTI 效应的方法.

关键词: NBTI 效应; PMOSFET; 界面态; 正氧化层固定电荷

中图分类号: TN306, TN386. 1 **文献标识码:** A **文章编号:** 0372-2112 (2003) 12A-2063-03

The Study on NBTI Mechanism and Its Effect on P^+ Gate PMOSFET

HAO Yue, HAN Xiao-liang, LIU Hong-xia

(Microelectronics Inst. of Xidian University, Xian, Shaanxi 710071, China)

Abstract: The influence of negative bias temperature instability (NBTI) on P^+ polygate PMOSFET's was analyzed. The pre and post-stress degradation of device characteristics and key parameter was obtained from the NBTI stress experiments. Based on this experimental result, the electrochemical reaction which water act as a reactant is the main cause of NBTI mechanism. Lastly, some methods was brought up to suppress NBTI effects.

Key words: NBTI effects; PMOSFET; interface trap; fixed oxide positive charge

1 引言

NBTI 效应发生在高温和负栅压偏置应力下的 PMOSFET 中, 在器件的老化及工作过程中都有可能遇到这样的条件, 它导致了器件漏电流 I_{Dsat} 的绝对值和跨导 g_m 的减少, 关态电流 I_{off} 和阈值电压 V_{th} 的增加. 其主要原因是在 NBTI 应力的作用下在器件 $Si-SiO_2$ 界面处界面态及氧化层正固定电荷增加. NBTI 退化可能增加时序电路中信号延迟从而导致时序漂移, 在模拟电路特别是在一些参数匹配的应用中, 电路工作条件会对匹配的晶体管施加非对称的偏置应力导致明显的参数失配. 随着器件尺寸及栅氧厚度的不断缩小, 以及一些新工艺诸如氮化栅氧等的采用, NBTI 效应对器件可靠性的影响比 HC 效应更为严重^[1], 研究表明在 $0.18\mu m$ 工艺技术后 NBTI 效应将最终限制器件的寿命.

尽管针对 NBTI 效应已经进行了相当的研究, 但是对其退化过程及退化机理仍然没有非常清楚的认识. 本文深入研究了 NBTI 效应对 P^+ 栅 PMOSFET 特性及典型参数的影响, 在此基础上对 NBTI 退化过程进行分析并且就 NBTI 的发生机理提出一种可能的机制, 最后从工艺的角度给出了抑制和减小 NBTI 效应的方法.

2 NBTI 效应对 P^+ 栅 PMOSFET 特性及参数退化的影响

本研究采用的样品是 TSMC 加工的硅栅 $0.25\mu m$ PMOSFET 器件, 多晶硅栅采用 P^+ 注入, 器件沟道长度 $L = 0.25\mu m$, 栅氧厚度 T_{ox} 为 $5nm$, 栅氧采用氮化处理. 在测试中首先在室温下测量器件的初始特性, 然后对器件施加 NBTI 应力, NBTI 应力的设置为器件源极、漏极以及衬底电极接地, 在栅极加负电压, 同时采用高温加热台对器件加热至设定温度并保持恒定. 在指定的间隔时间去负栅应力并将器件冷却至室温进行测量. 典型的 NBTI 应力配置如图 1 所示.

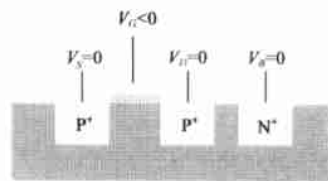


图 1 NBTI 应力配置图

图 2 中给出了栅长 $L = 0.25\mu m$ 的器件 V_{th} 随着应力时间 t 的漂移情况, $T = 200^\circ C$, $V_g = -3V$, 从图中可以看出, V_{th} 与应力时间的关系可以近似为指数关系, 可以表示为如下的关系式即 $V_{th} = Ct^n$, C 为常数, 指数 n 大约为 0.25 , V_{th} 的退化是由于在 NBTI 应力的作用下在 $Si-SiO_2$ 界面处界面态和氧化层

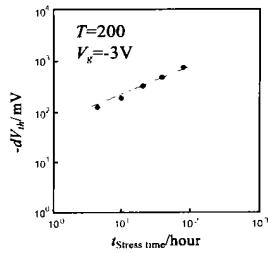


图2 随着应力时间阈值电压 V_{th} 的变化

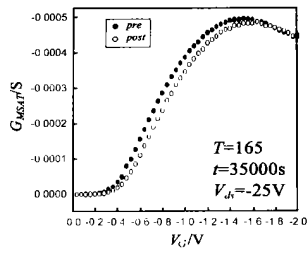


图3 应力前后饱和区跨导 g_m 的变化

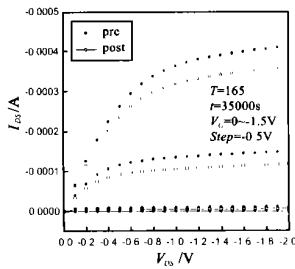


图4 应力前后 I_d - V_d 特性曲线的变化

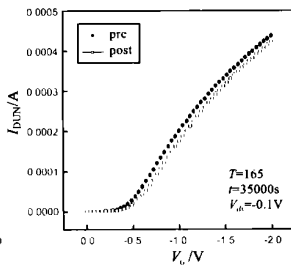


图5 应力前后 I_d - V_g 特性曲线的变化

正固定电荷的增加所引起的,而这二者不仅是造成 V_{th} 和其他参数变化的主要因素,随着时间的不断累积器件退化加剧最终导致器件失效。图3、4、5中所使用的测试器件是栅长 $L = 0.25\mu\text{m}$ 的 PMOSFET,对其施加 NBTI 应力, $T = 165^\circ\text{C}$, 应力时间 $t = 35000\text{s}$, 图3给出了在应力前后的器件饱和区跨导 g_m 的变化情况,从中可以看出器件饱和区跨导 g_m 明显减小。图4和图5中分别给出了在应力前后 I_d - V_d 特性以及 I_d - V_g 特性的变化情况,从中可以看出在应力作用后,器件漏电流明显减小。在 CMOS 电路中, NBTI 效应通常发生在反相器工作在“高”态中的 PMOSFET 中。PMOSFET 发生 I_{Dsat} 退化导致了明显的时序问题。如果数字信号在不同的时间到达,信号处理会发生错误并最终导致器件的失效。随着 V_T 的退化,栅过驱动 ($V_G - V_T$) 的减少,也导致了电流的减少和环形振荡器频率的退化和随机存储器噪声边缘的减小。修改设计可以改善一些问题,但是这是以增加电路复杂性和性能退化为代价的。MOSFET 的阈值电压 V_{th} 、饱和漏电流 I_D 和跨导 g_m 简单表示形式如下:

$$V_{th} = V_{ms} - Q_f / C_{ox} - Q_{it} / C_{ox} - 2 \sqrt{F} \sqrt{Q_B} / C_{ox} \quad (1)$$

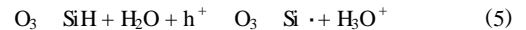
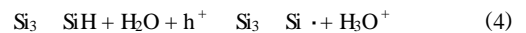
$$I_D = (W/2L) u_{eff} C_{ox} (V_G - V_T)^2 \quad (2)$$

$$g_m = (W/2L) u_{eff} C_{ox} (V_G - V_T) \quad (3)$$

从以上公式中可以看出阈值电压 V_{th} 的变化是由于界面态密度 Q_{it} 和氧化层固定电荷密度 Q_f 的变化所引发,即在 NBTI 效应中在反型的 PMOSFET 中形成了正电性的界面陷阱和氧化层正固定电荷,它们的增加导致了阈值电压 V_{th} 向负方向漂移。导致饱和漏电流和跨导退化的两个参数是阈值电压和迁移率的变化。而迁移率的变化主要来源于界面陷阱,界面陷阱的产生导致了增加的表面散射,从而降低了迁移率进而导致漏电流 I_D 以及 g_m 的减小。

3 P^+ 栅 PMOSFET 中 NBTI 效应发生的可能机制

从以上 NBTI 对 PMOSFET 特性及参数的影响可以看出, NBTI 效应的直接产物是导致 Si-SiO₂ 界面处界面态和氧化层固定电荷的增加,这是由于在界面处的某种反应机制所造成的。而从图2中可以得到阈值电压 V_{th} 的漂移与应力时间呈现出指数值为 0.25 的指数关系,有报道表明这种指数关系表明整个机制是由扩散反应所控制的^[2]。基于 $n = 0.25$ 的反应指数关系,我们的研究认为 NBTI 效应可能是由以下在 PMOSFET 的 Si-SiO₂ 界面处的电化学反应机制造成,首先在高温应力和负栅压应力的作用下,反应物包括界面缺陷 Si₃ SiH 和氧化层缺陷 O₃ Si-H 和未知物质 X 以及热空穴 h⁺, 较弱的 Si-H 键在热空穴 h⁺ 和反应物 X 的作用发生断裂,虽然关于反应物 X 究竟是什么物质有许多不同的看法^[3],但是我们认为反应物 X 是由于在工艺中引入的水分子,也就是说水分子对 Si-H 键的轰击使其断裂,分裂出的 H 离子与水分子结合形成 H₃O⁺, 并且在界面处留下下界面态 Si₃ Si⁻ 和氧化层缺陷 O₃ Si⁻。整个反应的过程可以表示为方程(4)和(5):



在 NBTI 应力的作用下,正氢离子从三价硅氢键 SiH 中释放出来, Si₃ Si⁻ 为在 Si-SiO₂ 界面处形成的界面态。H₃O⁺ 离子从界面扩散到体二氧化硅中而其中一些被俘获,从而形成了氧化层正电荷。整个反应受到 H₃O⁺ 离子由界面处向体二氧化硅内的扩散速率而限制,而最终界面态和氧化层电荷的总量是由可提供的 SiH 键的数目所限定的。图6中给出水参与的界面电化学反应的模型示意图。在图6(a)中反应物 H₂O 靠近界面缺陷并被电场将它引导至反应位置,在图6(b)中质子在水分子的作用下被从 SiH 中卸载下来并且和水分子结合来形成 H₃O⁺, 最后,在图6(c)中,一部分正电性的 H₃O⁺ 向体二氧化硅中扩散并且被陷阱所俘获形成氧化层正电荷。

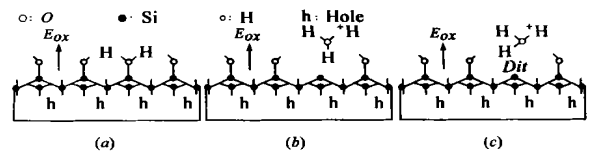


图6 水分子参与的界面反应模型图

4 减小和抑制 NBTI 效应的方法

从 NBTI 效应的反应机制中可以看出,引起 NBTI 效应最主要的因素是在界面处 SiH 键的数量以及反应物水的作用。首先必须减小器件中初始的界面和氧化层缺陷。氢在氧化层中的分布不均匀,在 SiO₂/Si 界面处会有大量的积累。目前许多的文献表明氢被认为是硅悬挂键主要的成键物质,硅氢键结合能较小易于断裂,当硅氢键断裂后形成界面陷阱^[4]。而硅氘键则比硅氢键结合的要强烈。因此为了减小 NBTI 效应在一些工艺可以采用氘而不是采用氢。氘是比氢重的氢的同位素, SiD 键结合更为紧密具有更强的抗热载流子效应和抗 NBTI 效

应能力.通过热退火可以在 Si/SiO_2 界面处引入氘,但是氘必须钝化未被钝化的界面陷阱以及在 SiH 键中取代已经存在的氢.从以上分析也可以看出正是由于水的参与影响了 NBTI 效应的发生, SiH 键在水分子的轰击下分解从而形成界面态和氧化层正电荷,因此有必要减少器件中水的作用.从工艺的角度来看水通常出现在芯片的接触孔和通孔形成过程中,当芯片被刻蚀和清洗时,通过毛细作用将水进入到小孔中^[5].所以关键的问题是如何将水从孔中取出来,如在 200 °C 下在 N_2 中对器件烘烤 > 24h 可以减少水的存在,还有的方法就是在器件的关键部位淀积 SiN 薄膜,从而对水的进入到起到阻挡作用^[6].水和湿气通常沿界面前进,这可能使得水成为 NBTI 漂移的关键因素.因此必须小心的减小水在工艺中的存在.

5 结论

在器件沟道长度和氧化层厚度不断缩小,尤其是采用低电压供电的情况下,NBTI 效应逐渐成为影响超深亚微米器件可靠性的关键因素.NBTI 效应是由在高温和负栅压应力下形成界面态和氧化层正固定电荷所造成,它会器件参数发生漂移,从而影响其可靠性.研究表明 NBTI 效应的发生机理是由于有水分子参与的在界面处发生的电化学反应.因此,在集成电路的工艺中采用氘退火和减小工艺中水的影响可以有效减小和抑制 NBTI 效应的发生.

参考文献:

- [1] N Kimizuka, T Yamamoto. The impact of bias temperature instability for direct-tunneling ultra-thin gate oxide on MOSFET scaling [A]. Technology Papers of 1999 Symposium on VLSI Technology Digest [C]. 1999. 73 - 74.
- [2] Toyoji Yamamoto, et al. Bias temperature instability in scaled p^+ polysilicon Gate p-MOSFET's [J]. IEEE Transactions on Electron

Devices, MAY 1999, 46(5): 921 - 925.

- [3] C E Blat, et al. Mechanism of Negative bias temperature instability [J]. Journal of Applied Physics. February, 1991, 69(3): 1712 - 1720.
- [4] J F Zhang, et al. Hydrogen induced positive charge generation in gate oxide [J]. Journal of Applied Physics. August 15, 2001, 90(4): 1911 - 1919.
- [5] Dieter K. Schroder, et al. Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing [J]. Journal of Applied Physics. July 1, 2003, 94(1): 1 - 17.
- [6] Kazuhiro Sasada, Mamoru Arimoto. The influence of SiN Films on Negative bias temperature instability and characteristics in MOSFETs [A]. Proc. IEEE 1998 Int. Conference on Microelectronic Test Structures [C]. March, 1998. 11. 207 - 210.

作者简介:



郝 跃 男, 1958 年生于重庆, 教授, 博士生导师, 主要从事宽禁带半导体材料、器件与电路, SOC 设计方法, 以及 VDSM 小尺寸器件与电路可靠性理论与技术研究.



韩晓亮 男, 1976 年 1 月生于陕西洛川, 西安电子科技大学在读博士生, 主要研究方向为超深亚微米 CMOS 器件的可靠性.