

# 一种用模拟 LSI 实现的新型概率解码器的研究

杨曙辉, 仇玉林

(中国科学院微电子中心, 北京 100029)

摘 要: 本文利用工作在亚阈值模式的 MOS 管特性, 设计了一种低功耗的模拟电流型乘法器, 并以此乘法器为核心, 设计了一组利用电流进行概率计算的模拟单元电路. 根据这些单元电路, 基于最大后验概率算法(MAP), 实现了(5, 2, 3) 格码软判决译码的概率解码器. 在解码器的输入部分设计了新型的具有流水线结构的串行输入接口. 用标准的 0.6 $\mu$ m CMOS 工艺对解码器进行了性能模拟验证.

关键词: 模拟乘法器; 最大后验概率算法; 软判决译码; 格码; 概率解码器

中图分类号: TN919.3<sup>+</sup>1 文献标识码: A 文章编号: 0372-2112(2004)022023-05

## Study on a Novel Probability Decoder Implemented by Analog LSI

YANG Shu2hui, QIU Yu2lin

(Microelectronics Center of CAS, Beijing 100029, China)

Abstract: Using the subthreshold MOS transistors, a low power current mode multiplier is given in the paper. By adopting the multiplier as the kernel circuit, some modules used to compute the probability are designed. On the bases of these modules and the MAP algorithm, a soft decision probability decoder of the (5, 2, 3) trellis code is implemented, and a novel pipelining serial input interface for the decoder is proposed. To verify the performance, the decoder is simulated with the model of standard 0.6 $\mu$ m CMOS process.

Key words: analog multiplier; maximum a posteriori probability(MAP) algorithm; soft decision decoding; trellis code; probability decoder

### 1 引言

在数字通信系统中, 为了克服信道干扰, 一般都采用纠错码编解码器. 纠错码的解码从数学角度看有代数解码和概率解码两种方式. 从电路实现形式上看一般都采用数字电路. 数字电路与代数解码相对应, 对于概率解码如果用数字电路实现起来非常复杂.

考虑用模拟电路实现纠错码的解码, 其数学基础是概率解码算法. 在数字电路广为应用的今天, 研究用模拟电路进行纠错码的解码, 主要是基于以下几个方面的因素: 一是随着通信速率的提高, 用数字电路实现的纠错码解码器越来越不能满足速度的要求, 需要研究充分利用模拟电路高速的优势; 二是由于通信中特别是移动通信中要求低功耗, 需要通过新型的电路设计方法减少电路功耗; 三是代数解码理论适用于数字电路实现, 但对于需要用概率解码技术的解码器, 如果用数字电路来实现, 花费的代价比较大. 事实上, 实现高速的维特比解码器要比具有相同速率的 BCH 码解码器大相当多的芯片面积. 这种情况在 Turbo 码和低密度校验码的解码中更加突出, 在解码过程中既需要概率计算, 又含有迭代过程(相同的计算重复多次), 全部采用数字电路实现很繁琐<sup>[1~4]</sup>. 因此

需要考虑用模拟电路实现概率解码, 但关键是基于合适的算法和设计相应的模拟单元电路. 最大后验概率算法和与之相关的和积算法适用于用模拟电路实现, 基于这种算法设计的模拟解码器从电路形式看只是一个异步的电子网络, 不含有迭代过程, 软判决译码速度快, 功耗低.

本文利用 MOS 管的亚阈值特性设计了一种结构简单的模拟电流乘法器电路, 并在此基础上设计一组模拟单元电路. 基于最大后验概率算法, 利用这些单元电路以及相应的输入、输出电路实现了对(5, 2, 3) 格码进行软判决译码的模拟概率解码器.

### 2 模拟电流型乘法器及模拟概率门电路

模拟乘法器电路一般分为两种, 电压型和电流型. 与传统的电压型电路相比, 电流型电路具有面积小、速度快、可在低电压下工作以及与数字 CMOS 集成电路工艺完全兼容的优点. 一般情况下的 CMOS 功耗很低, 工作电流在微安数量级, 但当栅源电压低于阈值电压, 处于亚阈值状态时, 工作电流会减小到微安以下, 这时 MOS 管的漏极电流与栅源控制电压将具有类似于双极型晶体管的指数关系. 利用这种指数关系, 参考文献[5~10], 本文设计了如图 1 所示的亚阈值模拟电流乘

法器电路.

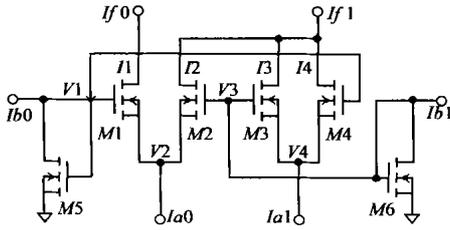


图 1 亚阈值模拟电流型乘法器

图 1 中,  $M_1 - M_6$  是工作在亚阈值状态的 NMOS 管, 漏极电流和栅源电压之间具有指数关系<sup>[12, 13]</sup>:

$$I_D = I_{D0} \left( \frac{W}{L} \right) e^{-\frac{V_{DS}}{V_{th}}} \left[ 1 - e^{-\frac{V_{GS} - V_T}{nV_{th}}} \right] \quad (1)$$

式中  $V_T$  是阈值电压,  $V_{th} = kT/q$ ,  $I_{D0}$  和常数  $n$  是工艺参数, 其典型值分别为  $I_{D0} \approx 20nA$ ,  $n \approx 11.5$ . 在式 (1) 中, 当  $V_{DS} > 3V_{th}$  时,  $e^{-\frac{V_{DS}}{V_{th}}}$  项可以忽略. 如果再使  $V_{DS} = 0$ , 则式 (1) 可简化为:

$$I_D = I_{D0} \left( \frac{W}{L} \right) e^{\frac{V_{GS} - V_T}{nV_{th}}} \quad (2)$$

设  $M_1$  与  $M_2$ ,  $M_3$  与  $M_4$ ,  $M_5$  与  $M_6$  具有相同的工艺参数和宽长比, 根据式 (2) 和图 1 可知:

$$\frac{I_1}{I_{a0}} = \frac{I_1}{I_1 + I_2} = \frac{e^{\frac{(V_1 - V_2) - V_{T1}}{nV_{th}}}}{e^{\frac{(V_1 - V_2) - V_{T1}}{nV_{th}}} + e^{\frac{(V_3 - V_2) - V_{T2}}{nV_{th}}}} = \frac{e^{\frac{V_1 - V_{T1}}{nV_{th}}}}{e^{\frac{V_1 - V_{T1}}{nV_{th}}} + e^{\frac{V_3 - V_{T2}}{nV_{th}}}} = \frac{I_{b0}}{I_{t0} + I_{b1}} \quad (3)$$

即: 
$$I_1 = \frac{I_{a0} I_{b0}}{I_{t0} + I_{b1}} \quad (4)$$

同理可求出  $I_2, I_3$  和  $I_4$ .

可得:

$$I_{f1} = I_2 + I_3 + I_4 = \frac{I_{a0} I_{b1}}{I_{t0} + I_{b1}} + \frac{I_{a1} I_{b1}}{I_{b0} + I_{b1}} + \frac{I_{a1} I_{b0}}{I_{t0} + I_{b1}} \quad (5)$$

把上式的两边都除以  $I_{f0} + I_{f1} = I_{a0} + I_{a1}$ , 得到:

$$\frac{I_{f1}}{I_{f0} + I_{f1}} = \left( \frac{I_{a0}}{I_{a0} + I_{a1}} \right) \left( \frac{I_{b1}}{I_{t0} + I_{b1}} \right) + \left( \frac{I_{a1}}{I_{a0} + I_{a1}} \right) \left( \frac{I_{b1}}{I_{b0} + I_{b1}} \right) + \left( \frac{I_{a1}}{I_{a0} + I_{a1}} \right) \left( \frac{I_{b0}}{I_{t0} + I_{b1}} \right) \quad (6)$$

设:  $I_f = I_{f0} + I_{f1}$ ,  $I_a = I_{a0} + I_{a1}$ ,  $I_b = I_{t0} + I_{b1}$  则  $I_f = I_a$ , 代入式 (6):

$$\frac{I_{f1}}{I_f} = \left( \frac{I_{a0}}{I_a} \right) \left( \frac{I_{b1}}{I_b} \right) + \left( \frac{I_{a1}}{I_a} \right) \left( \frac{I_{b1}}{I_b} \right) + \left( \frac{I_{a1}}{I_a} \right) \left( \frac{I_{b0}}{I_b} \right) \quad (7)$$

根据概率论的知识, 可设:  $p(f=0) = I_{f0}/I_f$  (表示  $f=0$  的概率),  $p(a=0) = I_{a0}/I_a$ ,  $p(b=0) = I_{b0}/I_b$ ,  $p(a=1) = I_{a1}/I_a$ ,  $p(b=1) = I_{b1}/I_b$  代入式 (7) 可得:

$$p(f=1) = p(a=0)p(b=1) + p(a=1)p(b=1) + p(a=1)p(b=0) \quad (8)$$

同理可得:

$$p(f=0) = p(a=0)p(b=0) \quad (9)$$

分析式 (8) (9) 与数字电路里的逻辑或门 ( $f = a + b$ ) 的结果形式相似, 可称为概率或门. 但二者之间有本质的区别, 数

字或门的输入输出是 0 或 1 的逻辑值, 而这里的概率或门的输入输出是以电流形式表现的概率值 (小于 1 的非负实数). 为了便于模拟电路之间的级联, 在输入输出部分设计了威尔逊电流镜, 与简单的两管电流镜相比, 不仅提高了电流复制精度, 而且增强了电路的抗干扰能力. 完整的电路结构如图 2 所示.

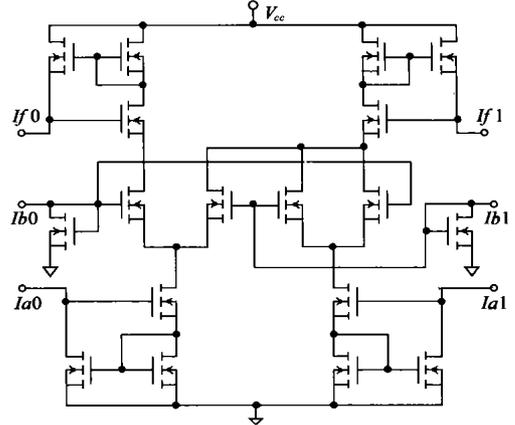


图 2 模拟概率或门电路

利用以上的单元电路模块及其变形结构形成的模拟概率门电路可用于信道解码器中的最大后验概率算法 (MAP) 的概率计算, 实现软判决译码. 软判决译码是与硬判决译码相对应的, 在加性高斯白噪声 (AWGN) 信道中, 高信噪比时, 软判决译码能提供近 3 个 dB 的软判决增益<sup>[14]</sup>. 硬判决译码一般是在代数解码器中实现的, 代数解码器首先要将接收的解调信号 (代表 0, 1 值的实际波形信号, 也称为软比特信号), 通过判决电路, 判决出是 0 或 1, 以电压形式输出, 称为硬比特信号, 再通过各种数字逻辑电路进行解码. 缺点是判决时仅利用采样点进行判决, 存在误差, 译码速度相对比较慢, 功耗比较大, 且对于需要迭代译码时, 用数字电路不易实现.

软判决译码一般的方法是对解调信号经过采样、量化再通过数字电路进行计算, 电路实现复杂. 而本文设计的软判决译码器不需要量化及用复杂的数字电路进行计算, 而是利用模拟电路, 通过电流的乘加关系实现概率译码的计算. 即直接利用接收到的软比特信号通过概率门进行概率计算实现译码, 译码完成后, 再利用判决电路, 判决出硬比特信号, 提供给后级的数字电路. 由于在进行软判决译码时, 全部采用的是模拟电路, 因而计算时类似于滤波网络电路, 速度快, 功耗低, 对于迭代计算容易实现, 且抗干扰能力不比相应的数字电路差.

概率门电路可形成固定的模块, 在设计译码电路时可像利用逻辑门设计数字电路一样方便, 克服了模拟电路设计烦琐的弊端.

### 3 (5, 2, 3) 格码概率解码器

对于 (5, 2, 3) 格码, 编码长度为 5, 含有 2 位信息比特, 最小汉明距为 3. 共有四种码字:  $[0, 0, 0, 0, 0]$ ,  $[0, 0, 1, 1, 1]$ ,  $[1, 1, 0, 1, 1]$ ,  $[1, 1, 1, 0, 0]$ , 第一和第三比特是信息比特. 对于二进制对称信道, 接收到的信道输出为  $R = (r_1, r_2, r_3, r_4, r_5)$ ,

引入缩写  $v_i(x) = p(r_i | c_i = x)$ ,  $i = 1, 2, \dots, 5$ , 则由最大后验概率算法可知, 码字  $C = (c_1, c_2, c_3, c_4, c_5)$  的后验概率可如下表示<sup>[15]</sup>:

$$p(C | R) = A v_1(c_1) v_2(c_2) v_3(c_3) v_4(c_4) v_5(c_5) \quad (10)$$

根据式(10), 采用 CMOS 器件设计的概率解码器结构如图 3 所示. 解码器主要由三部分电路组成: 输入接口电路, 模拟解码电路, 输出接口电路. 解码器的工作时序图如图 4 所示.

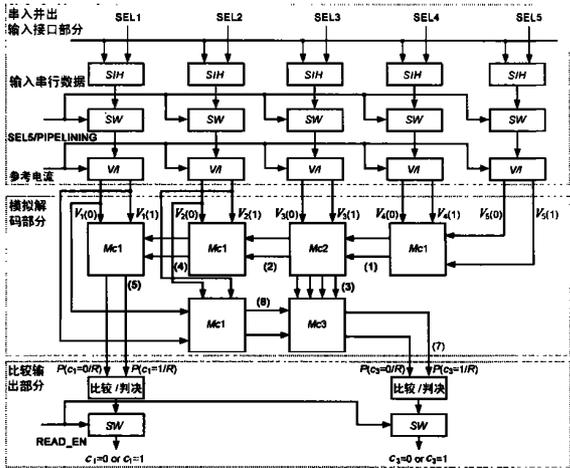


图 3 概率解码器的结构

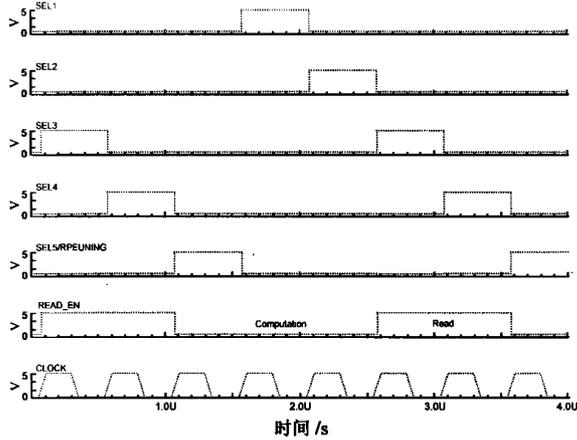


图 4 概率解码的时序

输入接口电路设计为具有二级流水线结构的串/并转换电路. 主要包括一系列的采样/保持电路(S/H), 模拟开关(SW), 电压/电流转换电路(V/I). S/H 单元的输入包括解调出来的未经过硬判决电路的/软比特0信号和选通信号. 第一级流水中的 SEL2SEL5 对应于 5 个输入信号, 在第一级流水信号结束时输入的信号都保存在取样/保持电路中, 当第二级流水线信号(PIPELINING)使能时, 所有的输入信号都输入后级的模拟计算电路. 传统的数字电路的输入部分要采用模/数转换(ADC)电路, 设计复杂, 所占芯片面积大、功耗大, 且具有数字噪声. 本设计不含 ADC 电路, 接口电路功耗低, 克服了数字电路输入的缺点.

模拟解码部分主要由模块单元 MC2MC3 组成, 电路如图 5~ 图 7 所示.

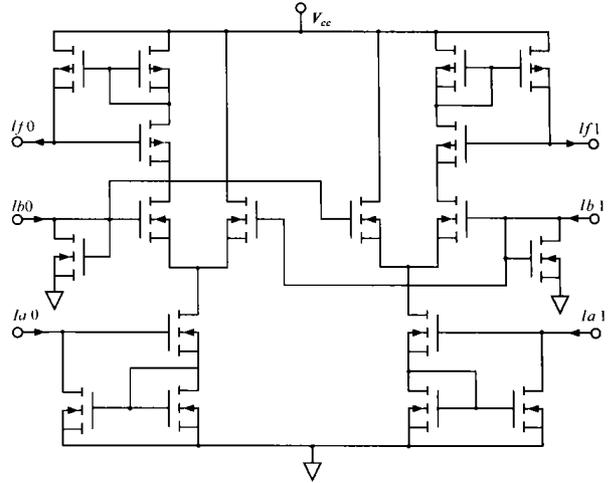


图 5 MC1 模块电路结构

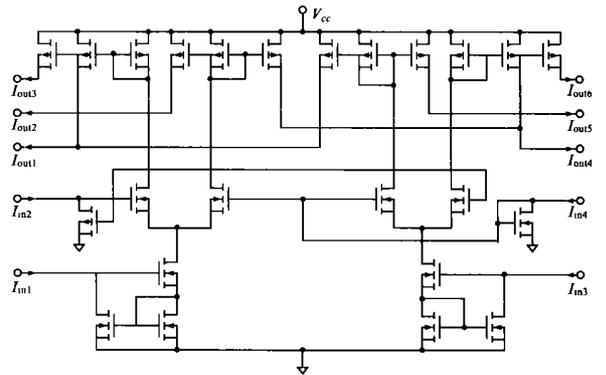


图 6 MC2 模块电路结构

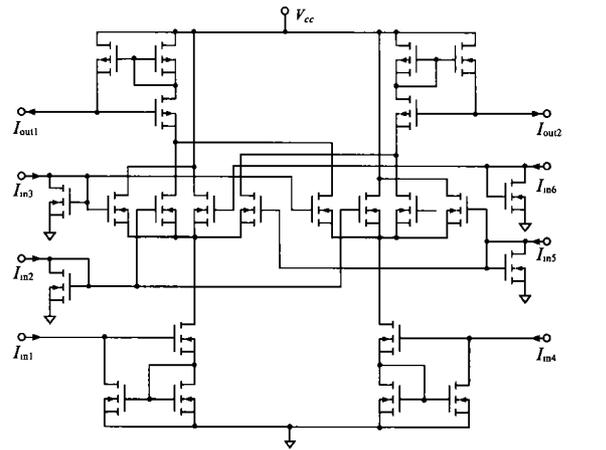


图 7 MC3 模块电路结构

通过模拟解码电路中各模块级联, 可计算出代表信息比特的后验概率电流如下:

$$p(c_i = 0 | R) = A [v_1(0) v_2(0) v_3(0) v_4(0) v_5(0) + v_1(0) v_2(0) v_3(1) v_4(1) v_5(1)] \quad (11)$$

$$p(c_i = 1 | R) = A [v_1(1) v_2(1) v_3(0) v_4(1) v_5(1)]$$

$$+ v_1(1)v_2(1)v_3(1)v_4(0)v_5(0)] \quad (12)$$

$$p(c_3=0|R) = A [v_1(0)v_2(0)v_3(0)v_4(0)v_5(0) + v_1(1)v_2(1)v_3(0)v_4(1)v_5(1)] \quad (13)$$

$$p(c_3=0|R) = A [v_1(0)v_2(0)v_3(1)v_4(1)v_5(1) + v_1(1)v_2(1)v_3(1)v_4(0)v_5(0)] \quad (14)$$

通过输出接口电路判决出信息比特为逻辑 0 还是逻辑

1. 输出接口部分主要包括电流比较器电路和模拟开关电路. 电流比较器电路的输入为模拟解码器电路产生的(软输出)电流信号, 分别代表了信息比特为 0 或为 1 的概率, 通过比较二者电流的大小判决出该信息位是 0 还是 1, 进行数字判决, 形成(硬比特)信号. 两个电流比较器对应两个信息比特, 输出是两个数字信号, 送入两个模拟开关单元. 模拟开关受读使能信号(READ\_EN)的控制, 当读使能信号为高电平时, 输出信息数据, 传送到后级的数字电路. 当读使能为低电平时, 是串/并转换和模拟解码计算时间, 输出无效.

通过以上分析可以看出, 本解码器的输入接口电路允许连续的串行解调数据传输, 在输入信号和模拟解码之间不需要任何中断. 在把输入数据并行送入模拟计算电路时, 串行输入仍在工作. 输出电路的读使能信号和流水线结构的输入电路使模拟计算模块有足够的时间完成计算. 模拟解码中的乘积单元工作于亚阈值模式, 最小化了功率消耗.

#### 4 模拟验证

采用 016Lm 的 CMOS 工艺的 Hspice 模型, +5V 电源电压, 对前述模拟概率解码器电路进行模拟验证. 设计时, 模拟乘法器单元的 MOS 管  $W=10Lm$ ,  $L=116Lm$ , 并且使图 1 中的 M1 与 M2, M3 与 M4, M5 与 M6 保持一致, 具有相同的工艺参数, 减少失配对计算结果的影响. 电流镜电路中的 MOS 管取  $W=12Lm$ ,  $L=5Lm$ , 减少沟道调制效应. 对于模拟解码电路, 可给定输入电流代表相应的(软比特)信号, 当 SNR 大于 41.8dB 时, 输入数据为 950KHz, 输出没有错误, 模拟结果如图 7 所示. 图 7 中的  $c_1$ 、 $c_3$  的波形代表软判决译码后, 经过电流比较器判决输出的数字信号, 可以看出  $c_1$  与  $c_3$  的比特信息位是时钟周期的 5 倍, 表示经过 5 个时钟周期的流水线过程, 判决输出两个信息比特. 与模拟解码器的工作时序相符. 当输入数据为 6MHz 时, 误码率约为  $10^{-4}$ , 功耗约为 41.8mW.

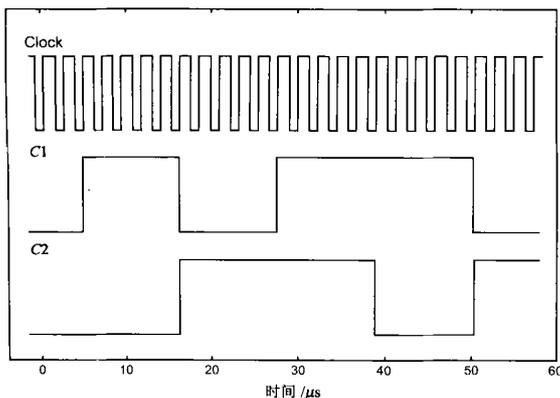


图 8 概率解码器信息比特输出

#### 5 总结

信道解码通常是由采用硬判决译码的数字电路实现的, 采用软判决的概率解码比硬判决译码高 23dB 的译码增益. 但如果完全用数字电路实现概率解码, 电路结构复杂. 本文利用模拟电路非线性特点, 基于最大后验概率算法, 并结合数字电路, 实现了(5, 2, 3) 格码的模拟概率解码器. 与传统的数字电路解码相比主要优点是处理速度快, 或在同等速度条件下, 功耗低, 提高了译码增益. 一般而言, 模拟电路对器件的偏差比较敏感, 易受噪声的干扰, 受温度的影响, 电路设计复杂. 但如果充分利用晶体管的非线性, 通过系统设计, 达到整体的精确, 而局部或单个器件的不精确, 并不影响整个电路工作的精确性. 采用这种方法设计的解码器电路也可用于 Turbo 码、低密度校验码等的解码, 不需要迭代, 没有相应的循环电路, 不存在收敛性问题. 通过模块化的设计可以减少模拟计算电路的设计复杂性. 通过引入流水线式的串/并转换输入电路和采用电流比较器的硬判决输出电路, 使得输入/输出电路避免了数字电路常用的 ADC/DAC 电路, 减少了芯片设计的复杂性和整体的功耗, 为芯片的实用化打下了良好的基础. 另一方面, 乘法单元 MOS 管的不对称对模拟计算结果有一定的影响, 对于大码字的解码, 对接口电路的速度有很高的要求, 同时如何使模拟解码单元设计简单也是需要进一步研究的问题.

#### 参考文献:

- [1] Katsuji Kimura. Some circuit design techniques using two cross-coupled, emitter-coupled pairs [J]. IEEE Trans. on CASI, 1994, 41(5): 411-423.
- [2] H A Loeliger. Probability propagation and decoding in analog VLSI [A]. ISIT 1998[C]. Cambridge, MA, USA, 1998.
- [3] Matthias Moerz. Analog decoders for high rate convolutional codes [A]. ITW2001 [C]. Cairns, Australia, 2001, Sept. 2-7.
- [4] M Moerz. An analog 0125Lm BiCMOS taibiting MAP decoder [A]. IEEE Proc. International SolidState Circuits Conference [C]. San Francisco, USA, Feb, 2000. 356-357.
- [5] Cheong F Chan, Ho2sun Ling, Oliver Choy. A one volt fou2quadrant analog current mode multiplier cell [J]. IEEE Journal of SolidState Circuits. 1995, 30(9): 1018-1019.
- [6] 王正宏, 凌雯亭. CMOS 亚阈值特性的低频低压低功耗电路的设计与模拟 [J]. 电子学报, 2001, 29(3): 378-382.
- [7] 陈卢, 石秉学, 卢纯. 一种新型的高性能 CMOS 电流比较器电路 [J]. 半导体学报, 2001, 22(3): 362-365.
- [8] 刘弘, 董在望. 一种可调高线性度跨导器 [J]. 电子学报, 2002, 30(9): 1282-1284.
- [9] Barrie Gilbert. A precise fou2quadrant multiple with subnanosecond response [J]. IEEE Journal of SolidState Circuits, 1968, (12): 365-373.
- [10] 孙立平, 刘阳, 李联, 凌雯亭. 一种高性能的 CMOS 四象限模拟乘法器 [J]. 电子学报, 1997, 25(8): 48-51.
- [11] 李晓民, 仇玉林, 陈潮枢. 低电压 ChargeRecovery 逻辑电路的设计 [J]. 半导体学报, 2001, 22(10): 1352-1353.

- [12] Teresa Serrano-Gotarredona, et al. A general translinear principle for subthreshold MOS transistors [J]. IEEE Tran. ON CAS(1), 1999, 46 (5): 607- 615.
- [13] 陈贵灿,等. CMOS 集成电路设计 [M]. 西安: 西安交通大学出版社, 2000. 54- 55.

- [14] 王新梅, 马建峰, 马啸. 软判决译码研究进展 [J]. 电子学报, 1998, 26(7): 19- 25.
- [15] 王新梅, 肖国镇. 纠错码原理与方法 [M]. 修订版, 西安: 西安电子科技大学出版社, 2001. 7- 9.

#### 作者简介:



杨曙辉 男, 1971年3月生于黑龙江省宝清县, 1994年毕业于浙江大学信息与电子工程系, 2000年毕业于北京广播学院获通信与电子系统硕士学位, 现为中科院微电子中心博士研究生, 研究方向为通信类专用集成电路设计.



仇玉林 男, 中科院微电子中心研究员, 博士生导师, 长期从事集成电路设计研究, 取得了多项成果并曾获国家及中科院级科技成果奖励, 目前主要从事集成电路设计新方法 & 专用集成电路设计研究.

## 2004. 全国软件与应用学术会议(NASAC2004) 征文

2004 全国软件与应用学术会议由中国计算机学会软件工程专业委员会主办, 将于 2004 年 10 月 15~ 17 日在北京召开. 届时将进行软件工程等方面的技术与应用交流, 会议将出版正式论文集, 并将优秀论文推荐到核心学术刊物(EI 检索源)发表. 欢迎大家踊跃投稿.

与此同时, 届时将举办 2004 中国软件技术与产业互动、计算机软件与应用教育等专题研讨会, 在研讨会期间, 参会单位可以举办成果和产品的展示与介绍活动. 欢迎企业和研发机构踊跃报名.

#### 11 征文范围(包括但不限于)

(1) 需求工程; (2) 基于构件的软件开发; (3) 面向对象技术; (4) 软件体系结构、设计模式与软件复用; (5) 软件过程管理与改进; (6) 质量度量与质量管理; (7) 软件测试、检验与验证; (8) 软件再工程; (9) 工具与环境; (10) 操作系统与中间件; (11) 软件语言; (12) 软件标准与规范; (13) 软件工程实践; (14) 软件工程教育应用软件; (15) 应用软件

#### 21 论文要求

- (1) 论文未曾在其他杂志、会议上发表或录用
- (2) 论文长度: 每篇限定在 6 页(A4) 内
- (3) 请以 PDF 或者 PS 格式提交论文. 有关文章的版心、字号、题目、各级标题、格式及参考文献格式与软件学报相同, 具体模板请从下面网址下 <http://www.jos.org.cn> 中的 相关网站0 一栏

#### 31 重要日期

- (1) 文稿截止日期: 2004 年 6 月 20 日
- (2) 论文录用通知日期: 2004 年 7 月 31 日
- (3) 专题研讨会报名截止日期: 2004 年 9 月 10 日

#### 41 联系方式

联系单位: 北京航空航天大学软件工程研究所, 邮政编码: 100083

联系人: 刘超, 金梅, 刘平

E-mail: [nasac2004@sei.buaa.edu.cn](mailto:nasac2004@sei.buaa.edu.cn)

关于会议更详细内容请访问下面的网址: <http://sei.buaa.edu.cn/nasac2004/>